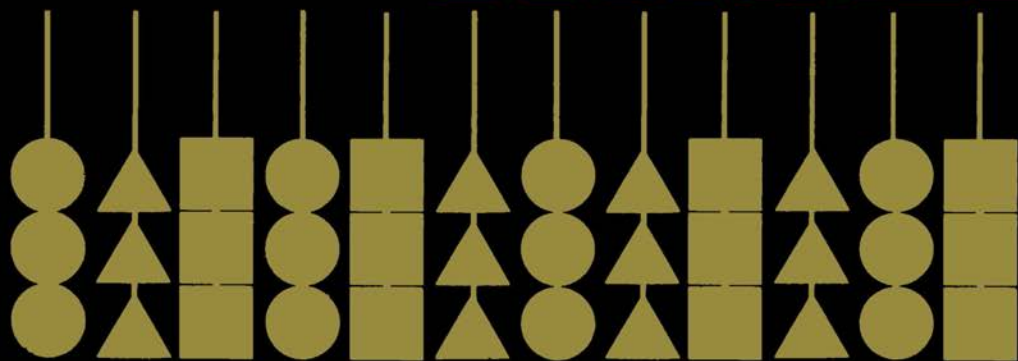




# **ELETTRONICA INTEGRATA DIGITALE**



**ERBERT  
TAUB**

**DONALD  
SCHILLING**

**GRUPPO  
EDITORIALE  
JACKSON**















# **ELETTRONICA INTEGRATA DIGITALE**

di  
**Erbert Taub**  
e  
**Donald Schilling**

**Versione italiana**  
a cura di  
**Elisabetta Cuniberti**  
e  
**Luciano De Lucchi**



**GRUPPO  
EDITORIALE  
JACKSON**  
Via Rosellini, 12  
20124 Milano

© Copyright per l'edizione originale McGraw-Hill, Inc. 1977

© Copyright per l'edizione italiana McGraw-Hill, Inc. 1981

Il Gruppo Editoriale Jackson ringrazia per il prezioso lavoro svolto nella stesura dell'edizione italiana le signore Francesca di Fiore, Rosi Bozzoli e l'Ing. Roberto Pancaldi.

Tutti i diritti sono riservati. Stampato in Italia. Nessuna parte di questo libro può essere riprodotta, memorizzata in sistemi di archivio, o trasmessa in qualsiasi forma o mezzo, elettronico, meccanico, fotocopia, registrazione o altri senza la preventiva autorizzazione scritta dell'editore.

Fotocomposizione: Corponove s.n.c. — Bergamo

Stampa: Tipolito Ferrari Cesare & C. — Clusone (BG)

## PREMESSA

L'importanza sempre più accentuata dell'Elettronica Digitale e l'attuale carenza di testi in lingua italiana sull'argomento, testi non solo aggiornati e completi ma anche rigorosi e didattici, sono i motivi che ci hanno indotto a curare la traduzione di questo libro.

Ci sembra che questo testo, che per chiarezza e rigore si pone nella tradizione delle altre ben note opere di H. Taub, risponda pienamente ai requisiti di cui si è detto; pertanto a nostro avviso l'edizione italiana può incontrare favore non solo fra gli specialisti e nell'ambito universitario, ma anche nell'ambito degli Istituti Tecnici.

Particolare cura è stata posta nel rendere in maniera appropriata termini inglesi relativi a dispositivi e tecniche così recenti da non aver trovato ancora una sistemazione definitiva nel linguaggio tecnico italiano. In linea di massima ci siamo attenuti alla regola di usare, per quanto possibile, termini italiani, purchè sufficientemente diffusi nella letteratura tecnica. Così abbiamo reso, per esempio, i termini *multiplexer* e *multiplexing* con «multiplatore» e «multipolazione», pur indicando la corrispondente espressione inglese.

In qualche caso abbiamo preferito usare il termine inglese, sembrandoci così diffuso ed accettato da non ingenerare equivoci. Ciò vale per esempio per i termini ON e OFF, per le espressioni logiche AND, OR, NOT ed altri. Anche per il termine *clock* abbiamo preferito optare per l'espressione inglese anziché l'italiana «cadenza» o «orologio», non sembrandoci queste ultime ancora sufficientemente diffuse ed accettate.

Infine gli esempi di specifiche riportati alla fine del volume sono stati lasciati nella lingua originale poichè la documentazione fornita dalle case costruttrici, allo stato attuale, è espressa quasi totalmente in lingua inglese. In ogni caso l'interpretazione di questi dati non rappresenterà certamente una difficoltà per il lettore che abbia seguito i capitoli precedenti.

**Elisabetta Cuniberti  
Luciano De Lucchi**

## PREFAZIONE

Nel 1956 la casa editrice McGraw-Hill pubblicò il testo «Pulse and Digital Circuits» degli autori J. Millman e H. Taub. Quel testo, inteso a fornire una panoramica completa dello sviluppo dell'elettronica digitale, trattava quasi esclusivamente circuiti con tubi a vuoto. Dispositivi e circuiti a semiconduttore, allora recentemente introdotti, comparivano in un unico capitolo finale, inserito in extremis mentre il libro era in via di stampa. Nel decennio successivo i semiconduttori soppiantarono completamente i tubi nei circuiti digitali. In seguito a questo sviluppo gli stessi Autori prepararono un nuovo volume, «Pulse Digital and Switching Waveforms», apparso nel 1965. Nel nuovo volume fu adeguatamente sottolineata la preponderante importanza dei semiconduttori e i circuiti a tubi vennero solo accennati. Oggi, dopo circa dieci anni, i progressi nel campo dei circuiti integrati hanno suggerito questa pubblicazione, che non vuole sostituire, ma continuare l'opera del 1965. Gli Autori si sono proposti di descrivere ed analizzare tutti i circuiti integrati costituenti i moduli elementari dei sistemi digitali. Nei limiti delle possibilità di un libro di testo, il materiale presentato è aggiornato. Come per gli altri volumi citati, gli Autori hanno attentamente curato l'aspetto didattico dell'opera. Hanno cercato di rendere le spiegazioni chiare e di facile comprensione, senza sacrificare la profondità e la completezza delle argomentazioni. Pertanto si spera che questo libro trovi posto non solo nelle aule scolastiche, ma anche fra i testi di chi voglia tenersi informato sugli sviluppi attuali dell'elettronica.

Questo testo è stato usato al City College di New York in un corso di due semestri per studenti junior e senior di ingegneria elettronica ed è stato usato come testo base per due corsi universitari. Il contenuto del volume è stato anche presentato in un corso della durata di due semestri tenuto per il personale tecnico della Bell Laboratories, della NASA e della Lockheed e in brevi corsi di aggiornamento alla George Washington University.

Si presume che il lettore disponga già delle conoscenze basilari sui dispositivi e i circuiti a semiconduttore. Tuttavia è sembrato utile trattare, nel Capitolo 1, alcuni argomenti relativi al comportamento dei dispositivi a semiconduttore quando sono usati in *circuiti di commutazione*. I componenti a semiconduttore presentano caratteristiche tensione-corrente piuttosto complesse e non lineari; un'analisi rigorosa dei circuiti a semiconduttore implica quindi una notevole complessità matematica. Nel Capitolo 1 vengono introdotte valide semplificazioni che portano ad approssimazioni utili e pienamente accettabili.

La prima parte del Capitolo 2 tratta gli amplificatori operazionali. Tali amplificatori, intesi in funzionamento lineare, a rigore esulerebbero dal tema di questo libro. Tuttavia si è tenuto conto del fatto che spesso questi amplificatori trovano applicazione in sistemi per il resto completamente digitali. Inoltre, ampliando il discorso sugli amplificatori operazionali, si arriva in mo-



do naturale, nella seconda parte del capitolo, ad esaminare i comparatori, dispositivi largamente impiegati nell'elettronica digitale.

Il Capitolo 3 introduce il concetto di variabili logiche, l'algebra di Boole e i metodi di analisi dei circuiti logici. Vengono introdotte le mappe di Karnaugh con le loro varie applicazioni. Questo capitolo è completo, nel senso che non presuppone nessuna conoscenza preliminare dell'argomento e spiega dettagliatamente tutti i principi di progetto e di analisi dei circuiti logici necessari per poter capire l'intero testo. D'altra parte il contenuto di questo capitolo fa parte di qualsiasi corso di progettazione logica e quindi può essere tralasciato dai lettori che già conoscono la materia.

L'esame dei circuiti che costituiscono le porte logiche inizia nel Capitolo 4. La prima parte del capitolo tratta la logica resistore-transistore (RTL), mentre la seconda parte tratta la logica ad iniezione integrata (IIL). La logica RTL ormai è sostanzialmente obsoleta. Vi sono però diverse ragioni per cui vale la pena di esaminare questa famiglia logica. Essendo stata la prima famiglia logica a circuiti integrati ad incontrare larga diffusione, la RTL è presente in molte installazioni ancor oggi in funzione. Se si tiene poi conto della sua elegante semplicità, essa rappresenta un veicolo ideale per presentare molti dei concetti fondamentali, di validità generale, relativi alle porte logiche. Infine essa presenta un'interessante affinità topologica con la famiglia IIL, una delle famiglie logiche di più recente sviluppo. Il Capitolo-5 prende in esame la logica diodo-transistore (DTL), da cui è strettamente derivata la logica a soglia elevata (HTL), che trova vasta applicazione negli ambienti a elevato rumore.

$\overline{U} = \text{HINDS}$   
I Capitoli 6 e 7 trattano rispettivamente la logica transistore-transistore (TTL) e la logica ad accoppiamento di emettitore (ECL). Oggi queste sono le famiglie più usate, rispettivamente fra le logiche saturate e le logiche non saturate. Pertanto l'analisi di queste due famiglie viene svolta in modo piuttosto approfondito. Nel caso particolare della ECL si rivelano necessarie alcune considerazioni sulla trasmissione dei segnali tramite le linee di trasmissione. I lettori che non avessero familiarità con gli argomenti relativi alle linee di trasmissione, troveranno adeguati richiami nell'Appendice A. Una trattazione più completa si trova nel Capitolo 3 del testo «Pulse Digital and Switching Waveforms» sopra citato. Nel Capitolo 8 viene presentata la logica metallo-ossido-semiconduttore (MOS) e quella a simmetria complementare (CMOS).

Dopo aver esaminato le varie famiglie logiche (dal Capitolo 4 al Capitolo 8), nel Capitolo 9 si inizia la trattazione dei dispositivi digitali base realizzati con le porte logiche. Il Capitolo 9 espone dettagliatamente i principi di funzionamento di vari tipi di flip-flop e analizza il circuito interno di alcuni flip-flop particolarmente rappresentativi fra quelli disponibili in commercio. Si è posta particolare cura nel descrivere gli accorgimenti impiegati nei flip-flop per superare i problemi di temporizzazione che altrimenti insorgerebbero nei sistemi sincroni. Nel Capitolo 10 vengono esaminati i registri e i contatori;

vengono spiegati sia i metodi di progetto dei contatori sincroni e asincroni a modulo arbitrario sia i metodi di impiego dei registri per generare sequenze pseudocasuali e sequenze predefinite.

Nel Capitolo 11 si esaminano i circuiti logici atti ad eseguire operazioni aritmetiche. Si insiste molto sull'operazione di addizione (e sottrazione) poichè di solito la moltiplicazione e la divisione si eseguono mediante algoritmi basati sull'operazione di addizione (o di sottrazione). Si è cercato di chiarire con particolare cura come si esprimono i numeri negativi e come si può, mediante le notazioni in complemento a 1 e in complemento a 2, eseguire la sottrazione usando circuiti logici che, di fatto, eseguono l'addizione. Viene trattato l'impiego di circuiti aritmetici a saturazione per limitare, nell'addizione, l'errore dovuto all'*overflow*, e viene presentata l'*unità aritmetico-logica*, che costituisce il cuore di ogni *microprocessore*. Nel Capitolo 12 si esaminano le memorie a semiconduttore. Si sono trascurate le memorie a nucleo perchè la tendenza attuale è di sostituirle con i sistemi a semiconduttore. Il capitolo tratta le memorie sequenziali, le memorie a sola lettura e le memorie ad accesso casuale statiche e dinamiche. Inoltre vengono descritti i circuiti interni delle memorie a transistori ad effetto di campo, a CCD, a transistori bipolari.

Nei Capitoli 13 e 14 viene affrontato il problema dell'interfacciamento fra segnali analogici e segnali digitali. Il Capitolo 13 tratta le porte analogiche, i *multiplexer analogici*, i circuiti *sample-and-hold*, i circuiti *integrate-and-dump*, ecc. Il Capitolo 14 esamina i convertitori digitali-analogici e analogici-digitali. I convertitori analogici-digitali che vengono descritti sono rappresentativi dei tipi più diffusi in commercio. Infine, nel Capitolo 15, si trattano i temporizzatori, ovvero gli equivalenti integrati dei multivibratori monostabili e astabili.

I circuiti che vengono presentati in questo testo sono circuiti tipici che si trovano nella pratica. Vengono proposti più di 400 problemi, che vanno da semplici esercizi a progetti più sofisticati. Gli insegnanti possono ottenere dalla casa editrice un manuale con le soluzioni. Gli Autori saranno lieti di fornire un piano per le esercitazioni di laboratorio, piano che viene seguito al CCNY parallelamente a questo testo.

Ringraziamo vivamente i colleghi e gli studenti per l'appoggio che ci hanno fornito. In particolare ringraziamo il Sig. T. Apelewicz che ha preparato il manuale delle soluzioni degli esercizi, il Dr. J. Garodnick a cui siamo grati per la revisione critica dei contenuti, il Sig. Edward Tynan e il Dr. Ronald Schilling, la cui cortesia ci ha permesso di avere a disposizione un gran numero di utilissime pubblicazioni tecniche della Motorola. Esprimiamo anche un particolare apprezzamento alla Sig.ra Joy Rubin per la sua abile e precisa opera, come dattilografa, nella stesura del manoscritto.

**HERBERT TAUB  
DONALD SCHILLING**

# SOMMARIO

<b>PREMESSA</b> .....	III
<b>PREFAZIONE</b> .....	IV
 <b>CAPITOLO 1 — DISPOSITIVI ELETTRONICI</b>	
<b>FONDAMENTALI</b> .....	1
1.1 Il diodo a semiconduttore ideale .....	1
1.2 Dipendenza delle caratteristiche del diodo dalla temperatura	4
1.3 Capacità di transizione del diodo .....	6
1.4 Il diodo Zener .....	7
1.5 I diodi nei circuiti integrati .....	10
1.6 Il transistor come interruttore .....	11
1.7 Espressioni analitiche delle caratteristiche del transistor .	13
1.8 Il transistor in interdizione .....	17
1.9 Il transistor in saturazione .....	18
1.10 Le equazioni di Ebers-Moll per il transistor in saturazione	22
1.11 Il transistor ad effetto di campo .....	29
1.12 Il FET metallo-ossido-semiconduttore (MOSFET) ....	34
1.13 Il MOS come interruttore .....	39
1.14 Caratteristiche di ingresso-uscita di un interruttore a MOSFET .....	41
1.15 MOSFET a simmetria complementare (CMOS) .....	42
1.16 Protezione degli ingressi .....	46
1.17 Velocità di commutazione del diodo .....	47
1.18 Tempo di immagazzinamento e tempo di transizione ..	49
1.19 Il diodo Schottky .....	51
1.20 Velocità di commutazione del transistor bipolare .....	52
1.21 Velocità di commutazione dei FET .....	57
1.22 Tempi di salita e di discesa e tempi di ritardo .....	57
 <b>CAPITOLO 2 — AMPLIFICATORI OPERAZIONALI</b>	
<b>E COMPARATORI</b> .....	61
2.1 L'amplificatore operazionale .....	61

2.2 La massa virtuale . . . . .	63
2.3 Operazioni matematiche . . . . .	63
2.4 Impedenza di uscita . . . . .	65
2.5 Configurazione circuitale interna dell'amplificatore operativo nale . . . . .	67
2.6 L'amplificatore completo . . . . .	70
2.7 Amplificazione non invertente nell'Op-Amp . . . . .	71
2.8 Impedenza dell'amplificatore non invertente . . . . .	72
2.9 Considerazioni pratiche . . . . .	73
2.10 La compensazione . . . . .	74
2.11 Rapporto di reiezione al modo comune . . . . .	74
2.12 Parametri caratteristici degli Op-Amp . . . . .	75
2.13 Il comparatore . . . . .	77
2.14 Esempio di comparatore realizzato in circuito integrato . . . . .	78
2.15 Calcoli di verifica per il comparatore a circuito integrato . . . . .	80
2.16 Caratteristiche dei comparatori reali . . . . .	85
2.17 Il trigger di Schmitt . . . . .	87
2.18 Esempio di trigger di Schmitt . . . . .	91
 <b>CAPITOLO 3 – CIRCUITI LOGICI . . . . .</b>	 <b>95</b>
3.1 Introduzione . . . . .	95
3.2 Funzioni di una sola variabile binaria . . . . .	96
3.3 Funzioni di due variabili binarie . . . . .	96
3.4 La funzione OR . . . . .	99
3.5 L'operazione NAND e l'operazione NOR . . . . .	100
3.6 L'operazione OR ESCLUSIVO . . . . .	102
3.7 Altre funzioni . . . . .	103
3.8 Variabili logiche . . . . .	103
3.9 Notazione 0, 1 . . . . .	107
3.10 Operazioni necessarie e sufficienti . . . . .	108
3.11 Teoremi dell'algebra booleana . . . . .	110
3.12 Un esempio . . . . .	113
3.13 Il sistema di numerazione binario . . . . .	114
3.14 Codice binario riflesso o codice Grey . . . . .	116
3.15 Forme canoniche per le funzioni logiche: somma di prodotti canonica . . . . .	118
3.16 Prodotto di somme canonico . . . . .	120
3.17 Rappresentazioni di funzioni logiche mediante prodotti e somme fondamentali . . . . .	122
3.18 Rappresentazione delle funzioni logiche con la mappa di Karnaugh . . . . .	124

3.19	Mappe di Karnaugh per due, tre, quattro variabili . . . .	126
3.20	Semplificazione delle funzioni logiche con le mappe di Karnaugh . . . . .	127
3.21	Raggruppamenti multipli su una mappa K . . . . .	131
3.22	Mappe di Karnaugh per cinque e per sei variabili . . . .	133
3.23	Uso delle mappe di Karnaugh . . . . .	135
3.24	Uso della mappa K quando la funzione non è espressa mediante i Minterm . . . . .	139
3.25	Sintesi usando porte NAND o NOR . . . . .	142
3.26	Funzioni non completamente definite . . . . .	144
<b>CAPITOLO 4 — LOGICA RESISTORE-TRANSISTORE (RTL)</b>		
<b>E LOGICA AD INIEZIONE INTEGRATA (IIL)</b>		147
4.1	La porta in logica resistore-transistore (RTL) . . . . .	147
4.2	La porta in logica a transistori in accoppiamento diretto (DCTL) . . . . .	148
4.3	Accapparramento di corrente nelle porte DCTL . . . . .	151
4.4	Logica resistore-transistore (RTL) . . . . .	153
4.5	Il Fan-out . . . . .	155
4.6	Caratteristica di ingresso-uscita della porta RTL con carico sull'uscita . . . . .	160
4.7	Buffer RTL . . . . .	166
4.8	Porta OR ESCLUSIVO RTL . . . . .	171
4.9	Specifiche fornite dai costruttori . . . . .	171
4.10	Disposizione in parallelo di porte RTL . . . . .	173
4.11	Specifiche sulle tensioni di lavoro . . . . .	176
4.12	Tempo di propagazione . . . . .	177
4.13	Logica ad iniezione integrata (IIL) . . . . .	180
4.14	Struttura fisica della IIL . . . . .	185
4.15	Decodificatore IIL . . . . .	189
4.16	Corrente e livelli di tensione . . . . .	191
<b>CAPITOLO 5 — LOGICA DIODO-TRANSISTORE</b>		193
5.1	La porta in logica diodo-transistore (DTL) . . . . .	193
5.2	Fan-out . . . . .	196
5.3	Porte DTL a circuito integrato . . . . .	199
5.4	Caratteristica di ingresso-uscita . . . . .	202
5.5	Specifiche fornite dai costruttori per le porte DTL . . . .	204
5.6	La connessione AND CABLATO . . . . .	207

5.7 Logica a soglia elevata (HTL) . . . . .	210
5.8 Caratteristica di ingresso-uscita della porta HTL . . . . .	212
5.9 Specifiche fornite dalle case costruttrici . . . . .	212
 <b>CAPITOLO 6 — LOGICA TRANSISTORE-TRANSISTORE . .</b>	<b>215</b>
6.1 Logica transistor-e-transistor-e (TTL) . . . . .	215
6.2 Confronto fra TTL e DTL . . . . .	217
6.3 Il transistor-e di ingresso . . . . .	217
6.4 Il Pull-up attivo . . . . .	219
6.5 Caratteristica ingresso-uscita escludendo il transistor-e d'ingresso . . . . .	221
6.6 Caratteristica ingresso-uscita del transistor-e di ingresso . . . . .	228
6.7 Il transistor-e multi-emettitore . . . . .	231
6.8 Caratteristica tensione-corrente di ingresso della porta TTL . . . . .	232
6.9 Caratteristica tensione-corrente di uscita della porta TTL . . . . .	234
6.10 Dati e specifiche del costruttore; dipendenza dalla temperatura ed immunità al rumore . . . . .	237
6.11 La corrente assorbita dall'alimentazione . . . . .	242
6.12 Tipi di porte TTL . . . . .	243
6.13 TTL Schottky . . . . .	248
6.14 Altre funzioni logiche con porte TTL . . . . .	249
 <b>CAPITOLO 7 — LOGICA AD ACCOPPIAMENTO DI EMETTITORE . . . . .</b>	<b>251</b>
7.1 Introduzione . . . . .	251
7.2 La porta ECL . . . . .	253
7.3 Tensioni nei transistori ECL . . . . .	254
7.4 Caratteristica di trasferimento: l'uscita OR . . . . .	254
7.5 L'uscita NOR . . . . .	258
7.6 Specifiche fornite dalle case costruttrici: caratteristica di trasferimento . . . . .	259
7.7 Fan-out . . . . .	260
7.8 Velocità di funzionamento . . . . .	261
7.9 Compensazione termica della polarizzazione . . . . .	264
7.10 Versatilità logica delle porte ECL . . . . .	266
7.11 La tensione di alimentazione negativa . . . . .	267
7.12 Traslazione dei livelli . . . . .	270
7.13 Connessioni fra porte ECL . . . . .	272

## CAPITOLO 8 — PORTE MOS . . . . . 283

8.1 Equazioni analitiche dei MOSFET . . . . .	283
8.2 Effetti della temperatura . . . . .	286
8.3 L'invertitore a MOS . . . . .	286
8.4 L'invertitore a CMOS . . . . .	289
8.5 Calcolo della caratteristica di trasferimento di un invertitore a CMOS . . . . .	290
8.6 Porte MOS . . . . .	292
8.7 Tempo di salita di una porta MOS . . . . .	294
8.8 Il tempo di discesa . . . . .	296
8.9 La porta CMOS . . . . .	298
8.10 Tempi di salita e di discesa nelle porte CMOS . . . . .	299
8.11 Specifiche del costruttore . . . . .	300
8.12 Interfacciamento fra porte a BJT e CMOS . . . . .	303

## CAPITOLO 9 — I FLIP-FLOP . . . . . 307

9.1 Introduzione . . . . .	307
9.2 Terminologia . . . . .	307
9.3 Il flip-flop come elemento di memoria . . . . .	308
9.4 Flip-flop a porte NAND . . . . .	310
9.5 Commutatore con circuito anti-rimbalzo . . . . .	311
9.6 Flip-flop con comando di clock . . . . .	312
9.7 Interconnessione fra flip-flop: la configurazione master-slave . . . . .	316
9.8 Flip-flop con comando sul fronte di transizione ad accoppiamento in alternata . . . . .	322
9.9 Flip-flop ad accoppiamento in alternata con comando di clock . . . . .	325
9.10 Flip-flop ad immagazzinamento capacitivo . . . . .	327
9.11 Flip-flop a ritardo di propagazione . . . . .	328
9.12 Il flip-flop <i>JK</i> . . . . .	329
9.13 Il flip-flop di tipo <i>D</i> . . . . .	332
9.14 Un flip-flop <i>SR</i> RTL . . . . .	335
9.15 Un flip-flop DTL . . . . .	335
9.16 Un flip-flop a ritardo di propagazione RTL . . . . .	339
9.17 Il flip-flop ECL . . . . .	341
9.18 Un flip-flop <i>JK</i> ad accoppiamento in alternata . . . . .	343
9.19 Specifiche dei costruttori . . . . .	347
9.20 Flip-flop <i>JK</i> TTL . . . . .	347
9.21 Flip-flop a MOS . . . . .	350

10.1 Il registro a scorrimento (Shift register) . . . . .	355
10.2 Il clock . . . . .	358
10.3 Conversione di dati serie-parallelo . . . . .	358
10.4 Riporto tra stadio finale e stadio iniziale . . . . .	359
10.5 Registro con scorrimento a destra e a sinistra . . . . .	359
10.6 Contatori a propagazione del comando (Ripple Counter) . . . . .	360
10.7 Metodi per aumentare la velocità del contatore . . . . .	364
10.8 Contatori non binari . . . . .	368
10.9 Contatori MOD-3 . . . . .	368
10.10 Contatori MOD-5 . . . . .	370
10.11 Condizione di «blocco» del contatore . . . . .	373
10.12 Combinazioni di contatori di modulo diverso . . . . .	375
10.13 Altri metodi di progetto per contatori . . . . .	377
10.14 Contatore asincrono avanti-indietro . . . . .	379
10.15 Contatore sincrono avanti-indietro . . . . .	381
10.16 Contatori ad anello (Ring Counter) . . . . .	382
10.17 Generatori di sequenza . . . . .	384

**CAPITOLO 11 – OPERAZIONI ARITMETICHE . . . . . 393**

11.1 Addizione di due numeri binari . . . . .	393
11.2 Il sommatore completo (Full Adder) . . . . .	395
11.3 Sommatore seriale . . . . .	397
11.4 Sommatore parallelo . . . . .	399
11.5 Somma di più di due numeri . . . . .	401
11.6 Sommatore ad alta velocità; riporto simultaneo (Look-A-head Carry) . . . . .	404
11.7 La sottrazione . . . . .	408
11.8 Numeri complementari . . . . .	409
11.9 Rappresentazione dei numeri con segno nei registri . . . . .	413
11.10 Sottrazione mediante complementazione ed addizione . . . . .	416
11.11 Addizione e sottrazione in complemento a due . . . . .	417
11.12 Addizione e sottrazione in complemento a uno . . . . .	418
11.13 Addizione e sottrazione di una sequenza di numeri relativi . . . . .	420
11.14 Sommatore a saturazione . . . . .	420
11.15 Moltiplicazione di una variabile per una costante . . . . .	423
11.16 Moltiplicazione . . . . .	426
11.17 Divisione . . . . .	428
11.18 L'unità aritmetico-logica . . . . .	430



## **CAPITOLO 12 – MEMORIE A SEMICONDUCTORE . . . . . 433**

12.1 Tipi di memoria . . . . .	433
12.2 Memorie sequenziali realizzate con registri a scorrimento . . . . .	436
12.3 Stadi di registri a MOS . . . . .	438
12.4 Registro a scorrimento Ratioless a due fasi . . . . .	442
12.5 Stadio a Ratioless a quattro fasi . . . . .	444
12.6 Stadi di registri a CMOS . . . . .	445
12.7 Stadio di registro a scorrimento statico . . . . .	448
12.8 Stadio statico a tre fasi . . . . .	450
12.9 La memoria a sola lettura (ROM) . . . . .	452
12.10 Costituzione interna delle ROM . . . . .	454
12.11 ROM programmabili (PROM) e ROM cancellabili (EPROM) . . . . .	456
12.12 Applicazioni delle ROM . . . . .	456
12.13 Celle di memoria ad accesso casuale a transistori bipolari . . . . .	459
12.14 Altre celle di memoria a transistori bipolari . . . . .	461
12.15 RAM a MOS . . . . .	463
12.16 Organizzazione di una RAM . . . . .	469
12.17 Disposizione in parallelo di chip contenenti memorie a semiconduttore . . . . .	472
12.18 Dispositivi ad accoppiamento di carica (CCD) . . . . .	476
12.19 Immagazzinamento della carica . . . . .	478
12.20 Trasferimento della carica . . . . .	479
12.21 Dispositivi di ingresso e di uscita . . . . .	482

## **CAPITOLO 13 – INTERRUITORI ANALOGICI . . . . . 485**

13.1 Principi di funzionamento delle porte analogiche . . . . .	485
13.2 Applicazioni dei circuiti interruttori . . . . .	487
13.3 Porte di trasmissione a diodi . . . . .	497
13.4 Porte a transistori bipolari . . . . .	510
13.5 Porte a FET . . . . .	513
13.6 Amplificatori operazionali . . . . .	514
13.7 Porta a FET con un Op-Amp come carico . . . . .	516
13.8 Circuito di campionamento e mantenimento . . . . .	518
13.9 Circuiti pilota per porte a FET . . . . .	525
13.10 Porte a CMOS . . . . .	527
13.11 Applicazioni degli interruttori analogici . . . . .	531
13.12 Specifiche degli amplificatori S/H fornite dai costruttori . . . . .	534

## **CAPITOLO 14 – CONVERSIONE ANALOGICO-DIGITALE . 537**

14.1 Introduzione . . . . .	537
14.2 Teorema del campionamento . . . . .	538
14.3 Multiplazione a divisione di tempo . . . . .	540
14.4 Quantizzazione . . . . .	542
14.5 Convertitore D/A a resistori pesati . . . . .	546
14.6 Convertitore D/A A scala $R - 2R$ . . . . .	549
14.7 Commutatori per convertitori D/A . . . . .	553
14.8 Convertitore D/A pilotato in corrente . . . . .	555
14.9 Convertitore D/A a scala invertita . . . . .	560
14.10 Formato di ingresso e di uscita di un convertitore D/A . . . . .	562
14.11 Specifiche dei convertitori D/A . . . . .	566
14.12 Convertitori A/D: convertitore a comparatori in parallelo . . . . .	569
14.13 Convertitore ad approssimazioni successive . . . . .	576
14.14 Il convertitore a conteggio . . . . .	580
14.15 Il convertitore a doppia rampa . . . . .	583
14.16 Confronto fra i vari tipi di convertitori . . . . .	585
14.17 Convertitore basato sulla conversione tensione-frequenza . . . . .	587
14.18 Convertitore basato sulla conversione tensione-tempo . . . . .	589
14.19 Specifiche dei convertitori A/D . . . . .	590
14.20 Interconnessione fra S/H e convertitore A/D . . . . .	591
14.21 Modulazione delta . . . . .	593
14.22 Modulazione delta adattativa . . . . .	597

## **CAPITOLO 15 – CIRCUITI DI TEMPORIZZAZIONE . . . . . 601**

15.1 Multivibratori a CMOS . . . . .	601
15.2 Multivibratore astabile a CMOS . . . . .	608
15.3 Multivibratori monostabili a porte ECL . . . . .	610
15.4 Multivibratori per intervalli di temporizzazione brevi . . . . .	616
15.5 Un multivibratore monostabile TTL integrato . . . . .	618
15.6 Un temporizzatore integrato . . . . .	621

## **APPENDICE – LINEE DI TRASMISSIONE . . . . . 625**

A.1 Introduzione . . . . .	625
A.2 L'impedenza caratteristica . . . . .	627
A.3 La riflessione . . . . .	628
A.4 Riflessioni multiple . . . . .	629
A.5 Effetto del tempo di salita del segnale di ingresso . . . . .	631

<b>PROBLEMI</b> .....	635
<b>ALCUNI ESEMPI DI SPECIFICHE FORNITE DALLE CASE COSTRUTTRICI</b> .....	705
<b>INDICE ANALITICO</b>	



## CAPITOLO 1

# DISPOSITIVI ELETTRONICI FONDAMENTALI

Fra i componenti elettronici fondamentali dei circuiti digitali si incontrano, come nei circuiti analogici, il diodo, il transistor bipolare ed il transistor ad effetto di campo. Si presuppone che il lettore abbia familiarità con questi dispositivi, specialmente per quanto riguarda il loro impiego nei circuiti analogici, dove essi sono utilizzati come elementi lineari. Nei circuiti digitali viceversa essi sono impiegati principalmente come elementi non lineari o, più esattamente, come interruttori, in quanto vengono fatti lavorare o nello stato di conduzione o nello stato di non-conduzione. In questo capitolo si tratteranno alcuni argomenti relativi a questi dispositivi ed in particolare al loro comportamento quando sono usati come interruttori.

### 1.1 IL DIODO A SEMICONDUCTORE IDEALE

In un diodo a giunzione *pn* ideale la corrente *I* è legata alla tensione *V* dall'equazione

$$I = I_0(\epsilon^{V/V_T} - 1) \quad (1.1-1)$$

Come indicato in Fig. 1.1-1a, la corrente *I* è positiva quando scorre dalla zona *p* alla zona *n* del diodo. La tensione *V* rappresenta la caduta di tensione fra la zona *p* e la zona *n*. Quando *V* è positiva, il diodo è polarizzato direttamente. Il simbolo *V<sub>T</sub>* rappresenta l'equivalente in volt della temperatura ed è dato da

$$V_T \equiv \frac{kT}{e} \quad (1.1-2)$$

dove *k* = costante di Boltzmann =  $1,38 \times 10^{-23}$  J/K  
*e* = carica dell'elettrone =  $1,602 \times 10^{-19}$  C  
*T* = temperatura assoluta, in gradi Kelvin.

Sostituendo troviamo che *V<sub>T</sub>* = *T*/11.600 V e che a temperatura ambiente (*T* ≈ 300 K) *V<sub>T</sub>* ≈ 25 mV.

In Fig. 1.1-1b è illustrato l'andamento qualitativo della caratteristica tensione-corrente del diodo. Per valori di  $V$  positivi e molto maggiori di  $V_T$ , l'esponenziale che compare nell'Eq. (1.1-1) è molto maggiore dell'unità, per cui si può trascurare il termine  $-1$ . Perciò, al di fuori di un piccolo intorno dell'origine, la corrente cresce esponenzialmente con la tensione. Quando il diodo è polarizzato inversamente e  $|V|$  è molto maggiore di  $V_T$ ,  $|I| \approx I_0$ . La corrente inversa risulta allora costante ed indipendente dalla tensione di polarizzazione inversa. La corrente  $I_0$  prende il nome di *corrente di saturazione inversa*. In Fig. 1.1-1b questa corrente è riportata in scala fortemente ingrandita, dal momento che il valore di  $I_0$  è di alcuni ordini di grandezza inferiore ai valori tipici di  $I$ .

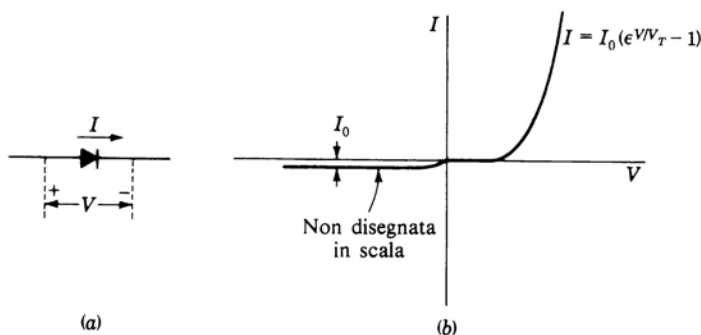


Figura 1.1-1 (a) Definizione delle grandezze  $I$  e  $V$  che compaiono nell'equazione del diodo (1.1-1). (b) La caratteristica tensione-corrente del diodo ideale.

Considerando il diodo come interruttore, esso risulta un interruttore *aperto* quanto è polarizzato inversamente, un interruttore *chiuso* quando è polarizzato direttamente. Nei circuiti che esamineremo la corrente di un diodo polarizzato direttamente potrà variare in generale da 0,1 a 10 mA. La corrispondente tensione ai capi del diodo dipenderà naturalmente dalla sezione trasversale del diodo stesso. Ad esempio, se una certa tensione  $V$  provoca in un diodo una corrente diretta di 1  $\mu\text{A}$ , la stessa tensione provocherà, in un diodo di sezione trasversale 1.000 volte maggiore, una corrente di 1 mA.

È bene che la sezione trasversale del diodo sia la minore possibile, compatibilmente con il corretto funzionamento del componente stesso, specialmente quando il diodo fa parte di un circuito integrato. In questo caso infatti, poichè la piastrina (*chip*) di un circuito integrato contiene un numero elevato di componenti, anche un piccolo aumento della sezione trasversale di ciascun diodo comporta un notevole aumento delle dimensioni del chip oppure una

riduzione del numero dei componenti realizzabili sul chip stesso. D'altra parte però le dimensioni della sezione trasversale devono essere tali che il diodo possa dissipare il calore prodotto senza provocare inaccettabili aumenti di temperatura e tali che la resistenza ohmica del diodo presenti valori sufficientemente bassi.

**Modello del diodo** Esaminando la caratteristica tensione-corrente dei diodi al silicio di bassa potenza esistenti in commercio, si nota che in corrispondenza a correnti dell'ordine di 1 mA si hanno tensioni dirette di circa 0,75 V. Anche i diodi dei circuiti integrati presentano caratteristiche analoghe, richiedono cioè 0,75 V per correnti dirette dell'ordine del milliampere. Poichè ci si riferirà spesso a questo valore di tensione, lo indichiamo con  $V_\gamma = 0,75$  V. Pertanto il diodo viene considerato come un interruttore chiuso quando ai suoi capi è applicata la tensione diretta  $V_\sigma$ .

In pratica, per portare il diodo interruttore nello stato aperto, non è necessario applicare una polarizzazione inversa, ma è sufficiente che la tensione applicata faccia passare una corrente diretta trascurabile rispetto alla corrente corrispondente a  $V_\gamma$ . Per trascurabile intendiamo una corrente pari all'1% della corrente corrispondente a  $V_\gamma$ . La tensione che provoca questa corrente trascurabile viene indicata con  $V_\sigma$ . Facendo corrispondere a  $V_\sigma$  e  $V_\gamma$  rispettivamente le correnti  $I_\sigma$  e  $I_\gamma$ , dall'Eq. (1.1-1) deriva

$$I_\sigma = I_0(\epsilon^{V_\sigma/V_T} - 1) \quad (1.1-3a)$$

e

$$I_\gamma = I_0(\epsilon^{V_\gamma/V_T} - 1) \quad (1.1-3b)$$

Poichè  $\epsilon^{V_\sigma/V_T}$  e  $\epsilon^{V_\gamma/V_T}$  sono molto maggiori dell'unità, si ha

$$\frac{I_\sigma}{I_\gamma} = 100 = \epsilon^{(V_\sigma - V_\gamma)/V_T} \quad (1.1-4)$$

Quindi

$$V_\sigma - V_\gamma = V_T \ln 100 \approx 120 \text{ mV} \quad (1.1-5)$$

Pertanto, poichè  $V_\gamma \approx 0,75$  V, sarà  $V_\sigma \approx 0,63$  V.

Conviene usare il valore  $V_\gamma = 0,65$  V, anzichè 0,63 V, in modo che la differenza fra  $V_\sigma$  e  $V_\gamma$  sia cifra tonda. Con  $V_\gamma = 0,65$  V,  $V_\sigma - V_\gamma = 0,1$  V; come si può verificare facilmente, questa variazione di tensione corrisponde ad un rapporto di correnti  $I_\sigma/I_\gamma = 55$ . Dal momento che in seguito supporremo che per tensioni  $V < V_\gamma$  non passi corrente nel diodo, non è importante conoscere il valore preciso di  $I_\gamma$ . Se scegliamo una scala per cui, in corrispondenza della tensione  $V_\gamma$ , la corrente è «zero», otteniamo la caratteristica di Fig. 1.1-2. La tensione  $V_\gamma$  è chiamata *tensione di soglia* (*cut-in voltage*).

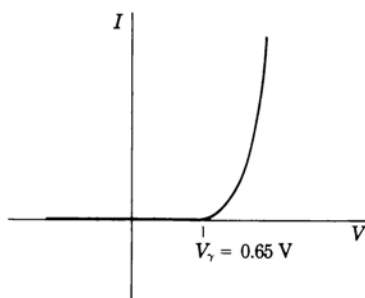


Figura 1.1-2 La tensione di soglia  $V_\gamma = 0,65$  di un diodo al silicio reale.

Non ci si deve tuttavia aspettare che i diodi reali presentino un valore di tensione diretta esattamente uguale a  $0,75 \text{ V}$ . Si noti però che, per l'andamento esponenziale della caratteristica del diodo, variazioni relativamente ampie della corrente corrispondono a variazioni relativamente piccole della tensione. Supponiamo, ad esempio, che in un diodo, per  $V_\gamma = 0,75 \text{ V}$ , passi una corrente  $I_\gamma$ ; se si vuole far passare una corrente pari a  $2 I_\gamma$ , si dovrà aumentare (Prob. 1.1-2)  $V_\gamma$  di soli  $17 \text{ mV}$ , che rappresentano solo il 2% del valore iniziale.

Riassumiamo a questo punto tutto quanto si è detto sinora sui valori delle tensioni ai capi del diodo. Assumiamo come valore della tensione di soglia del diodo al silicio  $V_\gamma = 0,65 \text{ V}$ . Pertanto, quando la tensione  $V$  è minore di  $0,65 \text{ V}$ , la corrente è trascurabile; il diodo invece comincia a condurre quando  $V$  supera  $0,65 \text{ V}$ . Inoltre assumiamo pari a  $0,75 \text{ V}$  il valore della tensione ai capi del diodo quando questo lavora in piena conduzione. Quando viceversa il diodo lavora in una zona intermedia, assumiamo il valore della sua tensione pari a  $0,7 \text{ V}$ .

Questi valori di tensione, validi per diodi di media potenza, sono stati ricavati dall'esame dei dati forniti dalle case costruttrici e da misure eseguite su un numero molto elevato di circuiti sia integrati che discreti. Questo metodo semplificato porta a risultati pienamente accettabili ed evita le complicazioni che nascerebbero se, nell'analisi dei circuiti, tenessimo conto della caratteristica tensione-corrente reale del diodo.

## 1.2 DIPENDENZA DELLE CARATTERISTICHE DEL DIODO DALLA TEMPERATURA

Le caratteristiche di un diodo sono dipendenti dalla temperatura. Questa dipendenza è espressa nell'Eq. (1.1-1): in forma esplicita tramite il parametro  $V_T$  ed in forma implicita dal fatto che la corrente di saturazione inversa  $I_0$  di-



pende essa stessa dalla temperatura. Si è trovato che  $I_0$  è funzione esponenziale della temperatura e, alle normali temperature di lavoro del diodo, raddoppia all'incirca per ogni 10 °C di aumento della temperatura. La figura 1.2-1 mostra l'andamento della corrente di saturazione inversa di un diodo al silicio per diverse temperature. Queste curve mettono in evidenza che in molti diodi la corrente di saturazione inversa non è costante, ma cresce al crescere della tensione inversa. L'aumento di  $I_0$  è dovuto sia alle correnti di dispersione attraverso la superficie del diodo, sia all'aumento dei portatori generati per collisione nella regione di transizione della giunzione del diodo. È interessante notare che in pratica la  $I_0$  misurata nella regione di polarizzazione inversa può essere anche di diversi ordini di grandezza superiore al valore richiesto perchè sia soddisfatta l'Eq. (1.1-1) nella regione di polarizzazione diretta.

Le curve di Fig. 1.2-2 illustrano l'effetto complessivo della temperatura sulla caratteristica del diodo nella regione di polarizzazione diretta. Si noti che una variazione della temperatura lascia invariata la forma della caratteristica, traslandola però lungo l'asse delle ascisse. Pertanto, per una data corrente, un *aumento*  $\Delta T$  della temperatura produce una *diminuzione*  $\Delta V$  della tensione. Si può calcolare per via teorica e verificare sperimentalmente che

$$\frac{\Delta V}{\Delta T} \approx -2 \text{ mV/}^\circ\text{C} \quad (1.2-1)$$

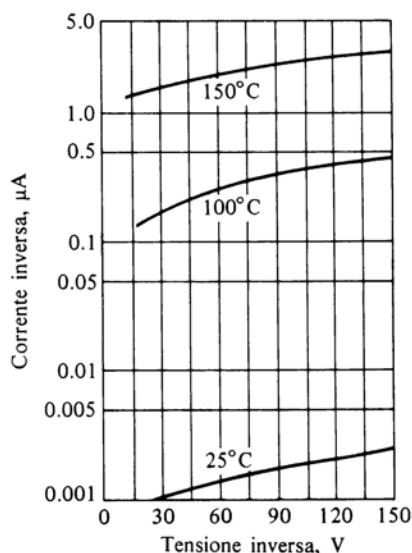


Figura 1.2-1 Dipendenza dalla temperatura e dalla tensione inversa della corrente di saturazione inversa del diodo al silicio 1N461.

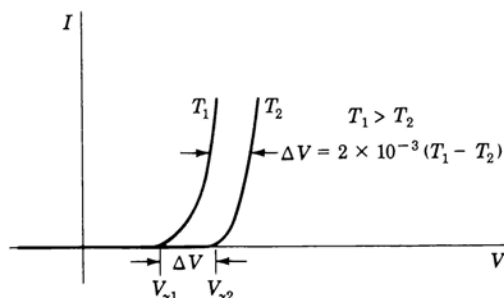


Figura 1.2-2 Effetto della temperatura sulla caratteristica tensione-corrente diretta del diodo.

Volendo essere più precisi, la sensibilità termica  $\Delta V/\Delta T$  dipende sia dalla temperatura che dalla corrente di lavoro. In generale il valore di  $\Delta V/\Delta T$  diminuisce al crescere della temperatura e al crescere della corrente. Il valore dato dall'Eq. (1.2-1) è valido solo alla temperatura ambiente (25 °C). Per semplicità però in seguito useremo normalmente l'Eq. (1.2-1) per tutta la gamma delle temperature di lavoro; così facendo commetteremo tuttavia un'approssimazione in eccesso e non in difetto.

### 1.3 CAPACITÀ DI TRANSIZIONE DEL DIODO

Un diodo viene fatto lavorare con polarizzazione inversa quando si vuole bloccare una corrente o impedire la trasmissione di un segnale. In questo caso, quando si ha a che fare con segnali ad alta frequenza, occorre tener in debito conto la capacità che si manifesta ai capi della giunzione polarizzata inversamente. Questa capacità prende il nome di *capacità di transizione* o *di barriera*  $C_T$ . Se il suo valore è sufficientemente elevato, la corrente, anziché essere bloccata dalla bassa conduttanza del diodo polarizzato inversamente, passa attraverso la capacità stessa.

I diodi adatti ad impieghi in alta frequenza presentano capacità di transizione dell'ordine da 1 a 10 pF. Il valore della capacità diminuisce col crescere della polarizzazione inversa, come è illustrato in Fig. 1.3-1 per due diodi tipici. Un'espressione che rappresenta in forma semplice, ma con buona approssimazione, la capacità di transizione è

$$C_T = \frac{C_0}{(1 + V_R)^n} \quad (1.3-1)$$

dove  $V_R$  è la tensione di polarizzazione inversa e  $C_0$  è il valore della capacità quando  $V_R = 0$ ;  $n = 1/2$  o  $1/3$  rispettivamente per giunzioni con concentrazione a profilo ripido o graduale.

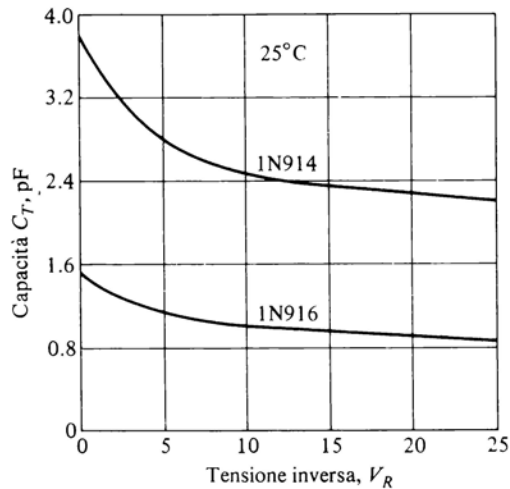


Figura 1.3-1 Andamento tipico della capacità di barriera in funzione della tensione inversa nei diodi al silicio 1N914 e 1N916. (Fairchild Semiconductor Corporation)

## 1.4 IL DIODO ZENER

Facendo aumentare la tensione inversa, si arriva alla fine al punto di rottura della giunzione, ad un punto cioè in cui il diodo inizia di colpo a far passare una corrente di forte intensità. In Fig. 1.4-1a è rappresentata la caratteristica inversa del diodo estesa sino alla regione di rottura (*breakdown region*). Vengono realizzati diodi con caratteristiche di dissipazione tali da consentirne il funzionamento nella zona di breakdown; questi diodi possono essere impiegati come generatori di tensioni costanti o di tensioni di riferimento. Essi prendono il nome di diodi *a valanga* o diodi *a breakdown* o diodi *zener*. Il loro impiego tipico è illustrato in Fig. 1.4-1b. Il generatore di ingresso  $V_i$  ed il resistore  $R$  sono scelti in modo che il diodo lavori nella regione di breakdown. In questa regione la tensione del diodo, che è pure la tensione ai capi del carico  $R_L$ , è  $V_Z$ , come indicato in Fig. 1.4-1a, e la corrente nel diodo è  $I_Z$ . Il diodo è così in grado di regolare la tensione sul carico contro le variazioni della tensione di alimentazione  $V_i$  poiché nella regione di breakdown variazioni anche notevoli della corrente che attraversa il diodo producono variazioni modeste della tensione ai capi del diodo stesso. Non appena la corrente di carico o la tensione di alimentazione subiscono delle variazioni, la corrente nel diodo si modifica in modo da mantenere la tensione sul carico pressoché costante. Il diodo continua a funzionare da regolatore di tensione finché le condizioni del circuito non richiedono che la sua corrente scenda al valore  $I_{ZK}$ , dove inizia il ginocchio della curva tensione-corrente del diodo. Il limite

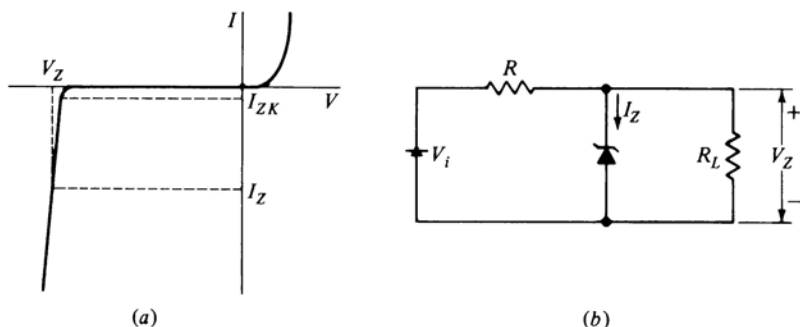


Figura 1.4-1 (a) La caratteristica tensione-corrente di un diodo zener; (b) circuito in cui il diodo zener stabilizza la caduta di tensione su  $R_L$  nei confronti delle variazioni della corrente di carico e della tensione di alimentazione.

superiore della corrente che può scorrere nel diodo è determinato dalla sua capacità di dissipare potenza.

Si possono individuare due processi che concorrono a provocare il breakdown del diodo. Il primo consiste nel fatto che gli elettroni e le lacune generati per effetto termico acquistano dalla differenza di potenziale applicata una energia sufficiente a produrre nuovi portatori, scalzando gli elettroni di valenza dai loro legami. Questi nuovi portatori generano a loro volta, attraverso un nuovo processo di rottura dei legami di valenza, altri portatori. Questo processo cumulativo prende il nome di *moltiplicazione a valanga*. Esso provoca il flusso di un'elevata corrente inversa e porta il diodo nella regione di *breakdown a valanga*. Anche se i portatori inizialmente liberi non riescono ad acquistare sufficiente energia per scalzare gli elettroni di valenza, può avvenire che si inizi ugualmente un processo di breakdown allorché il campo elettrico è così forte da provocare esso stesso la rottura dei legami. In questo caso si dice che si ha un *breakdown di tipo zener*. È accertato che l'effetto zener è predominante solo nei diodi con tensioni di breakdown inferiori a 6 V circa. Il termine zener è comunemente usato anche per indicare il breakdown a valanga, che si verifica a tensioni più elevate. Esistono diodi al silicio operanti nella regione di breakdown a valanga che presentano tensioni di lavoro da alcuni volt ad alcune centinaia di volt, con valori di potenza fino a 50 W.

Una caratteristica importante dei diodi zener, comune anche agli altri dispositivi a semiconduttore, è la loro sensibilità alla temperatura. Il legame fra la temperatura e la tensione di riferimento è illustrato in Fig. 1.4-2. In Fig. 1.4-2a è rappresentato, per diversi diodi di cui è specificata la tensione di rife-

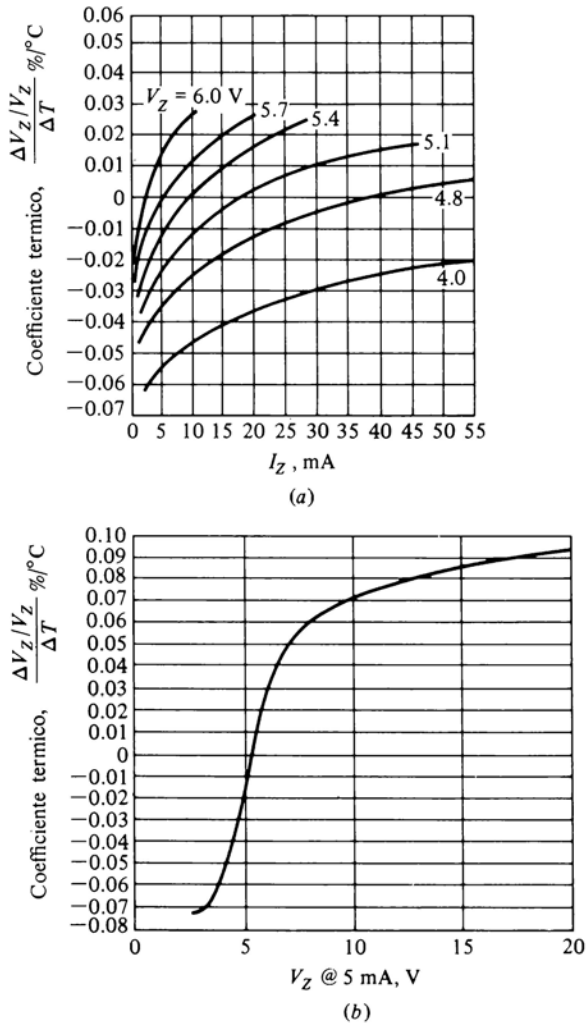


Figura 1.4-2 Coefficienti di temperatura di diodi zener aventi diverse tensioni di lavoro (a) in funzione della corrente di lavoro e (b) in funzione della tensione di lavoro. La tensione  $V_Z$  è misurata per  $I_Z = 5 \text{ mA}$  (da 25 a 100 °C). (Pacific Semiconductors, Inc.).

rimonto a 5 mA, il coefficiente di temperatura della tensione di riferimento in funzione della corrente nel diodo. Il coefficiente di temperatura è la variazione percentuale della tensione di riferimento per variazioni di 1 °C della temperatura del diodo. La Fig. 1.4-2b rappresenta l'andamento del coefficiente di temperatura per un valore della corrente di 5 mA in funzione della tensione di

zener. I dati utilizzati per tracciare queste curve sono quelli di una serie di diodi aventi differenti tensioni di zener ma lo stesso valore della potenza dissipabile. Si noti dalla Fig. 1.4-2 che i coefficienti di temperatura possono essere positivi o negativi e sono compresi normalmente nell'intervallo  $\pm 0,1\%/^{\circ}\text{C}$ . Si noti che se la tensione di riferimento è superiore a 6 V, nel qual caso il meccanismo di breakdown è costituito dalla moltiplicazione a valanga, il coefficiente di temperatura è positivo. Al di sotto di 6 V, dove entra in gioco il vero breakdown di tipo zener, il coefficiente di temperatura risulta essere negativo.

## 1.5 I DIODI NEI CIRCUITI INTEGRATI

Nella fabbricazione dei circuiti integrati la scelta della geometria e del drogaggio dei vari strati viene fatta in modo da ottimizzare le caratteristiche dei transistori, che costituiscono il componente più importante del circuito integrato. Per ottenere i diodi di solito non conviene, da un punto di vista economico, procedere ad ulteriori processi di mascheramento e di diffusione; si preferisce invece partire dai transistori ed adattarli in modo da poterli utilizzare come diodi. In Fig. 1.5-1 sono indicati i cinque modi con cui i transistori possono essere trasformati funzionalmente in diodi. In Fig. 1.5-1a i terminali del diodo sono costituiti dalla base e dall'emettitore del transistor, mentre il collettore è lasciato scollegato. In Fig. 1.5-1b i terminali del diodo sono ancora quelli della figura precedente, solo che il collettore risulta collegato alla base, ecc.

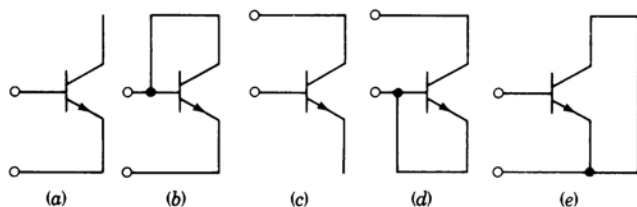


Figura 1.5-1 Le cinque configurazioni in cui un transistor può funzionare da diodo.

La configurazione più comune nei circuiti integrati è di solito quella rappresentata in Fig. 1.5-1b. In genere questa configurazione presenta il più basso valore della tensione diretta per una data corrente diretta, il più breve tempo di immagazzinamento (vedi Par. 1.18) e la più bassa capacità di giunzione nella polarizzazione inversa. Per contro la sua tensione di breakdown tende ad essere bassa, dell'ordine di 7 V. Poiché però le tensioni di alimentazione che si incontrano nei circuiti integrati digitali raramente superano i 5 o 6 V, questo limite non costituisce un grave inconveniente.

## 1.6 IL TRANSISTORE COME INTERRUTTORE

Il transistor rappresentato in Fig. 1.6-1a è usato come interruttore per collegare e scollegare il carico  $R_L$  dall'alimentazione  $V_{CC}$ . Esso assolve la stessa funzione dell'interruttore meccanico della Fig. 1.6-1b, con il vantaggio di una maggiore velocità di risposta e di poter essere comandato elettricamente. Il circuito con interruttore meccanico non permette il passaggio della corrente quando l'interruttore è aperto, mentre quando l'interruttore è chiuso tutta la tensione  $V_{CC}$  risulta applicata ai capi del carico  $R_L$ . Idealmente l'interruttore a transistor dovrebbe avere le stesse proprietà. In questo paragrafo si esamineranno le caratteristiche del circuito di Fig. 1.6-1 nei suoi due stati di lavoro corrispondenti allo stato del transistor come interruttore aperto e allo stato del transistor come interruttore chiuso. Nel Par. 1.20 si prenderà in considerazione la velocità di commutazione tra questi due stati.

Nel funzionamento del transistor usato come interruttore è utile distinguere tre zone o regioni di lavoro, ossia una *zona di interdizione*, una *zona attiva* e una *zona di saturazione*; tali zone si individuano facilmente sulle caratteristiche del transistor a base comune illustrate in Fig. 1.6-2. Nella zona di interdizione entrambe le giunzioni di emettitore e di collettore sono polarizzate inversamente, per cui attraverso le giunzioni passa soltanto una corrente di saturazione inversa molto piccola. Il transistor lavora nella regione che si trova al di sotto della caratteristica  $I_E = 0$ , caratteristica corrispondente alla corrente di saturazione inversa di collettore  $I_{C0}$  e coincidente all'incirca con l'asse  $I_C = 0$ . Quando il transistor funziona come interruttore aperto deve trovarsi nella zona di interdizione.

Quando la giunzione base-emettitore è polarizzata direttamente e la giunzione base-collettore è polarizzata inversamente, la corrente di uscita del transistor varia quasi linearmente con la corrente di ingresso. Nei circuiti di commutazione questa zona non riveste particolare importanza, perchè il transistor passa bruscamente dalla regione di interdizione a quella di satura-

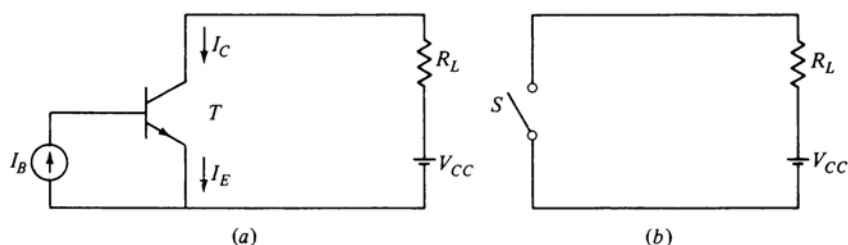


Figura 1.6-1 In (a) il transistor è impiegato come interruttore. Svolge la stessa funzione dell'interruttore  $S$  di (b). I versi positivi delle correnti sono quelli indicati.  $V_{CC}$  è un numero positivo che rappresenta il modulo della tensione di alimentazione.

zione (o viceversa) e, almeno idealmente, permane nella zona attiva per un tempo relativamente trascurabile.

La zona che si trova a sinistra dell'ordinata  $V_{CB} = 0$  e al di sopra della curva relativa ad  $I_E = 0$  è la zona di saturazione. Qui entrambe le giunzioni di emettitore e di collettore sono polarizzate direttamente; le tensioni sulle giunzioni e ai capi del transistor sono piccole (minori di 1 V). Pertanto quando il transistor deve funzionare come interruttore chiuso (o in conduzione) viene fatto lavorare nella zona di saturazione.

Se si adotta per un transistor usato come interruttore la configurazione a base comune, la corrente di ingresso di emettitore necessaria per determinare la commutazione è nominalmente dello stesso valore della corrente di collettore che deve essere commutata. Nella configurazione a collettore comune la tensione di ingresso necessaria per provocare la commutazione è nominalmente dello stesso valore della tensione di alimentazione. Nella configurazione ad emettitore comune, invece, la variazione della corrente o della tensione di ingresso necessaria per provocare la commutazione è piccola in confronto alla rispettiva variazione della corrente o della tensione di uscita. Di conseguenza quando il transistor è usato come interruttore si sceglie comunemente la configurazione ad emettitore comune.

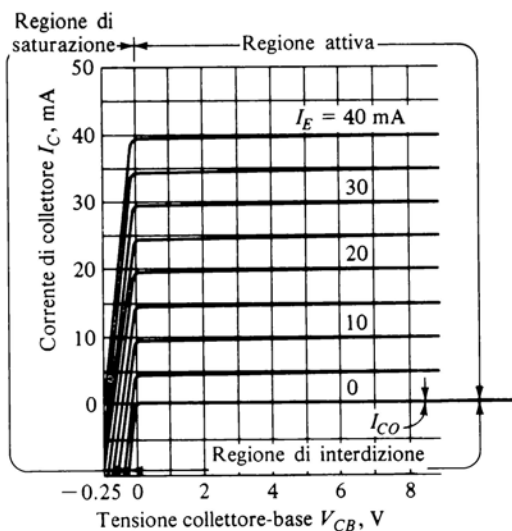


Figura 1.6-2 Caratteristiche di base comune tipiche di un transistor npn. Sono indicate le regioni di interdizione, attiva e di saturazione. Nella regione di saturazione la scala delle tensioni è stata espansa.



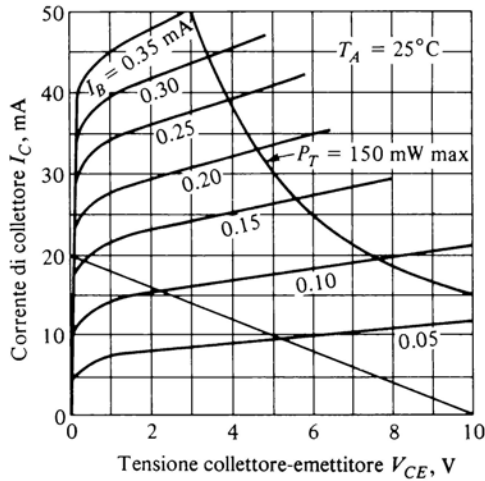


Figura 1.6-3 Caratteristiche di emettitore comune tipiche di un transistor *n*pn di media potenza (150 mW). La retta di carico corrisponde a  $V_{CC} = 10$  V ed  $R_L = 500$   $\Omega$ .

In Fig. 1.6-3 sono illustrate le caratteristiche relative al circuito di Fig. 1.6-1a, relative cioè ad un transistor di media potenza in configurazione ad emettitore comune. Si è scelta una resistenza di carico  $R_L = 500$   $\Omega$  ed una tensione di alimentazione  $V_{CC} = 10$  V e si è tracciata sulle caratteristiche la retta di carico. In questo caso le zone di interdizione e di saturazione non sono così evidenziate come in Fig. 1.6-2. Nei prossimi paragrafi sarà esaminato in dettaglio il comportamento del transistor in interdizione ed in saturazione.

## 1.7 ESPRESSIONI ANALITICHE DELLE CARATTERISTICHE DEL TRANSISTORE <sup>(1)</sup>

Le case costruttrici normalmente forniscono le caratteristiche necessarie per la progettazione di circuiti di commutazione relative a ciascun tipo di transistor. È tuttavia importante conoscere una procedura analitica per definire le condizioni di lavoro di un transistor. In primo luogo la disponibilità di tale metodo analitico ci libera dalla completa dipendenza dalle specifiche e dai grafici riportati sui manuali, relativi ai transistori che vogliamo usare, e ci permette di arrivare a principi validi in generale e indipendenti dal particolare tipo di transistor. Inoltre ci permette di valutare parametri che comunemente non sono forniti dalle case costruttrici; infine ci aiuta nell'analisi dei circuiti integrati per i quali non sono disponibili le caratteristiche dei singoli transistori.

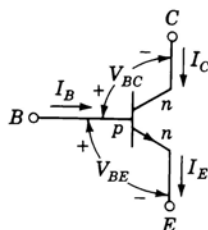


Figura 1.7-1 Definizione delle tensioni e delle correnti che compaiono nelle equazioni di Ebers - Moll.

Prendiamo un transistor *npn*, come quello illustrato in Fig. 1.7-1: consideriamo positive le direzioni delle correnti indicate; normalmente infatti le correnti scorrono proprio in queste direzioni. Le correnti di collettore e di base  $I_C$  e  $I_B$  sono positive quando entrano nel transistor, mentre la corrente di emettitore  $I_E$  è positiva quando esce dal transistor. Il simbolo  $V_{BC}$  indica la caduta di tensione sulla giunzione di collettore fra la base di tipo *p* ed il collettore di tipo *n*. La giunzione di collettore è polarizzata direttamente quando  $V_{BC}$  è positiva. Analogamente  $V_{BE}$  è la caduta di tensione sulla giunzione di emettitore; quest'ultima è polarizzata direttamente quando  $V_{BE}$  è positiva.

La corrente che attraversa ciascuna giunzione del transistor presenta due componenti. Una di esse è data dall'equazione del diodo (1.1-1) e viene detta perciò *componente di diodo*. Essa è dovuta alla tensione  $V$  applicata alla giunzione dalle polarizzazioni esterne. La seconda componente costituisce la *componente di transistor* ed è dovuta ai portatori minoritari che hanno attraversato l'altra giunzione e si sono diffusi attraverso la base. Si noti che della corrente che ha attraversato una delle due giunzioni, solo una frazione  $\alpha$  riesce ad attraversare l'altra giunzione. Identificando le giunzioni del transistor come giunzione base-collettore e giunzione base-emettitore, le corrispondenti correnti di giunzione  $I_C$  e  $I_E$  sono espresse come

$$I_C = \alpha_N I_E - I_{C0}(\epsilon^{V_{BC}/V_T} - 1) \quad (1.7-1)$$

$$I_E = \alpha_I I_C + I_{E0}(\epsilon^{V_{BE}/V_T} - 1) \quad (1.7-2)$$

Nelle equazioni (1.7-1) e (1.7-2) i primi termini dei secondi membri rappresentano le componenti di transistor mentre i secondi termini rappresentano le componenti di diodo. Un transistor normalmente non è simmetrico, nè per quanto riguarda la forma geometrica, nè per quanto riguarda il drogaggio, perciò nelle due equazioni compaiono due diversi coefficienti  $\alpha_N$  e  $\alpha_I$ . In base a convenzioni che vengono naturali quando si esaminano i transistori come elementi lineari nella regione attiva, si dice che la diffusione dei portatori minoritari dall'emettitore al collettore avviene in direzione «normale», men-

tre la diffusione dei portatori dal collettore all'emettitore avviene in direzione «inversa». Da ciò derivano i pedici  $N$  (normale) ed  $I$  (inversa) che caratterizzano gli  $\alpha$ .  $I_{C0}$  e  $I_{E0}$  sono le correnti di saturazione inverse corrispondenti a  $I_0$  dell'Eq. (1.1-1), rispettivamente per la giunzione di collettore e di emettitore. Le equazioni (1.7-1) e (1.7-2) sono conosciute come *equazioni di Ebers-Moll*. Si possono facilmente scrivere equazioni analoghe per un transistor *pnp*.

Per poter applicare insieme le due equazioni (1.7-1) e (1.7-2) è necessario che la risposta del transistor alla corrente iniettata in una delle giunzioni sia assolutamente indipendente dalla corrente iniettata nell'altra giunzione, cioè, in altre parole, deve poter essere valido il principio di sovrapposizione degli effetti per le correnti del transistor. Ciò significa che il transistor deve comportarsi come un dispositivo lineare. Intendiamoci, la linearità non si riferisce alla caratteristica tensione-corrente della giunzione, ma alla relazione che lega una corrente di giunzione all'altra. In realtà il transistor, sotto questo punto di vista, si comporta linearmente se il drogaggio della regione di base è uniforme; se viceversa il drogaggio non è uniforme, la linearità non sussiste più. Tuttavia, in pratica, il campo di applicabilità delle due equazioni è tanto vasto da comprendere numerosissimi tipi di transistori.

Dalle equazioni (1.7-1) e (1.7-2) possiamo ricavare esplicitamente le correnti di giunzione in funzione delle tensioni ai capi delle giunzioni stesse, ottenendo, con le convenzioni definite in Fig. 1.7-1,

$$I_E = \frac{I_{E0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BE}/V_T} - 1) - \frac{\alpha_I I_{C0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BC}/V_T} - 1) \quad (1.7-3)$$

$$I_C = \frac{\alpha_N I_{E0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BE}/V_T} - 1) - \frac{I_{C0}}{1 - \alpha_N \alpha_I} (\epsilon^{V_{BC}/V_T} - 1) \quad (1.7-4)$$

La terza corrente  $I_B$  è determinata dalla relazione

$$I_E = I_B + I_C \quad (1.7-5)$$

Dalle equazioni (1.7-1) e (1.7-2) possiamo anche ricavare esplicitamente le tensioni ai capi delle giunzioni in funzione delle correnti, ottenendo

$$V_{BE} = V_T \ln \left( 1 + \frac{I_E - \alpha_I I_C}{I_{E0}} \right) \quad (1.7-6)$$

$$V_{BC} = V_T \ln \left( 1 - \frac{I_C - \alpha_N I_E}{I_{C0}} \right) \quad (1.7-7)$$

I parametri  $\alpha_N$ ,  $\alpha_I$ ,  $I_{C0}$ ,  $I_{E0}$  non sono indipendenti, ma sono legati dalla relazione

$$\alpha_N I_{E0} = \alpha_I I_{C0} \quad (1.7-8)$$

Per un transistor che lavora in zona attiva, come ad esempio negli amplificatori, è utilissimo conoscere il parametro  $h_{fe}$ , cioè il guadagno di corrente incrementale, definito come  $h_{fe} = \Delta I_C / \Delta I_B$ . Un altro parametro importante è il guadagno di corrente in continua  $h_{FE} = I_C / I_B$ . Entrambi questi parametri possono essere espressi in funzione dei coefficienti presenti nelle equazioni di Ebers-Moll. Infatti, poichè nella zona attiva la giunzione base-collettore è polarizzata inversamente con una tensione in valore assoluto molto maggiore di  $V_T$ , possiamo riscrivere l'Eq. (1.7-1) come

$$I_C = \alpha_N I_E + I_{C0} \quad (1.7-9)$$

Dalle equazioni (1.7-9) e (1.7-5) troviamo

$$I_C = \frac{\alpha_N}{1 - \alpha_N} I_B + \frac{I_{C0}}{1 - \alpha_N} \quad (1.7-10)$$

da cui

$$h_{fe} = \frac{\Delta I_C}{\Delta I_B} = \frac{\alpha_N}{1 - \alpha_N} \quad (1.7-11)$$

In pratica, dal momento che normalmente  $I_{C0}$  è molto minore delle altre correnti in gioco, possiamo trascurare l'ultimo termine dell'Eq. (1.7-10), per cui risulta valida anche la relazione per  $h_{FE}$

$$h_{FE} = \frac{\alpha_N}{1 - \alpha_N} \quad (1.7-12)$$

Pertanto d'ora innanzi non si farà più alcuna distinzione fra  $h_{FE}$  ed  $h_{fe}$ . Riferendoci ad un caso tipico, troviamo che, per  $\alpha_N = 0,98$ ,  $h_{FE} \approx 50$ .

Il parametro  $h_{FE}$  presenta forti variazioni nel campo di funzionamento del transistor; inoltre spesso presenta variazioni da un esemplare all'altro dello stesso tipo di transistor. È normale riscontrare per  $h_{FE}$  variazioni fino al 50% per variazioni della corrente di collettore da 1 a 10, come pure è normale riscontrare variazioni del 300% o più fra esemplari diversi con la stessa sigla. Il parametro  $h_{FE}$  dipende anche dalla temperatura e può presentare aumenti anche di un fattore 3 o più per variazioni della temperatura da  $-50$  a  $+150$  °C. Va detto però che è possibile realizzare i transistori, sia integrati che discreti, in modo che il valore medio e tipico di  $h_{FE}$  sia sostanzialmente definito. Esistono così transistori (discreti e integrati) con  $h_{FE}$  basso, ad esempio  $h_{FE} \approx 50$ , ed altri con  $h_{FE}$  elevato, ad esempio  $h_{FE} \approx 200$ .

Il pedice di  $h_{FE}$  sta a significare che  $h_{FE}$  (che consideriamo uguale a  $h_{fe}$ ) è il parametro *ibrido* (*hybrid*) rappresentante il guadagno di corrente *diretto* (*forward*) nella configurazione ad *emettitore comune* (*common-emitter*). Quando il transistor viene impiegato nel modo di funzionamento inverso, il terminale comune viene ad essere il collettore e quindi il parametro corrispondente ad  $h_{FE}$  viene ad essere  $h_{FC}$ . Analogamente all'Eq. (1.7-12) abbiamo

$$h_{FC} = \frac{\alpha_I}{1 - \alpha_I} \quad (1.7-13)$$

La geometria ed il drogaggio dei transistori sono normalmente tali che, mentre  $\alpha_N$  è prossima all'unità,  $\alpha_I$  è molto minore dell'unità, variando da 0,01 a 0,2. Di conseguenza  $h_{FC}$  assume valori compresi fra 0,01 e 0,25.

Nel modo di funzionamento normale e nella regione attiva,  $V_{BC} \leq 0$  e  $V_{BE} \gg V_T$ . Tenendo conto del fatto che  $\alpha_I \ll 1$ , l'Eq. (1.7-3) si riduce alla comoda espressione

$$I_E \approx I_{E0} e^{V_{BE}/V_T} \quad (1.7-14)$$

## 1.8 IL TRANSISTORE IN INTERDIZIONE

Prendiamo in esame il transistor in un circuito di commutazione come quello di Fig. 1.6-1a. Se la tensione fra base ed emettitore non è sufficientemente elevata da polarizzare direttamente la giunzione di emettitore, la corrente di emettitore (e quella di collettore) si riduce nominalmente a zero ed il transistor entra in *interdizione* (*cut off*). Come per il diodo, anche per il transistor è importante conoscere la tensione di soglia; per questo possiamo ricorrere alle equazioni di Ebers-Moll. Poichè nel circuito di Fig. 1.6-1, in prossimità della tensione di soglia, la giunzione base-collettore risulta essere nettamente polarizzata inversamente, si ha  $V_{BC} / V_T \ll -1$ . Pertanto si può scrivere l'Eq. (1.7-3) come

$$I_E = \frac{I_{E0}}{1 - \alpha_N \alpha_I} (e^{V_{BE}/V_T} - 1) + \frac{\alpha_I I_{C0}}{1 - \alpha_N \alpha_I} \quad (1.8-1)$$

che, se si tiene conto dell'Eq. (1.7-8), diventa

$$I_E = \frac{I_{E0}}{1 - \alpha_N \alpha_I} (e^{V_{BE}/V_T} - 1 + \alpha_N) \quad (1.8-2)$$

Normalmente  $\alpha_N \approx 1$ , per cui si ha

$$I_E \approx \frac{I_{E0}}{1 - \alpha_I} e^{V_{BE}/V_T} \quad (1.8-3)$$

Come si è visto, il parametro  $\alpha_I$  è in genere compreso fra i valori 0,01 e 0,2, cosicchè il fattore  $I_{E0}/(1 - \alpha_I)$  viene ad assumere valori compresi fra 1,25  $I_{E0}$  e  $I_{E0}$ . Consideriamo per ora  $I_{E0}/(1 - \alpha_I) \approx I_{E0}$ : allora l'Eq. (1.8-3) diventa identica all'Eq. (1.1-1) per il diodo, essendo  $I_{E0}$  la corrente di saturazione inversa della giunzione base-emettitore. Pertanto tutte le considerazioni fatte sulla tensione di soglia  $V_\gamma$  del diodo risultano ancora valide per il transistor; si può pertanto concludere che la tensione di soglia della giunzione base-emettitore vale  $V_\gamma = 0,65$  V. Più in generale si può dare all'Eq. (1.8-3) la forma

$$I_E = I_{E0} \exp \frac{V_{BE} - V_T \ln(1 - \alpha_I)}{V_T} \quad (1.8-4)$$

La curva che descrive l'Eq. (1.8-4) è identica a quella che descrive l'equazione del diodo, con la sola differenza di una traslazione sull'asse delle tensioni della quantità  $V_T \ln(1 - \alpha_I)$ . Anche nel caso di  $\alpha_I = 0,2$ , il grafico si sposta di soli  $-0,005$  V, trascurabili in confronto a  $0,65$  V. Pertanto possiamo assumere  $V_T \approx 0,65$  V, indipendentemente dal valore di  $\alpha_I$ .

**La corrente di saturazione inversa di collettore  $I_{CB0}$ .** La corrente di collettore, quando è nulla la corrente di emettitore, viene indicata con  $I_{CB0}$ . Due fattori intervengono a rendere  $|I_{CB0}|$  maggiore di  $|I_{C0}|$ . Innanzi tutto esiste una corrente di dispersione che non scorre attraverso la giunzione, ma la scavalca, scorrendo sulla superficie esterna. Tale corrente di dispersione è proporzionale alla tensione ai capi della giunzione. Il secondo motivo per cui  $|I_{CB0}|$  è più elevata di  $|I_{C0}|$  consiste nel fatto che nella regione di transizione della giunzione si possono creare per collisione nuovi portatori; tale fenomeno porta ad una moltiplicazione a valanga della corrente e può giungere fino al breakdown, come si è già visto nel Par. 1.4. Comunque, anche molto prima che si manifesti il breakdown, la componente della corrente dovuta alla *moltiplicazione* dei portatori può raggiungere proporzioni considerevoli.

Per un diodo al silicio di media potenza  $I_{CB0}$ , a  $25^\circ\text{C}$ , è dell'ordine dei nanoampere. Per quanto riguarda la variazione di  $I_{CB0}$  con la temperatura, si può dire che all'incirca  $I_{CB0}$  raddoppia per ogni  $10^\circ\text{C}$  di aumento della temperatura.

Occorre tener presente che  $I_{CB0}$ , oltre a subire delle variazioni con la temperatura, presenta ampie variazioni da un esemplare all'altro di transistori dello stesso tipo. Ad esempio, per il transistor di commutazione della Texas Instruments 2N337 al silicio, realizzato per crescita e diffusione, le specifiche precisano che  $I_{CB0}$  può variare in un campo estremamente ampio: da  $0,2$  nA a  $0,3$   $\mu\text{A}$ . Pertanto un transistor di un certo tipo può presentare una  $I_{CB0}$  molto diversa dalla  $I_{CB0}$  media, caratteristica di quel tipo.

## 1.9 IL TRANSISTORE IN SATURAZIONE

Riferiamoci di nuovo al transistor usato come interruttore di Fig. 1.6-1. Supponiamo che la giunzione base-emettitore sia polarizzata direttamente; la corrente di base  $I_B$  sia tale che la corrispondente corrente di collettore  $I_C$  provochi una caduta di tensione  $R_L I_C$  su  $R_L$  sostanzialmente minore della tensione di alimentazione  $V_{CC}$ . In queste condizioni, mentre la giunzione di emettitore è polarizzata direttamente, quella di collettore risulta polarizzata inversamente. Fra emettitore e collettore continua a fluire corrente perchè i portatori minoritari iniettati attraverso la giunzione di emettitore si diffondono nella base e, come giungono in prossimità della giunzione di collettore,

vencono risucchiati nel collettore stesso. In questo caso il transistor lavora nella sua zona *attiva*. Un aumento della polarizzazione diretta fra base ed emettitore produce un aumento della corrente dei portatori minoritari iniettati e quindi determina un aumento della corrente di collettore. Occorre mettere in evidenza che, in zona attiva, nella corrente che attraversa la base è presente anche una componente dovuta a portatori minoritari iniettati nella base dalla giunzione di collettore e raccolti dalla giunzione di emettitore. Ciò benché la giunzione di collettore sia polarizzata inversamente e quella di emettitore direttamente. Nella regione attiva, naturalmente, questa componente è così insignificante da poter essere trascurata.

Se la polarizzazione diretta fra base ed emettitore continua ad aumentare e, di conseguenza, continua ad aumentare la corrente di collettore, ad un certo punto la tensione ai capi della giunzione base-collettore si annulla e successivamente cambia di segno. La giunzione base-collettore viene così ad essere polarizzata direttamente e l'iniezione nella base dei portatori minoritari da parte del collettore diventa paragonabile all'iniezione dei portatori minoritari da parte dell'emettitore. Il transistor a questo punto è entrato in *saturazione*. Tentare di incrementare la corrente di collettore, aumentando ancora la polarizzazione diretta fra base ed emettitore, dà scarsi risultati: infatti un incremento della corrente di collettore fa aumentare la polarizzazione diretta fra base e collettore. Ciò provoca un aumento della componente di corrente che scorre in direzione *opposta* alla corrente che si voleva aumentare con l'iniziale incremento della polarizzazione diretta sulla giunzione base-emettitore.

A questo punto occorre fare una precisazione sul termine *saturazione* riferito ad un transistor. Generalmente il termine saturazione, riferito ad un dispositivo elettronico, viene usato quando si vuole esprimere il fatto che il dispositivo sta fornendo la massima corrente che è in grado di erogare. Si noti che, riferendoci sempre al circuito di Fig. 1.6-1, con una corrente di base  $I_B$  il transistor di per se stesso è in grado di erogare una corrente di collettore  $I_C = h_{FE} I_B$ . Se invece il valore di  $I_C$  nel circuito risulta essere inferiore ad  $h_{FE} I_B$  (nel qual caso comunemente si dice che il transistor è in saturazione), ciò non è dovuto al fatto che il transistor è arrivato ad erogare la sua massima corrente, ma al fatto che il circuito esterno non consente alcun ulteriore incremento della corrente. A rigore quindi si dovrebbe parlare di circuito saturo e non di transistor saturo. In effetti il transistor è saturo quando si trova nella sua regione attiva, poichè in questa zona ad un aumento della tensione di collettore non corrisponde aumento alcuno della corrente di collettore. Malgrado ciò, concordemente con l'uso corrente, diremo che un transistor è in saturazione quando entrambe le sue giunzioni sono polarizzate direttamente.

Abbiamo già fatto notare che la tensione di soglia, sia per il diodo che per il transistor, vale all'incirca 0,65 V. Ciò è particolarmente vero nei circuiti integrati, perchè in essi il diodo viene di solito realizzato utilizzando soltanto

la giunzione base-emettitore di una struttura a transistor. In base a queste considerazioni possiamo ragionevolmente supporre che quando attraverso la giunzione base-emettitore fluisce una corrente piuttosto sostenuta, come nel caso in cui il transistor è in saturazione, la tensione base-emettitore vale circa 0,75 V, come avviene per il diodo. Quanto detto è valido in pratica sia per i transistori integrati che per i transistori discreti con valori limite della potenza dissipabile dell'ordine dei 100 mW. Per i transistori integrati la corrente «piuttosto sostenuta», di cui si diceva, è una corrente dell'ordine dei milliamper. Infatti, in zona di saturazione, essendo la tensione fra collettore ed emettitore molto bassa, la corrente di emettitore vale all'incirca  $V_{CC}/R_L$  (vedi Fig. 1.6-1). Considerando valori tipici,  $V_{CC}$  intorno a 5 V ed  $R_L = 5 \text{ k}\Omega$ , la corrente di collettore (che è pressochè uguale alla corrente di emettitore) risulta essere di 1 mA.

Riassumendo allora diremo che la tensione base-emettitore di soglia vale  $V_{BE} = 0,65 \text{ V}$ , mentre la tensione di saturazione vale  $V_{BE} = 0,75 \text{ V}$ . Quando invece il transistor è in zona attiva assumeremo il valore della tensione  $V_{BE}$  pari a 0,70 V. Sottolineiamo ancora che questi valori di tensione sono validi per transistori che lavorano con correnti di circa 1 mA. Nel Cap. 7, dove si studierà la famiglia logica ECL, per motivi che verranno spiegati in seguito assumeremo per la tensione di soglia il valore di 0,7 V e per la tensione di saturazione il valore di 0,8 V.

In Fig. 1.9-1 sono riportate le caratteristiche tipiche di un transistor al silicio *npn* ad emettitore comune per bassi valori della tensione collettore-emettitore ( $< 1,0 \text{ V}$ ). Si noti che la zona di saturazione inizia intorno al valore 0,35 V. Infatti da questo punto un'ulteriore riduzione della tensione è accompagnata da una riduzione della corrente di collettore. Se assumiamo per la tensione di saturazione il valore  $V_{BE} = 0,75 \text{ V}$ , si verifica subito che la giunzione base-collettore è polarizzata direttamente, con una tensione ai suoi capi  $V_{BC} = 0,75 - 0,35 = 0,4 \text{ V}$ . Si era fatto notare che la saturazione inizia quando la tensione di polarizzazione diretta ai capi della giunzione base-collettore fa sì che attraverso la giunzione stessa venga iniettata una corrente di portatori minoritari apprezzabile. In base ai ragionamenti precedenti ci si dovrebbe aspettare che la regione di saturazione inizi per  $V_{BC} = 0,65 \text{ V}$  o anche più. Invece si trova che  $V_{BC} = 0,4 \text{ V}$ . Un motivo di questa discrepanza consiste nel fatto che la giunzione di collettore presenta una sezione trasversale molto maggiore di quella della giunzione di emettitore. Pertanto alla giunzione di collettore vengono iniettate correnti più elevate e a tensioni più basse che non alla giunzione di emettitore.

Riferendoci di nuovo al circuito di Fig. 1.6-1, abbiamo tracciato sul grafico di Fig. 1.9-1 la retta di carico corrispondente a  $V_{CC} = 5 \text{ V}$  e  $R_L = 1 \text{ k}\Omega$ . Portiamo il transistor di Fig. 1.6-1a in saturazione, in modo da simulare la chiusura dell'interruttore di Fig. 1.6-1b. È necessario che la caduta di tensione sul transistor-interruttore sia la più bassa possibile, al fine di ridurre al



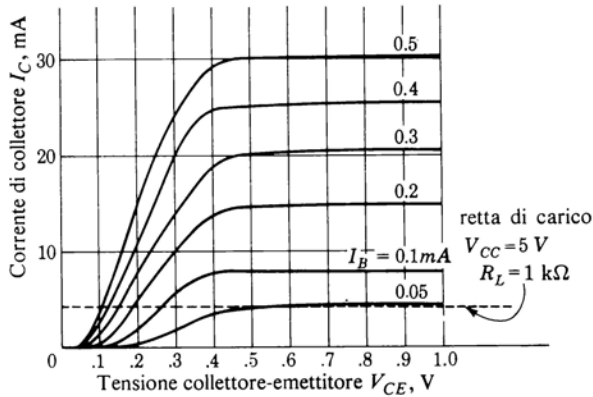


Figura 1.9-1 Caratteristiche di emettitore comune tipiche per tensioni  $V_{CE} \leq 1,0$  V.

minimo la dissipazione di potenza sull'interruttore e contemporaneamente ottenere, alla chiusura dell'interruttore, la massima variazione possibile della tensione su  $R_L$ . Infatti è proprio la variazione di tensione su  $R_L$  che distingue e separa i due livelli logici, per cui tanto maggiore è la differenza fra i due livelli logici, tanto migliore è il circuito dal punto di vista dell'immunità ai disturbi (rumore). Quando la corrente di base è  $I_B = 0$ , la tensione fra collettore ed emettitore è  $V_{CE} = 5$  V. Dalla Fig. 1.9-1 si può notare che con  $I_B = 0,1$  mA il transistor è in saturazione e  $V_{CE}$  è sceso a  $V_{CE} = 0,27$  V. Un ulteriore aumento di  $I_B$  non provoca una diminuzione sostanziale di  $V_{CE}$ . Tuttavia è bene non fermarsi a  $I_B = 0,1$  mA, perché in queste condizioni il transistor è proprio «al limite» della saturazione. Infatti, mentre un modesto aumento di  $I_B$  non provoca una *riduzione* sostanziale di  $V_{CE}$ , una diminuzione sia pur minima di  $I_B$  può provocare un *aumento* significativo di  $V_{CE}$ . Pertanto, tenendo conto sia della presenza di disturbi, sia delle differenze fra un transistor e l'altro, conviene spingere il transistor in piena zona di saturazione, aumentando  $I_B$  di un fattore 2 o anche 3. In tal caso si avrà, come si può riscontrare nella Fig. 1.9-1,  $V_{CE}(\text{sat}) \approx 0,2$  V o anche 0,1 V. In ogni caso risulta evidente dalla Fig. 1.9-1 che, a seconda della retta di carico e a seconda di quanto spinta è la saturazione,  $V_{CE}(\text{sat})$  sarà sempre compresa fra 0,1 e 0,3 V. Pertanto si può assumere come valore approssimato ed indicativo per  $V_{CE}(\text{sat})$  il valore 0,2 V. Teniamo però sempre presente che un transistor al limite della saturazione può presentare una  $V_{CE}$  anche di 0,4 V, mentre un transistor in saturazione spinto può presentare valori di  $V_{CE}(\text{sat})$  di poche decine di millivolt.

## 1.10 LE EQUAZIONI DI EBERS-MOLL PER IL TRANSISTORE IN SATURAZIONE

Quando il transistor è in zona attiva, la corrente di collettore e quella di base sono legate dalla relazione  $I_C = h_{FE} I_B$ . Se viene posto un limite alla massima corrente di collettore, al crescere della corrente di base il transistor ad un certo punto si satura. Ad esempio, nel circuito di Fig. 1.6-1 il valore massimo della corrente di collettore è  $I_C \approx V_{CC}/R_L$  e la corrente di base corrispondente è  $I_B \approx V_{CC}/h_{FE} R_L$ . Questa corrente di base porta il transistor proprio al limite della zona di saturazione; ulteriori incrementi spingono il transistor sempre più profondamente in saturazione. Per tutta la zona attiva la corrente di base  $I_B$  rimane uguale a  $I_C/h_{FE}$ ; in saturazione  $I_B$  è maggiore di  $I_C/h_{FE}$  il rapporto fra  $I_C/h_{FE}$  e  $I_B$  diviene tanto più piccolo quanto più accentuata è la saturazione. Questa considerazione suggerisce di definire il parametro

$$\sigma \equiv \frac{I_C/h_{FE}}{I_B} = \frac{I_C}{h_{FE} I_B} \quad (1.10-1)$$

che dà la misura del grado di saturazione a cui è stato portato il transistor. Finché  $\sigma = 1$ , il transistor è in zona attiva. Quanto più il transistor viene saturato, tanto più  $\sigma$  scende al di sotto dell'unità. Ci si deve aspettare che la tensione collettore-emettitore in saturazione  $V_{CE}(\text{sat})$  sia strettamente legata al parametro  $\sigma$ .

Questo legame è confermato dalle equazioni di Ebers-Moll. Infatti, se il transistor è in saturazione, le tensioni  $V_{BC}$  e  $V_{BE}$  che compaiono nelle Eq. (1.7-3) e (1.7-4) sono elevate rispetto a  $V_T (= 25 \text{ mV})$ . Possiamo quindi dire che  $I_E$  ed  $I_C$  presentano un andamento esponenziale e trascurare i termini  $-1$ . La tensione collettore-emettitore di saturazione è data da

$$V_{CE}(\text{sat}) = V_{CB} + V_{BE} = V_{BE} - V_{BC} \quad (1.10-2)$$

Dalle equazioni (1.7-6) e (1.7-7), trascurando il termine 1 nell'argomento del logaritmo, e dalle equazioni (1.7-5), (1.7-12) e (1.7-13) risulta

$$V_{CE}(\text{sat}) = V_T \ln \frac{h_{FE} \sigma / h_{FC} + (1 + h_{FC}) / h_{FC}}{1 - \sigma} \quad (1.10-3)$$

Si lasciano come esercizio (vedi Prob. 1.10-1) i passaggi matematici che permettono di giungere all'Eq. (1.10-3).

In Fig. 1.10-1 sono riportate le curve relative all'Eq. (1.10-3) per  $h_{FC} = 0,1$  e per due valori di  $h_{FE}$ , uno medio e l'altro elevato. L'Eq. (1.10-3), che deriva dalle equazioni di Ebers-Moll, si riferisce al transistor vero e proprio ed è indipendente dalla configurazione circuitale di cui il transistor fa parte. In pratica, come vedremo, non è possibile coprire tutti i valori di  $\sigma$  indicati nella Fig. 1.10-1 con un'unica configurazione del transistor-interruttore. D'altra

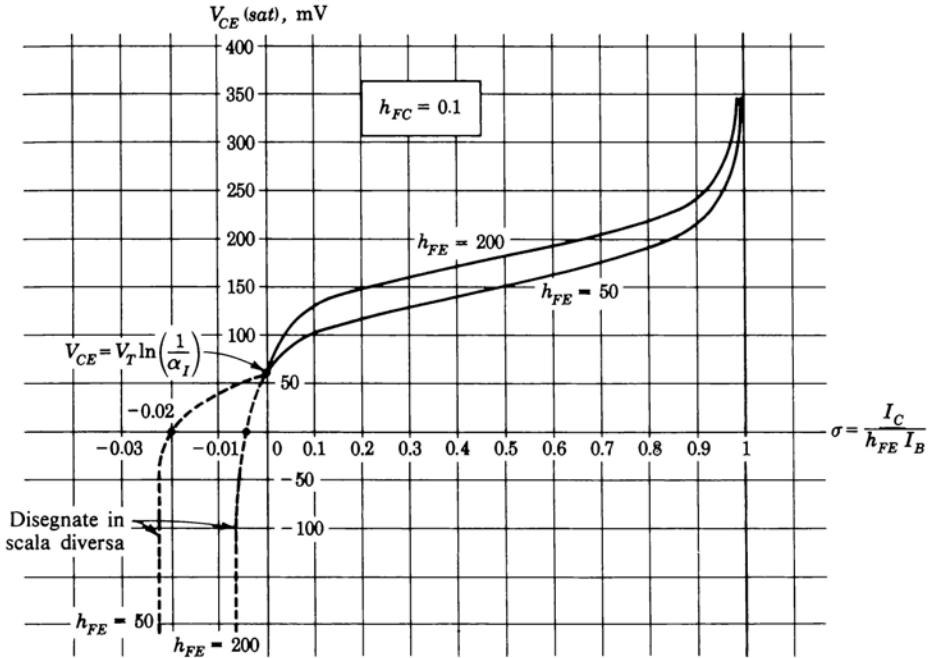


Figura 1.10-1 La tensione di saturazione  $V_{CE(sat)}$  in funzione del parametro  $\sigma$ .

parte è importante portare il transistor in saturazione con il minimo valore di  $V_{CE(sat)}$  e pertanto si deve sapere qual'è la configurazione circuitale più adatta a raggiungere questo scopo.

In fig. 1.10-1, fissato un valore di  $I_B$ , i punti dell'asse delle ascisse risultano proporzionali alla corrente di collettore  $I_C$ . Riferendoci al circuito base di Fig. 1.6-1, possiamo notare che le curve di Fig. 1.10-1 rappresentano le caratteristiche tensione-corrente del transistor considerato fra i terminali di collettore ed emettitore (massa) (è la Fig. 1.9-1 con gli assi scambiati). La corrente  $I_C$ , in questa configurazione, deve essere positiva, per cui ci si deve limitare a prendere in considerazione solo il primo quadrante. Fissato un valore per  $I_B$  ( $I_B > 0$  perché il transistor sia ON), supponiamo di far aumentare  $I_C$ , ad esempio riducendo  $R_L$ :  $V_{CE(sat)}$  aumenterà finché, avvicinandosi  $\sigma$  all'unità, il transistor entrerà nella regione attiva. Qui, con buona approssimazione, la corrente di collettore è indipendente dalla tensione  $V_{CE}$ , come è confermato dal grafico che per  $\sigma = 1$  sale verticalmente. In altri termini, per  $\sigma = 1$  possiamo modificare a piacere  $V_{CE}$  (per esempio variando  $V_{CC}$ ) senza influenzare  $I_C$ .

Se invece facciamo diminuire  $I_C$ , ad esempio aumentando  $R_L$ ,  $V_{CE}$

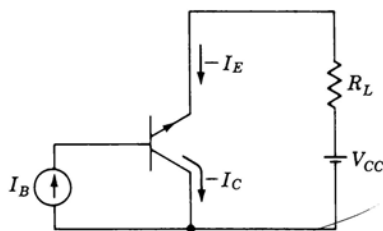


Figura 1.10-2 Configurazione con transistor-interruttore in cui il transistor lavora nel modo inverso.

diminuirà, raggiungendo il suo valore minimo per  $I_C = 0$ . In pratica  $I_C$  di solito rimane fissa al valore  $I_C = V_{CC} / R_L$  e si cerca di ottenere il valore minimo di  $V_{CE}$  aumentando  $I_B$ . In questo modo non sarà possibile raggiungere esattamente il valore  $\sigma = 0$  (dovrebbe essere  $I_B = \infty$ ); si può però fare in modo che  $\sigma$  sia tanto prossima a  $\sigma = 0$  da poter considerare valido a tutti gli effetti il valore di  $V_{CE}$  corrispondente a  $\sigma = 0$ . Dall'Eq. (1.10-3), per  $\sigma = 0$  troviamo

$$V_{CE}(\text{sat}) = V_T \ln \frac{1 + h_{FC}}{h_{FC}} = V_T \ln \frac{1}{\alpha_I} \quad (1.10-4)$$

Esaminiamo ora il circuito di Fig. 1.10-2. Qui il transistor è invertito, cioè le giunzioni di collettore e di emettitore sono state scambiate rispetto al circuito visto prima, sicché la giunzione originariamente intesa come giunzione di collettore ora funge da giunzione di emettitore e viceversa. Anche la direzione delle correnti risulta invertita, cioè  $I_E$  ed  $I_C$  sono entrambe negative. In questa configurazione si dice che il transistor lavora in *modo inverso*. In contrapposizione si dice che il transistor del circuito base di Fig. 1.6-1 lavora in *modo normale*.

Nel modo normale l'asintoto fra la regione di saturazione e la regione attiva si ha per  $I_C$  uguale ad  $h_{FE} I_B$ , cioè per  $\sigma = 1$ . Nel modo inverso si scambiano i ruoli di  $h_{FE}$  ed  $h_{FC}$ , per cui si ha l'asintoto quando

$$-I_E = h_{FC} I_B \quad (1.10-5)$$

Dalla Fig. 1.10-2 si deduce che

$$-I_C = -I_E + I_B \quad (1.10-6)$$

Da queste ultime due equazioni si ricava che

$$I_C = -I_B(1 + h_{FC}) \quad (1.10-7)$$

Sostituendo l'espressione di  $I_C$ , data dall'Eq. (1.10-7), nell'Eq. (1.10-1) che definisce  $\sigma$ , si trova che l'asintoto fra la regione attiva e la zona di saturazione si ha per

$$\sigma = -\frac{1 + h_{FC}}{h_{FE}} \quad (1.10-8)$$

Con i valori di  $h_{FC}$  ed  $h_{FE}$  indicati in Fig. 1.10-1, i valori di  $\sigma$  risultano  $\sigma = -0,022$  ( $h_{FE} = 50$ ) e  $\sigma = -0,0055$  ( $h_{FE} = 200$ ). Per questi valori le curve diventano verticali, come si vede nel terzo quadrante del grafico.

Nel modo inverso il valore minimo della tensione ai capi del transistor si ha per  $I_E = 0$  e quindi per  $I_B = -I_C$  e pertanto per  $\sigma = I_C/h_{FE}I_B = -1/h_{FE}$ . Sostituendo  $\sigma$  nell'Eq. (1.10-3), si trova che il valore minimo di  $V_{CE}(\text{sat})$  è

$$V_{CE}(\text{sat}) = -V_T \ln \frac{1 + h_{FE}}{h_{FE}} = -V_T \ln \frac{1}{\alpha_N} \quad (1.10-9)$$

Tutti i valori di  $V_{CE}$  e  $\sigma$  ottenibili con questo modo di funzionamento appartengono al terzo quadrante di Fig. 1.10-1, ma non tutte le coppie di valori di  $V_{CE}$  e  $\sigma$  del terzo quadrante sono ottenibili con questo modo di funzionamento. La tensione  $V_{CE}$  non può avvicinarsi all'asse delle ascisse oltre il valore indicato dall'Eq. (1.10-9). Si noti inoltre che l'andamento delle curve nel terzo quadrante non è quello della caratteristica tensione-corrente fra emettitore e collettore (massa). Questo perché in ascissa è riportata una grandezza proporzionale alla corrente di collettore e non alla corrente di emettitore.

Infine passiamo alla configurazione di Fig. 1.10-3a; si tratta di una versione modificata del circuito base di Fig. 1.6-1, in cui il generatore della corrente di base è stato collegato al collettore anziché all'emettitore. Aumentando  $I_B$  aumentano anche le correnti  $I_C$  e  $I_E$  ed il transistor si porta in saturazione. Continuando ad aumentare  $I_B$ , ad un certo punto  $I_C$  comincia a scendere, per poi annullarsi e infine invertirsi. Come si può verificare,  $I_C$  si annulla quando

$$I_B = \frac{V_{CC} - V_T \ln(1/\alpha_I)}{R_L} \quad (1.10-10)$$

Questa configurazione circuitale consente pertanto di accedere ai tratti di curva che si trovano nel primo, nel secondo e nel terzo quadrante, cosa che non era possibile con le configurazioni precedentemente esaminate.

In particolare è possibile ottenere  $V_{CE}(\text{sat}) = 0$ ; dall'Eq. (1.10-3) si ricava il corrispondente valore di  $\sigma$

$$\sigma = \frac{-1}{h_{FE} + h_{FC}} \quad (1.10-11)$$

Sfortunatamente la corrente di base necessaria per ottenere  $V_{CE}(\text{sat}) = 0$  risulta essere troppo elevata; infatti, come si può verificare (Prob. 1.10-4), è necessaria una corrente

$$I_B = \frac{V_{CC}}{R_L} \left( 1 + \frac{h_{FE}}{h_{FC}} \right) \quad (1.10-12)$$

Con  $V_{CC} = 5 \text{ V}$ ,  $R_L = 1 \text{ k}\Omega$ ,  $h_{FE} = 50$  e  $h_{FC} = 0,1$ , la corrente di base diventa  $I_B = 500 V_{CC} / R_L = 2,5 \text{ A}$ . D'altra parte supponiamo di limitare  $I_B$ , diciamo a  $I_B = 5 V_{CC} / R_L = 5 I_E$ ; otteniamo allora  $I_C = I_E - I_B = -4 I_E$ , e  $\sigma = I_C / h_{FE} I_B = -4/5 (1/h_{FE}) = -0,016$ , nel caso di  $h_{FE} = 50$ . Dalla Fig. 1.10-1 si vede che la corrispondente tensione ai capi del transistor è  $V_{CE}(\text{sat}) \approx 25 \text{ mV}$ .

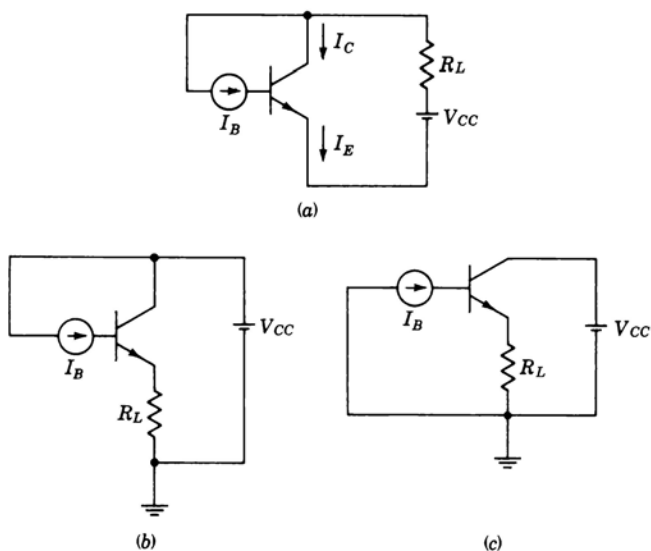


Figura 1.10-3 (a) Transistore-interruttore collegato in modo normale con il generatore della corrente di base collegato al collettore. (b) Stesso circuito del punto (a) con l'alimentazione  $V_{CC}$  ed il carico  $R_L$  scambiati fra di loro e con il collegamento di massa. (c) Stesso circuito del punto (b) con il generatore di corrente collegato all'altro polo dell'alimentazione.

Si noti che quest'ultima configurazione altro non è che la configurazione ad inseguitore di emettitore. Lo si può notare meglio nella Fig. 1.10-3b, in cui, rispetto a prima, si sono scambiate le posizioni di  $R_L$  e  $V_{CC}$  e si è aggiunto il collegamento a massa. In Fig. 1.10-3c poi è stato spostato un terminale del generatore di corrente dal morsetto positivo a quello negativo dell'alimentazione, variazione che non influisce assolutamente sulle correnti del transistor e sulle tensioni ai capi delle giunzioni.

**Confronto fra le varie configurazioni** Per la configurazione con il transistor ad emettitore comune funzionante nel modo normale, dall'Eq. (1.10-4) con  $h_{FC} = 0,1$  si trova  $V_{CE}(\text{sat}) = 60 \text{ mV}$ . Dall'Eq. (1.10-9) per la configurazione con il transistor usato nel modo inverso si trova, con  $h_{FE} = 50$ ,  $V_{CE}(\text{sat}) = -0,5 \text{ mV}$ . Nella configurazione ad inseguitore di emettitore si è visto che, almeno in linea di principio, si può arrivare a  $V_{CE}(\text{sat}) = 0$ . Se poi il transistor funziona in modo inverso, come inseguitore di collettore, scambiando  $h_{FE}$  ed  $h_{FC}$  nell'Eq. (1.10-12) si trova che  $I_B \approx V_{CC} / R_L$  per  $V_{CE}(\text{sat}) = 0$ ; pertanto il valore  $V_{CE}(\text{sat}) = 0$  rappresenta, in questo tipo di circuito, un valore effettivamente ottenibile. In definitiva si può trarre la conclusione che, nelle applicazioni in cui è essenziale ridurre quanto più è possibile la caduta di tensione ai capi del transistor-interruttore (come nei commutatori analogici, Cap. 13), conviene impiegare il transistor nel modo di funzionamento inverso.

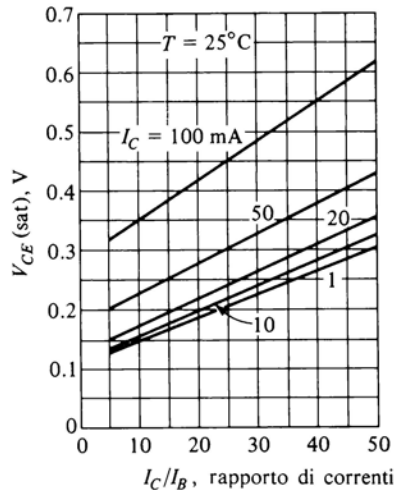


Figura 1.10-4 La tensione di saturazione  $V_{CE}(\text{sat})$  in funzione del rapporto  $I_C/I_B$  con  $I_C$  come parametro, per un transistor al silicio di tipo planare epitassiale.

Sfortunatamente, nella commutazione dallo stato ON allo stato OFF e viceversa, un transistor impiegato nel modo inverso risponde in modo apprezzabilmente più lento del transistor impiegato nel modo normale. Pertanto il modo inverso è adottato soltanto in quelle applicazioni in cui non si hanno particolari esigenze di velocità. Rimanendo nel campo del funzionamento in modo normale, la configurazione ad inseguitore di emettitore è quella che presenta la tensione più bassa; però la corrente necessaria per la commutazione può risultare troppo elevata. Tuttavia, come si vedrà (Cap. 14), vi sono casi in cui quest'ultima configurazione rappresenta ancora l'alternativa migliore.

**Specifiche delle case costruttrici concernenti la saturazione** Il fatto che la tensione collettore-emettitore di saturazione dipenda in larga misura dal valore della corrente di base risulta anche dall'esame dei grafici di  $V_{CE}(\text{sat})$  forniti dalle case costruttrici. Generalmente sui grafici viene riportata  $V_{CE}(\text{sat})$  in funzione di  $\sigma = I_C/h_{FE}I_B$  o semplicemente in funzione di  $I_C/I_B$ . In Fig. 1.10-4 è illustrato un grafico tipico relativo ad un transistor con  $h_{FE} \approx 50$ . Si può notare che tale grafico conferma perfettamente la validità del valore assunto per  $V_{CE}(\text{sat}) \approx 0,2$  V. Infatti per  $I_C/I_B = 50$  si è giusti al limite della saturazione, mentre per entrare in piena saturazione si deve raddoppiare  $I_B$ , ottenendo un rapporto  $I_C/I_B = 25$ . Se si assume  $I_C$  compresa fra 1 e 20 mA, si trova  $V_{CE} \approx 0,2$  V. In Fig. 1.10-4 si può notare che  $V_{CE}(\text{sat})$  dipende anche da  $I_C$ . Ciò è dovuto alla caduta di tensione sulla resistenza ohmica di collettore e di emettitore, resistenza che nel corso dell'analisi precedente era stata trascurata poichè si supponeva di lavorare con valori di corrente piuttosto bassi (alcuni milliampere).

Come ulteriore esempio dell'utilità del parametro  $h_{FE}$  prendiamo in esame il semplice circuito di Fig. 1.10-5. Vogliamo determinare un valore di  $R_b$  che permetta di portare il transistor in piena saturazione. Per questo è sufficiente conoscere  $h_{FE}$ . Infatti, assumendo  $V_{CE}(\text{sat}) = 0,2$  V, si ha che  $I_C = (5 - 0,2)/1 \text{ k}\Omega = 4,8 \text{ mA}$ . Sia  $h_{FE} = 50$ . Per portare il transistor ai limiti della saturazione è necessaria una corrente di base  $I_B = 4,8/50 = 0,096 \text{ mA}$ .

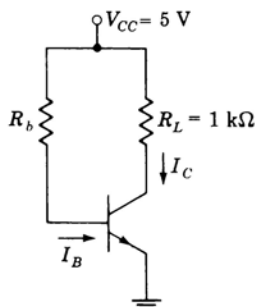


Figura 1.10-5 Circuito dell'esempio.



Possiamo, in base alle osservazioni fatte precedentemente, raddoppiare la corrente di base, cioè porre  $I_B = 0,192$  mA. Assumendo  $V_{BE} = 0,75$  V, otteniamo

$$R_b = \frac{5 - 0,75}{0,192 \times 10^{-3}} = 22 \text{ k}\Omega$$

Come ultimo punto sulla tensione collettore-emettitore di saturazione si noti che la dipendenza dalla temperatura di  $V_{CE}(\text{sat})$  è relativamente modesta in confronto alla dipendenza dalla temperatura della tensione ai capi di una singola giunzione polarizzata direttamente. Ciò del resto è pienamente giustificato per il fatto che  $V_{CE}(\text{sat})$  è la *differenza* fra le tensioni ai capi di due giunzioni, entrambe polarizzate direttamente. Pertanto, nelle trattazioni che seguiranno, trascureremo sempre la dipendenza di  $V_{CE}(\text{sat})$  dalla temperatura.

### 1.11 IL TRANSISTORE AD EFFETTO DI CAMPO

Esistono due tipi di transistori ad effetto di campo, il *transistore ad effetto di campo a giunzione* (JFET: *junction field-effect transistor*) ed il *transistore ad effetto di campo metallo-ossido-semiconduttore* (MOSFET: *metal-oxide-semiconductor FET*). Limitatamente alla nostra trattazione i JFET ci interessano per la loro applicazione nei circuiti interruttori analogici (Cap. 13) ed i MOSFET, più in particolare i MOSFET *a simmetria complementare* (CMOS: *complementary-symmetry MOSFET*), per le loro applicazioni nelle porte logiche integrate.

In linea di principio un JFET è costituito come in Fig. 1.11-1. Alle estremità di una barretta di silicio drogata con impurità di tipo *n* (è possibile anche un drogaggio di tipo *p*) sono fissati due contatti ohmici. Una tensione  $V_{DS}$  applicata ai contatti produce una corrente attraverso la barretta. Poiché il silicio è di tipo *n*, i portatori di carica in movimento nella barretta — di resistenza relativamente bassa — sono elettroni. Il terminale in cui i portatori entrano nella barretta prende il nome di *source* (*sorgente*); il terminale dal quale i portatori escono dalla barretta prende il nome di *drain* (*raccoglitore*). Fra il terminale di source ed il terminale di drain sono diffuse due regioni di tipo *p*, come indicato in figura, che vengono a costituire il *gate* (*porta di controllo*). In corrispondenza della giunzione fra il semiconduttore di tipo *p* e quello di tipo *n* viene a formarsi una *regione di svuotamento* (*depletion region*) priva di cariche libere. Nondimeno fra le regioni di svuotamento sussiste, come indicato in Fig. 1.11-1a, un *canale* (*channel*) di silicio di tipo *n* che viene a collegare conduttivamente il source con il drain.

La regione di svuotamento può venire estesa sempre più profondamente nel canale aumentando la polarizzazione inversa della giunzione *pn* fra gate e canale. Con opportuna polarizzazione inversa la regione di svuotamento vie-

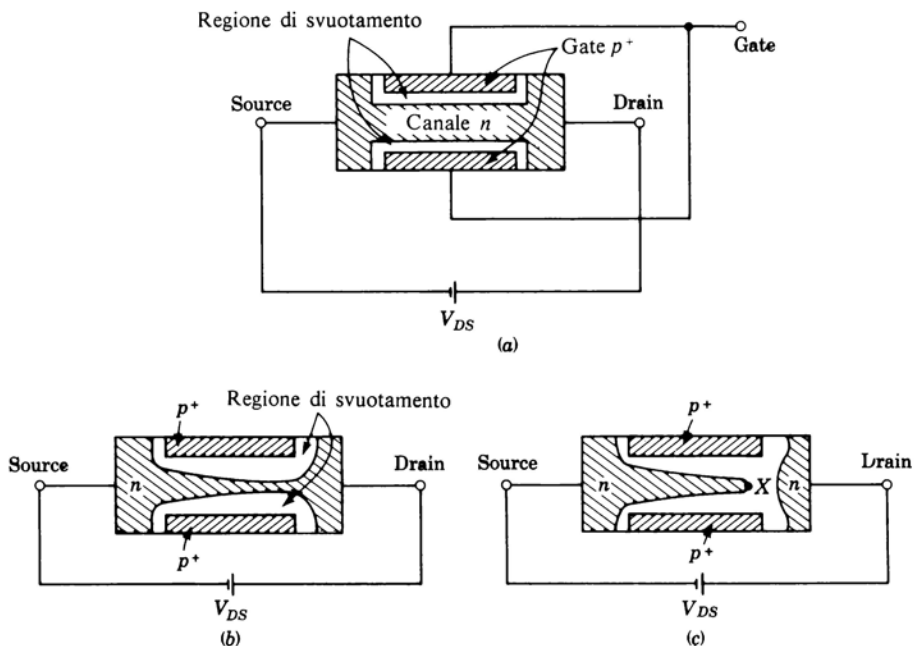


Figura 1.11-1 (a) Transistore ad effetto di campo a giunzione. (b) Il restringimento del canale. (c) Il FET oltre il pinch-off.

ne ad occupare tutta la sezione del transistore ed il canale viene ad essere strozzato.

Quando il canale non è strozzato, le regioni di svuotamento, in presenza di una tensione fra drain e source, presentano l'andamento indicato in Fig. 1.11-1b. In prossimità del drain le regioni di svuotamento vengono ad essere più vicine l'una all'altra che non in prossimità del source. La causa di questa asimmetria sta nel fatto che il drain si trova ad una tensione più positiva del source e quindi la giunzione *pn* fra il gate ed il canale è polarizzata con tensione inversa più elevata in prossimità del drain che non del source.

La tensione drain-source  $V_{DS}$  che provoca lo strozzamento del canale viene chiamata tensione di *pinch-off*  $V_P$  (o di *strozzamento*). Per valori della tensione drain-source superiori alla tensione di pinch-off, la regione di strozzamento si espande come indicato in Fig. 1.11-1c. La differenza di potenziale fra il punto X e il source rimane pari alla tensione di pinch-off  $V_P$  al crescere della tensione di drain. Pertanto la tensione ai capi della regione di svuotamento aumenta all'aumentare di  $V_{DS}$ . Il campo elettrico prodotto dalla differenza di tensione  $V_{DS} - V_P$  fa passare gli elettroni dal canale attraverso la regione di svuotamento fino al drain. Però poiché  $V_P$ , tensione del canale,

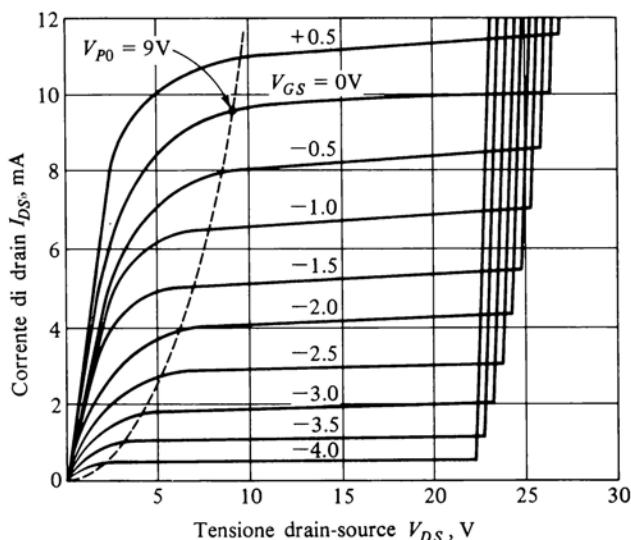


Figura 1.11-2 Caratteristiche di drain tipiche di un JFET a canale  $n$  a source comune.

rimane circa costante, anche la corrente di drain rimane approssimativamente costante e pari al valore corrispondente al pinch-off.

Una tipica caratteristica tensione-corrente di drain-source per un JFET a canale  $n$  è illustrata in Fig. 1.11-2. Prendiamo in esame una delle curve, quella ad esempio corrispondente ad una tensione gate-source  $V_{GS} = 0$  V. Quando la tensione drain-source è bassa, fra il drain ed il source viene a stabilirsi un canale uniforme ed il JFET si comporta come un resistore. La caratteristica tensione-corrente risulta pertanto «lineare». All'aumentare della tensione drain-source, la regione di svuotamento si estende e restringe il canale. Come conseguenza, la resistenza del canale cresce e l'incremento della corrente di drain con la tensione drain-source tende a ridursi sempre di più. Infine, aumentando ancora la tensione  $V_{DS}$ , il canale si strozza e si verifica una *saturation della corrente di drain*: cioè la corrente di drain cresce debolmente all'aumentare della tensione drain-source. La tensione drain-source per cui ha inizio la saturazione con  $V_{GS} = 0$  V prende il nome di *tensione di pinch-off*  $V_{PO}$ . Tale tensione invero non è definita sulla curva in modo molto preciso. La linea tratteggiata di Fig. 1.11-2 è il luogo delle varie  $V_P$  corrispondenti alle diverse tensioni gate-source. Tipicamente si trova che

$$V_P \approx V_{PO} + V_{GS} \quad (1.11-1)$$

Si noti che la tensione drain-source al pinch-off  $V_P$  diviene uguale a zero quando  $V_{GS} = -V_{PO}$ . In corrispondenza di questa tensione gate-source il FET

è in interdizione. Riferendoci alla Fig. 1.11-2 si vede che l'interdizione si verifica quando  $V_{GS} = -V_{PO} \approx -9$  V. Però anche per tensioni gate-source molto meno negative di questo valore il FET può essere considerato a tutti gli effetti interdetto.

Si osservi in Fig. 1.11-2 che continuando ad aumentare  $V_{DS}$  si arriva alla fine ad un punto in cui si verifica il breakdown a valanga fra drain e gate, con conseguente aumento improvviso della corrente di drain. Il breakdown si verifica per un determinato valore fisso della tensione di giunzione; quando il gate fornisce a sua volta una parte di questa tensione, il breakdown si verifica per un valore della tensione  $V_{DS}$  più basso. Per esempio, nella figura si vede che al breakdown  $V_{DS} = 26$  V quando  $V_{GS} = 0$ , mentre  $V_{DS} = 22$  V per  $V_{GS} = -4$  V. Una relazione molto utile fra la tensione di breakdown  $BV_{DS}$  e la tensione gate-source è la seguente

$$BV_{DS} = BV_{DS0} + V_{GS} \quad (1.11-2)$$

dove  $BV_{DS0}$  è la tensione di breakdown quando  $V_{GS} = 0$  V.

Il JFET lavora con la giunzione gate-canale polarizzata inversamente. Di conseguenza la corrente di gate è dell'ordine dei nanoampere, cioè dell'ordine della corrente di polarizzazione inversa di un diodo. È consentita una leggera polarizzazione diretta del gate dal momento che la corrente di gate non viene ad assumere valori apprezzabili finché non si raggiunge la tensione di soglia della giunzione (0,65 V). In Fig. 1.11-2 si vede infatti una curva relativa a  $V_{GS} = 0,5$  V.

Una delle caratteristiche più sfruttate del JFET consiste nel suo impiego, in un opportuno campo ristretto di tensioni, come resistore lineare il cui valore viene controllato mediante la tensione di gate. Questa caratteristica appare evidente osservando le curve di Fig. 1.11-2. Infatti per piccoli valori di  $V_{DS}$  la caratteristica  $V_{DS} - I_{DS}$  è una linea «retta», la cui pendenza è determinata dalla tensione di gate  $V_{GS}$ . Inoltre si noti che il FET è, in linea di principio, un dispositivo completamente simmetrico, in cui il source ed il drain possono benissimo venire scambiati fra di loro. Quindi, quando è impiegato come resistore controllato in tensione, il FET può essere usato con tensioni drain-source di entrambe le polarità. La caratteristica di un tipico JFET nell'intorno dell'origine è illustrata in Fig. 1.11-3. Da questa figura si vede che, quando è richiesta la linearità delle caratteristiche, si deve restringere il campo delle  $V_{DS}$  fra  $\pm 0,2$  V. Si noti la notevole linearità delle caratteristiche entro questo piccolo campo di valori. Si noti ancora che le caratteristiche passano esattamente per l'origine. Questa proprietà è di notevole importanza quando il FET viene impiegato nei circuiti a porte analogiche (vedi Cap. 13). Si osservi che nel terzo quadrante la polarità della tensione di drain è tale che al diminuire di  $V_{DS}$  la giunzione gate-canale verrebbe ad un certo punto a polarizzarsi direttamente. Abbiamo però ristretto il campo in modo da evitare questa situazione.

Il transistor ad effetto di campo prende questo nome per il fatto che il controllo della corrente viene effettuato dal *campo* prodotto dalle tensioni drain-source e gate-source. In un FET la corrente è dovuta o agli elettroni (canale  $n$ ) o alle lacune (canale  $p$ ), ma non ad entrambi contemporaneamente. Inoltre i portatori sono *maggioritari*, cioè i portatori nel canale  $n$ , ad esempio, sono gli elettroni. Proprio a causa del fatto che la polarità dei portatori è unica, i FET sono chiamati transistori *unipolari*, per distinguerli dai transistori a due giunzioni. Nei transistori a due giunzioni intervengono portatori di entrambe le polarità per cui tali transistori vengono chiamati *bipolari*. Inoltre nei transistori bipolari la corrente che attraversa la regione di base (che potrebbe essere considerata come il «canale») è una corrente di portatori minoritari. I simboli circuitali per i JFET a canale  $n$  e a canale  $p$  sono dati in Fig. 1.11-4. Si noti che in entrambi i casi la freccia punta dalla regione  $p$  alla regione  $n$ . Si è voluto con ciò rappresentare il «diodo» gate-canale, che deve essere mantenuto polarizzato inversamente.

Quando la polarizzazione inversa di gate è nulla, la regione fra i gate è completamente disponibile per i portatori maggioritari (elettroni in un canale  $n$ ) che si spostano sotto l'influenza del campo applicato fra drain e source. Applicando una polarizzazione inversa ai gate, i portatori tendono a rarefarsi con l'aumentare della polarizzazione. Il funzionamento del FET quindi si basa sul maggiore o minore svuotamento di portatori disponibili. Per questo

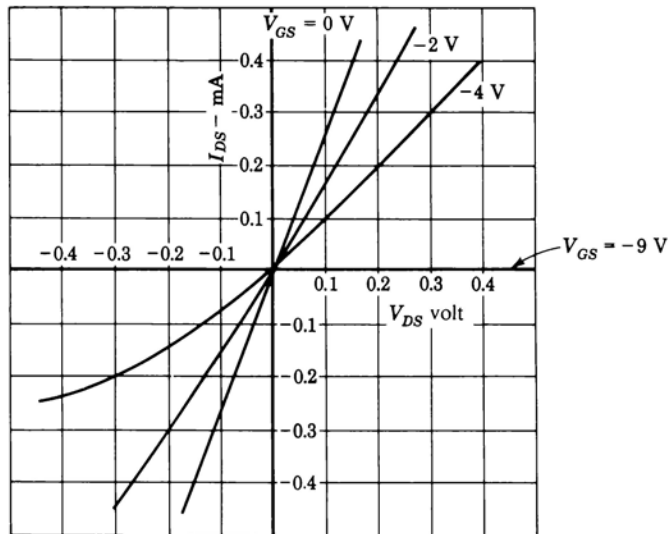


Figura 1.11-3 Caratteristiche di un JFET per bassi valori della tensione  $V_{DS}$ .

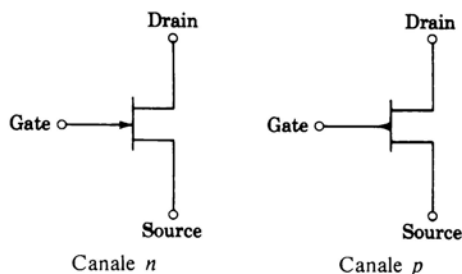


Figura 1.11-4 Simboli circuitali del JFET.

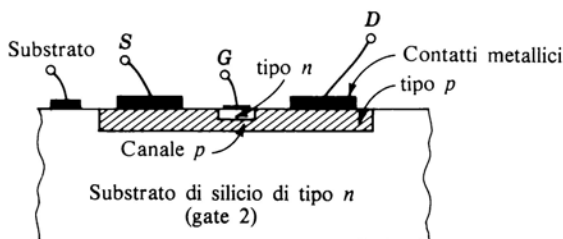


Figura 1.11-5 Struttura di un JFET planare.

motivo si dice che il JFET è un dispositivo che funziona a *svuotamento* (*depletion mode*).

Lo schema di Fig. 1.11-1 è utile per spiegare in modo chiaro il principio di funzionamento ma non rappresenta la reale struttura del JFET. La realizzazione del JFET avviene generalmente secondo la tecnologia planare, in base alla quale tutte le diffusioni e tutti i contatti vengono eseguiti su di una sola faccia di una piastrina di silicio costituente il *substrato*. Una vista in sezione del FET planare (a canale *p*) è schematizzata in Fig. 1.11-5. Il processo di fabbricazione inizia da un substrato di tipo *n* che risulta spesso comune, se si tratta di circuiti integrati, ad altri FET, a resistori, ecc. Una diffusione di tipo *p* viene a costituire il canale ed infine una seconda diffusione ad alta concentrazione di impurità di tipo *n* viene a costituire il gate. Contatti metallici vengono impiegati per le connessioni con i conduttori esterni. Il substrato di solito viene collegato con il potenziale più positivo presente nel circuito.

## 1.12 IL FET METALLO - OSSIDO - SEMICONDUTTORE (MOSFET)

Il FET a giunzione, di cui si è parlato nel precedente paragrafo, trova vaste applicazioni nei circuiti lineari (amplificatori, ecc.) ed in alcuni circuiti non li-

neari impiegati per l'elaborazione di segnali analogici (vedi Cap. 13). Viceversa nei circuiti logici digitali come transistor ad effetto di campo viene impiegato il MOSFET, che ora descriveremo. Il MOSFET presenta il vantaggio di occupare sulla piastrina di silicio una superficie pari al 15% di quella richiesta dal transistor bipolare. Ciò rende il MOSFET particolarmente adatto all'impiego in circuiti a media e a larga scala di integrazione. Allo stato attuale però i MOSFET non raggiungono ancora la velocità di funzionamento dei transistori bipolari.

In Fig. 1.12-1a è illustrata la struttura base di un MOSFET a canale  $n$ . In un substrato di tipo  $p$  sono diffuse due regioni di tipo  $n$ . Una di queste costituisce il *source*, l'altra il *drain*. Se si applica una differenza di potenziale fra drain e source, attraverso il dispositivo non viene a scorrere corrente alcuna. Infatti se venisse a scorrere una corrente, questa dovrebbe attraversare due giunzioni, una tra source e substrato e l'altra fra drain e substrato. Il potenziale del substrato viene reso negativo sicché le due giunzioni  $pn$  risultano polarizzate inversamente ed il «transistore» costituito da source-substrato-drain risulta interdetto.

Un elettrodo metallico di *gate*, come si vede in figura, viene disposto al di sopra della regione di substrato interposta fra source e drain e viene isolato elettricamente dal resto della struttura. L'isolante è costituito da ossido di silicio; per questo motivo il dispositivo prende il nome di transistor ad effetto di campo metallo-ossido-semiconduttore (MOS: *metal-oxide-semiconductor*). Questo dispositivo viene anche chiamato FET a gate isolato.

Applicando una tensione positiva al gate, il campo elettrico attirerà elettroni nella regione del substrato sottostante al gate, come è illustrato in Fig. 1.12-1b. Di conseguenza questa regione del substrato da tipo  $p$  diventerà di tipo  $n$ , formando così un canale di tipo  $n$ . Questo canale crea una continuità

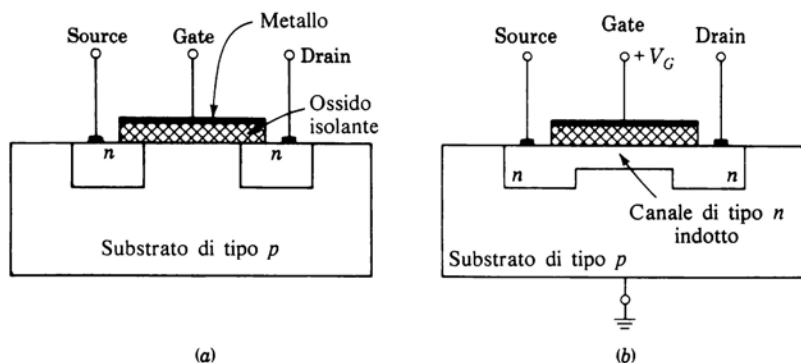


Figura 1.12-1 (a) Struttura di un transistor ad effetto di campo metallo-ossido-semiconduttore (MOSFET). (b) Il processo che genera il canale.

di materiale di tipo  $n$  fra drain e source, consentendo così il passaggio di una eventuale corrente attraverso il transistor. Nel MOSFET l'applicazione della tensione di gate produce un arricchimento di cariche negative in grado di consentire il passaggio della corrente dal drain al source. Pertanto si dice che questo tipo di FET lavora ad *arricchimento* (*enhancement mode*), al contrario del JFET, che lavora a *svuotamento* (*depletion mode*).

Applicando tensione al gate, un aumento della tensione fra drain e source produce un aumento di tipo resistivo della corrente di drain. Ciò è illustrato in Fig. 1.12-2. Al crescere della tensione fra drain e source, il campo elettrico creato sotto il gate tende a diventare più intenso dalla parte del source e più debole dalla parte del drain, poichè la tensione fra gate e source vale  $V_{GS}$ , mentre quella tra gate e drain risulta minore, valendo  $V_{GS} - V_{DS}$ . Quando la tensione  $V_{DS}$  diventa sufficiente ad annullare il campo elettrico nell'intorno del drain, si arriva al *pinch-off* (*strozzamento*). Al di sopra della tensione di pinch-off la corrente di drain rimane sostanzialmente costante.

Il valore di  $V_{DS}$  in corrispondenza del pinch-off è

$$V_{DS} = V_{GS} - V_T \quad (1.12-1)$$

dove  $V_T$  è una *tensione di soglia* compresa fra 2 e 4 V, a seconda del procedimento tecnologico seguito. Il valore di  $V_T$  è dato dalla casa costruttrice.

Una caratteristica del MOSFET, che lo distingue dal JFET, è che la corrente di gate, qualsiasi sia la polarità della tensione di gate, è estremamente piccola. Ciò deriva naturalmente dal fatto che il gate è isolato. Le correnti di gate sono normalmente dell'ordine dei picoampere.

Si noti che è possibile realizzare anche un MOSFET che funzioni a *svuotamento*. Per far ciò occorre eseguire un'altra diffusione di impurità di tipo  $n$  nel substrato compreso fra le due regioni di tipo  $n$  (vedi Fig. 1.12-1a). Grazie

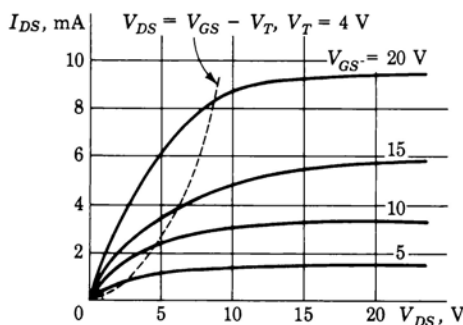


Figura 1.12-2 Caratteristiche tensione-corrente del MOSFET. La corrente di drain in funzione della tensione drain-source per diverse tensioni gate-source.



al canale  $n$  ottenuto con questa diffusione la corrente potrà scorrere dal drain al source anche in assenza di tensione positiva sul gate. L'applicazione di una tensione negativa sul gate permetterà quindi di controllare l'intensità della corrente di drain. Quest'ultima diminuirà al crescere della polarizzazione negativa di gate, poichè il canale  $n$  diffuso tenderà a svuotarsi di elettroni. Viceversa la corrente di drain aumenterà al crescere della tensione positiva di gate, poichè in questo caso il canale  $n$  tenderà ad arricchirsi di elettroni. Un transistor come quello ora descritto sarebbe quindi in grado di funzionare in entrambi i modi.

Il valore di  $V_{DS}$  necessario per raggiungere il pinch-off nel funzionamento a svuotamento è dato dall'Eq. (1.12-1), con  $V_T$  negativa. Un valore tipico per  $V_T$  è  $V_T = -6$  V.

Si può realizzare un MOSFET a canale  $p$ , detto PMOS, invertendo il tipo di impurità nella struttura di Fig. 1.12-1.

A tutt'oggi risulta più semplice fabbricare un PMOS piuttosto che un NMOS. Tuttavia la *mobilità* degli elettroni, che sono i portatori di carica nel transistor NMOS, è circa tre volte maggiore di quella delle lacune, portatori di carica nel transistor PMOS. Perciò un NMOS è più veloce di un PMOS; per questo motivo i costruttori stanno compiendo notevoli sforzi per migliorare la tecnologia di produzione dei transistori NMOS.

Per il PMOS possiamo scrivere un'equazione analoga all'Eq. (1.12-1) valida per i transistori NMOS. Per il PMOS è tuttavia più conveniente considerare le tensioni source-drain e source-gate. Perciò si può scrivere

$$V_{SD} = V_{SG} - V_T \quad (1.12-2)$$

In un PMOS con funzionamento ad arricchimento  $V_T$  è di nuovo un numero positivo, mentre è negativo per un PMOS con funzionamento a svuotamento.

Nei circuiti digitali generalmente si preferisce il funzionamento ad arricchimento poichè risulta molto comodo poter interdire il transistor con una tensione di gate uguale a zero.

**Interdizione** Quando la tensione di gate scende ad un valore inferiore alla soglia, il MOSFET risulta interdetti. Nella zona di interdizione il canale è svuotato di tutte le cariche libere indotte ed il dispositivo viene ad essere come in Fig. 1.12-1a, dove, con una tensione  $V_{DS}$  positiva, si può distinguere un transistor  $nnp$  in interdizione. Pertanto la corrente di drain è equivalente alla  $I_{CBO}$  di un transistor  $nnp$ . I valori tipici di questa corrente sono dell'ordine del picoampere.

Un PMOS risulta interdetti quando la tensione  $V_{SG}$  si riduce ad un valore inferiore alla tensione di soglia.

**L'effetto della polarizzazione del substrato** Una tensione applicata al substrato può influenzare la conduttanza del canale tra drain e source. Di conseguenza il substrato può essere utilizzato come secondo gate e viene talvolta

chiamato *back gate* (*gate posteriore*). Supponiamo che l'applicazione di una tensione positiva sul gate isolato abbia prodotto un canale  $n$ ; tra il canale  $n$  ed il substrato di tipo  $p$  viene a crearsi così una giunzione  $pn$ ; intorno a questa giunzione si forma una zona di svuotamento priva di portatori. Così, come nel JFET, lo spessore di questa regione di svuotamento (e di conseguenza la larghezza del canale di conduzione) sarà influenzata dalla polarizzazione del back gate. Aumentando la polarizzazione inversa fra substrato e source e mantenendo fisso il valore della tensione sul gate isolato, diminuirà la corrente di drain. Ciò influenzerà la tensione di pinch-off e pertanto la tensione di soglia, a causa di questa polarizzazione inversa, crescerà. Per la tensione di soglia è valida la seguente formula approssimata

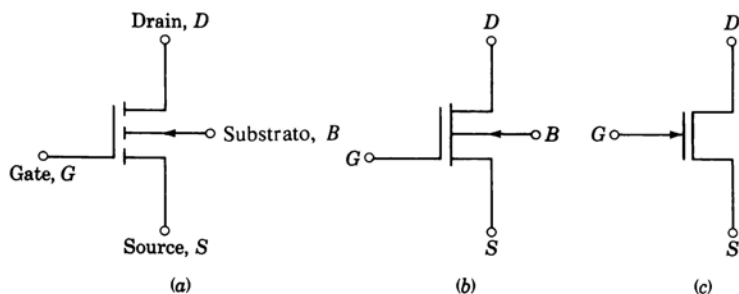
$$\Delta V_T \approx C\sqrt{V_{SB}} \quad (1.12-3)$$

dove  $V_{SB}$  = tensione fra source e substrato (back gate)

$\Delta V_T$  = variazione della tensione di soglia

Il parametro  $C$ , che dipende dal drogaggio del substrato, ha valori compresi fra 0,5 e 2.

**Simboli circuitali** In Fig. 1.12-3 sono illustrati i simboli circuitali del MOSFET a canale  $n$ . In Fig. 1.12-3a è rappresentato un dispositivo a canale  $n$  ad arricchimento. La linea tratteggiata tra source e drain vuole indicare che, per tensione nulla di gate, non si ha conduzione fra drain e source. Il gate è disegnato asimmetricamente, più vicino al source che al drain. In Fig. 1.12-3b è mostrato un MOSFET a canale  $n$  a svuotamento. In Fig. 1.12-3c è illustrato un altro simbolo del MOSFET; per semplicità in questo caso è stato ommesso il substrato e non viene data alcuna indicazione circa il modo di funzionamento (ad arricchimento o a svuotamento) del dispositivo.



**Figura 1.12-3** Simboli del MOSFET a canale  $n$ . Nei MOSFET a canale  $p$  la freccia è invertita. (a) Tipo ad arricchimento; (b) tipo a svuotamento; (c) altro simbolo in cui non è indicato il substrato.

Si noti che la freccia sul terminale del substrato sta ad indicare il tipo di drogaggio del substrato stesso. Il diodo costituito dal substrato e dalla regione source-canale-drain è indicato dalla direzione della freccia sul substrato. I simboli per i PMOS sono identici a meno della direzione della freccia. Nei circuiti integrati tutti i componenti MOS sono realizzati su di un substrato comune polarizzato inversamente rispetto alla regione source-canale-drain. Pertanto negli schemi di circuiti integrati la connessione al substrato viene spesso tralasciata.

### 1.13 IL MOS COME INTERRUTTORE

Come già fatto per il transistor, vediamo ora l'impiego del MOSFET come interruttore. Per analizzare questo aspetto del MOSFET potremmo utilizzare come carico una resistenza, come abbiamo già fatto con il transistor. In questo caso però torna molto vantaggioso impiegare come carico un secondo MOSFET. Il circuito base del MOS come interruttore è illustrato in Fig. 1.13-1. La configurazione di Fig. 1.13-1a è leggermente più vantaggiosa ed è proprio questa la configurazione più comunemente usata con i componenti discreti. Per i circuiti integrati si dovrà adottare la configurazione di Fig. 1.13-1b, poiché il substrato è comune sia a  $T1$  che a  $T2$ . Il transistor in basso è il transistor «pilota» mentre quello in alto è il transistor «di carico». Per ragioni di generalità la tensione di alimentazione  $V_{DD}$  e quella di polarizzazione  $V_{GG}$  del gate del carico sono indicate distinte, poiché in certi casi occorre che siano separate. Però più frequentemente si trova  $V_{GG} = V_{DD}$ .

Si era visto che nei circuiti di commutazione a transistori bipolari le resistenze di carico erano dell'ordine di alcune migliaia di ohm. Con resistenze di questo valore si era visto che, quando il transistor passava dall'interdizione

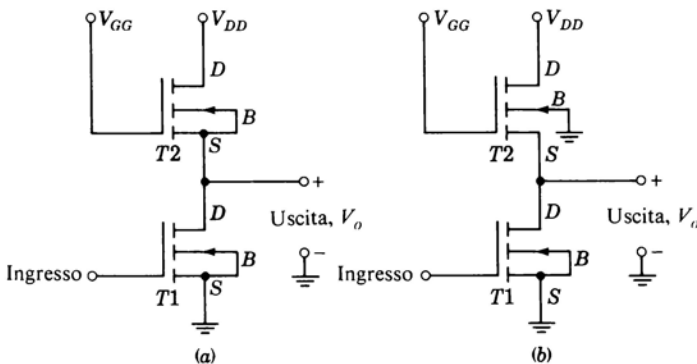


Figura 1.13-1 L'interruttore a MOSFET base: (a) il substrato del carico è collegato al source del carico; (b) il substrato del carico è collegato a massa.

(OFF) alla saturazione (ON), la tensione d'uscita passava da  $V_{CC}$  a  $V_{CE(sat)} \approx 0,2$  V e questi due valori erano in grado di pilotare in saturazione ed in interdizione un transistor successivo. Cerchiamo ora di realizzare una situazione analoga con i circuiti di commutazione a MOSFET. Con gli interruttori a MOSFET però occorre che i valori delle resistenze di carico siano dell'ordine di parecchie decine di migliaia di ohm, fino ad oltre 100 k $\Omega$ . I resistori integrati convenzionali a diffusione occupano sulla piastrina di silicio superfici circa proporzionali ai valori di resistenza. Per questo motivo non ci deve sorprendere che si preferisca impiegare come «carico» un MOSFET, che occupa un'area molto più ristretta di quella di un resistore diffuso. Per fare un confronto si noti che mentre un resistore da 20 k $\Omega$  occuperebbe un'area di 20 millesimi di pollice quadrato, un interruttore a MOSFET completo del tipo di Fig. 1.13-1, con il MOSFET di carico equivalente ad una resistenza di 100 k $\Omega$ , occupa un'area di 2 millesimi di pollice quadrato. Un vantaggio conseguente alla riduzione delle dimensioni è costituito dalla corrispondente diminuzione delle capacità parassite distribuite fra il «carico» ed il substrato.

Quando il transistor pilota di Fig. 1.13-1 è ON, la sua tensione d'uscita deve essere il più vicino possibile a zero. A tal fine è necessario che il transistor pilota sia in grado di fornire una corrente elevata e che il transistor di carico si comporti come una resistenza elevata; quest'ultimo deve essere progettato cioè in modo da lasciar passare una corrente bassa. Per questo motivo i due transistori non sono identici; anzi il primo deve avere una conduttanza relativamente elevata mentre il secondo deve presentare una conduttanza bassa. In conclusione, in un circuito di commutazione a MOSFET il dispositivo pilota deve avere un canale largo e corto; valori tipici sono: larghezza 1 millesimo di pollice e lunghezza 0,2 millesimi di pollice, con un rapporto larghezza-lunghezza pari a 5. Viceversa il canale del dispositivo che funziona da carico può avere dimensioni all'incirca scambiate, ovvero avere una lunghezza di 1 millesimo di pollice ed una larghezza di 0,2 millesimi di pollice. Ora, se il transistor pilota viene polarizzato in modo da presentare tra drain e source una resistenza di 10 k $\Omega$ , il transistor di carico, con la stessa polarizzazione, verrà a presentare una resistenza  $5^2 = 25$  volte maggiore, cioè di circa 250 k $\Omega$ . Si trova allora che tipicamente, con una tensione di alimentazione  $V_{DD}$  ( $= V_{GG}$ ) dell'ordine di +15 V, la tensione di uscita del circuito, quando il pilota è ON, vale circa +0,5 V. Assumendo una tensione di soglia di circa 4 V, il valore d'uscita di 0,5 V è sufficientemente basso da pilotare all'interdizione il successivo circuito di commutazione.

Con  $V_{GG} = V_{DD}$  e se il pilota è OFF l'uscita non può raggiungere la tensione di alimentazione. Infatti quando la tensione di gate del pilota si trova al di sotto della soglia, nel transistor scorre ancora una piccola corrente di drain (la corrente di saturazione inversa, analoga alla  $I_{CBO}$ ). Tale corrente deve poter scorrere anche nel transistor di carico e per questo motivo quest'ultimo deve trovarsi in leggera conduzione. Di conseguenza il source del transi-

store di carico (che costituisce il terminale d'uscita del circuito) deve trovarsi ad una tensione inferiore a quella del gate di un valore almeno pari alla tensione di soglia. Quindi se in Fig. 1.13-1a  $V_{DD} = V_{GG} = +15$  V e se  $V_T = 4$  V, l'uscita del circuito commutatore può salire al massimo a  $15 - 4 = 11$  V. Tale tensione è certamente più che sufficiente a portare in saturazione il transistor del circuito commutatore successivo. Se fosse necessario avere una tensione d'uscita pari a  $V_{DD}$ , sarebbe sufficiente aumentare  $V_{GG}$  fino a  $V_{GG} = V_{DD} + V_T = 15 + 4 = 19$  V.

Nei circuiti integrati il substrato del carico è collegato a 0 V, come in Fig. 1.13-1b. In questo caso il substrato è polarizzato inversamente ed il valore della tensione di soglia aumenta. Di conseguenza, quando il pilota è OFF, la differenza fra la tensione di uscita  $V_o$  e la tensione di gate  $V_{GG}$  è ancora più elevata che nel circuito di Fig. 1.13-1a. A titolo di esempio, consideriamo di nuovo  $V_{GG} = V_{DD} = 15$  V e la tensione di soglia, senza polarizzazione inversa del substrato, sia  $V_T = 4$  V. Supponiamo di applicare l'Eq. (1.12-3) con  $C = 1$ . Si può verificare che (Prob. 1.13-1), con il pilota OFF, la tensione di uscita vale

$$V_o = +11 - \sqrt{V_o} \quad (1.13-1)$$

da cui risulta  $V_o \approx 8$  V. Troviamo dunque che, con il pilota OFF, quasi la metà della tensione di alimentazione cade sul transistor di carico. Anzi, se  $V_T$  ed il parametro  $C$  dell'Eq. (1.12-3) fossero stati maggiori, questa caduta sul carico sarebbe stata ancora più elevata. Questa situazione è l'opposto di quello che si verifica nei circuiti bipolari, in cui, essendo il carico costituito da un resistore passivo, quando il transistor è OFF non si verificano cadute di tensione sul carico.

## 1.14 CARATTERISTICHE DI INGRESSO - USCITA DI UN INTERRUITTORE A MOSFET

Nel transistor bipolare di Fig. 1.6-1 la tensione di uscita  $V_{CE}$  (tensione tra collettore ed emettitore) compie un'escursione da  $V_{CC}$  a  $V_{CE}(\text{sat}) = 0,2$  V allorché la tensione di ingresso tra base ed emettitore  $V_{BE}$  varia da 0,65 a 0,75 V circa. Perciò una variazione in ingresso di soli 0,1 V è sufficiente a far commutare il dispositivo. La situazione è differente per l'interruttore a MOSFET, come si può vedere in Fig. 1.14-1. Qui sono rappresentate alcune curve, ottenute *per via teorica*, della tensione di uscita in funzione della tensione di ingresso. I valori dei parametri geometrici e di drogaggio scelti per il calcolo teorico sono quelli tipici dei MOSFET. Non li specificheremo perché non rivestono particolare interesse per la presente trattazione. Definiamo solo il parametro  $\lambda$  come

$$\lambda = \frac{(W/L)_D}{(W/L)_L} \quad (1.14-1)$$

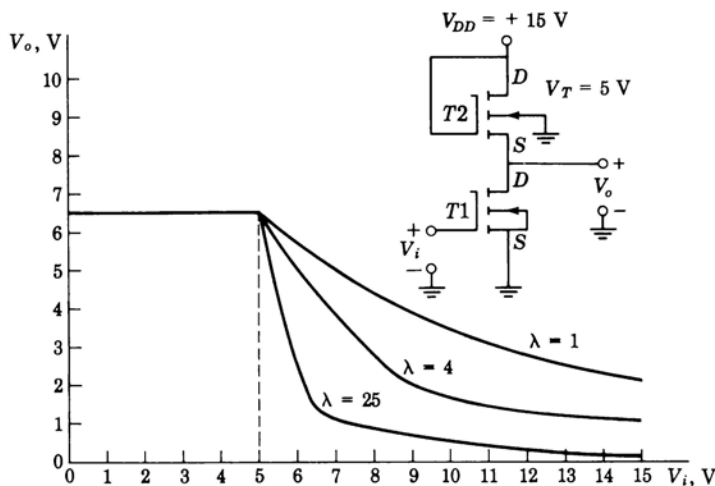


Figura 1.14-1 Curve di ingresso-uscita di un interruttore a MOSFET ottenute per via teorica.

dove  $(W/L)_D$  = rapporto fra larghezza e lunghezza del canale nel transistor pilota  $T1$ .

$(W/L)_L$  = corrispondente rapporto per il transistor di carico  $T2$ .

Si noti che per ottenere un passaggio sufficientemente brusco fra la regione  $ON$  e quella  $OFF$  occorre avere un  $\lambda$  elevato, cioè il canale del transistor di carico deve essere stretto e lungo rispetto a quello del transistor pilota. La tensione di soglia è  $V_T = 5$  V.

Si osservi che, per i motivi precedentemente esposti [vedi Eq. (1.12-3) ed Eq. (1.13-1)], la tensione di uscita non supera i 6,5 V, benché la tensione di alimentazione sia  $V_{DD} = 15$  V. Inoltre, anche con  $\lambda = 25$ , la tensione di ingresso  $V_i$  deve variare di ben 2 V per far commutare l'uscita da 6,5 V a circa 1 V. In molti MOSFET per la commutazione è necessaria una variazione della tensione di ingresso ancora maggiore. Non sono eccezionali variazioni di 5 V.

### 1.15 MOSFET A SIMMETRIA COMPLEMENTARE (CMOS)

Un MOSFET a simmetria complementare (CMOSFET: *complementary-symmetry* MOSFET) è realizzato come indicato in Fig. 1.15-1. Il CMOSFET è costituito da due MOSFET, uno a canale  $p$  e l'altro a canale  $n$ , realizzati uno accanto all'altro su di un substrato di tipo  $n$ . Per poter realizzare il MOSFET a canale  $n$  occorre prima diffondere nel substrato di tipo  $n$  un «pozzetto» di tipo  $p$ .

In Fig. 1.15-2 è illustrato il circuito interruttore base a CMOS. I FET a canale  $p$  e a canale  $n$  sono collegati in serie all'alimentazione, con i terminali di drain connessi insieme. La polarità positiva dell'alimentazione è connessa al source del dispositivo a canale  $p$ , mentre la polarità negativa è connessa al source del dispositivo a canale  $n$  e posta a massa. L'uscita è prelevata sui terminali di drain comuni. L'ingresso è applicato contemporaneamente ai due gate. Entrambi i transistori sono del tipo ad arricchimento.

Supponiamo ora che in Fig. 1.15-2 la tensione di ingresso  $V_i$  vari fra la tensione di alimentazione  $V_{SS}$  e massa. Quando  $V_i$  è prossima a massa, il dispositivo posto più in basso, quello a canale  $n$ , sarà OFF, poichè  $V_{GS} < V_T$ , mentre il dispositivo a canale  $p$  sarà ON poichè  $V_{SG} > V_T$ . L'uscita  $V_o$  sarà quindi alla tensione  $V_{SS}$ . Viceversa quando  $V_i = V_{SS}$ ,  $T_1$  sarà ON e  $T_2$  sarà OFF e di conseguenza  $V_o$  sarà prossimo a massa. In Fig. 1.15-3 sono rappresentate alcune curve tipiche di ingresso-uscita di un interruttore a CMOS, per diversi valori della tensione di alimentazione e per due valori estremi della temperatura. Confrontando queste curve con le corrispondenti curve del MOSFET usato come interruttore (Fig. 1.14-1), si possono notare alcuni vantaggi del circuito a CMOS. Nel caso del CMOS, quando  $V_i = 0$ ,  $V_o$  raggiunge la tensione di alimentazione, mentre quando  $V_i$  si avvicina al valore  $V_{SS}$ , la tensione di uscita scende a valori molto bassi, tipicamente dell'ordine di 10 mV. Osserviamo inoltre che la transizione di  $V_o$  fra i suoi due livelli,  $V_{SS}$  e massa, è per i CMOS molto più netta che nel caso dell'interruttore a MOS. Infine notiamo la sostanziale indipendenza delle caratteristiche dalla temperatura.

Un grande pregio del circuito di commutazione a CMOS consiste nel fatto che, quando si trova in una o nell'altra delle due condizioni di lavoro estreme, la potenza dissipata è nominalmente nulla. Infatti nell'uno o nell'altro caso uno dei due FET è interdetto e la corrente erogata dall'alimentazione è nominalmente nulla. (Le correnti di perdita effettive sono dell'ordine di 10 nA). Inoltre, come del resto abbiamo fatto notare, l'impedenza vista guardando nei

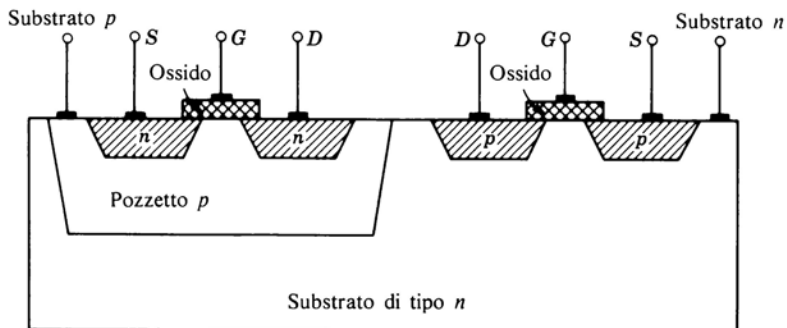


Figura 1.15-1 Coppia di CMOSFET del tipo ad arricchimento.

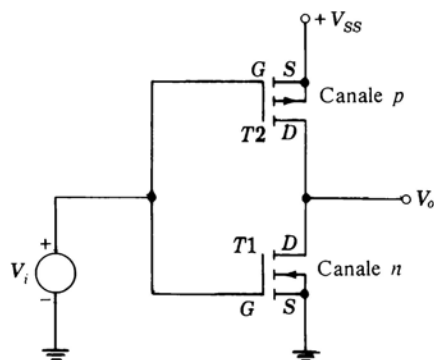


Figura 1.15-2 Interruttore a CMOSFET.

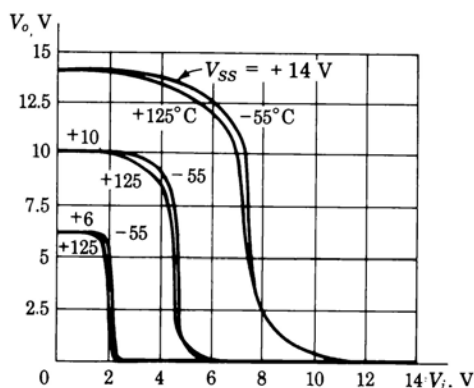


Figura 1.15-3 Curve tipiche di ingresso-uscita di un interruttore a CMOS. Le tensioni di alimentazione sono  $V_{SS} = +14$ ,  $+10$  e  $+6$  V.

due gate è molto elevata ( $\approx 10$  T $\Omega$ ) sicché anche in ingresso la dissipazione in condizioni statiche è nulla.

Viceversa la dissipazione di potenza si verifica quando l'interruttore commuta fra i suoi due stati estremi. Una causa di dissipazione è costituita dall'inevitabile capacità di carico  $C_L$  (non indicata in Fig. 1.15-2) tra l'uscita e massa. Questa capacità è di solito dovuta principalmente all'impedenza capacitiva di ingresso dei circuiti CMOS connessi all'uscita. Quando l'interruttore commuta fra i suoi due stati di lavoro, questa capacità si carica e si scarica, dissipando nella scarica l'energia immagazzinata nella carica. Questa situazione è illustrata in Fig. 1.15-4. Gli interruttori  $S1$  ed  $S2$  risultano aperti o chiusi a seconda del valore di  $V_i$ . Quando  $S1$  è aperto,  $S2$  è chiuso e



viceversa. I «resistori»  $R_1$  e  $R_2$  in serie ad  $S1$  e  $S2$  non sono resistori lineari di valore definito, ma rappresentano semplicemente il percorso conduttivo nei FET in stato ON. Quando  $S1$  è aperto ed  $S2$  è chiuso, la capacità si carica al valore  $V_{SS}$ , immagazzinando un'energia  $1/2 C_L V_{SS}^2$ . Quando  $S1$  si chiude ed  $S2$  si apre, tutta questa energia viene dissipata sul «resistore»  $R_1$ . Se la frequenza del segnale di ingresso  $V_i$  è  $f$ , la potenza dissipata su  $R_1$  è  $1/2 C_L V_{SS}^2 f$ . L'energia dissipata su  $R_2$  quando  $C_L$  si carica sarà la stessa che su  $R_1$  quando  $C_L$  si scarica. Pertanto la potenza dissipata totale sarà data dalla formula

$$P = C_L V_{SS}^2 f \quad (1.15-1)$$

In un caso tipico, con  $C_L = 25$  pF,  $V_{SS} = 10$  V,  $f = 10^5$  Hz, si trova  $P = 0,25$  mW.

Esiste una seconda causa, indipendente dalla presenza della capacità  $C_L$ , che provoca dissipazione di energia durante la commutazione. Per essere più precisi, supponiamo che  $V_{SS} = 15$  V e che la tensione di soglia dei due FET di Fig. 1.15-2 sia  $V_T = 3$  V. Con  $V_i = 0$ ,  $T2$  è ON e  $T1$  è OFF. Quando  $V_i = 3$  V,  $T1$  passa in conduzione e  $T2$  rimane in conduzione. Ad un ulteriore aumento di  $V_i$ , sia  $T1$  che  $T2$  rimangono ON finché  $V_i$  non raggiunge il valore di 12 V. A questo punto si è raggiunta la soglia di  $T2$  e quindi  $T2$  passa in OFF. Si vede dunque che, finché  $V_i$  presenta valori compresi fra 3 e 12 V, entrambi i FET sono ON ed assorbono corrente dall'alimentazione, dissipando potenza. In Fig. 1.15-5 è illustrata una tipica curva ricavata sperimentalmente della corrente di alimentazione assorbita quando  $V_i$  varia fra 3 e 12 V.

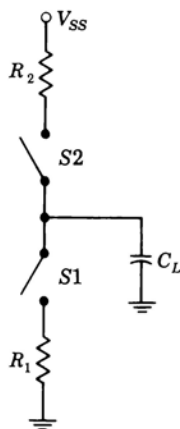


Figura 1.15-4 Schema di principio per spiegare la dissipazione di potenza nell'interruttore a CMOS.

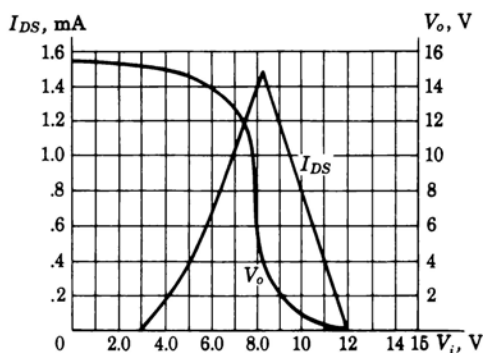


Figura 1.15-5 Curva di ingresso-uscita e corrente di drain di un interruttore a MOSFET durante la commutazione.

I valori di questo diagramma sono stati ottenuti facendo variare la tensione  $V_i$  abbastanza lentamente, in modo da poter trascurare gli effetti di tutte le capacità parassite.

L'energia dissipata per il fatto che entrambi i transistori sono *ON* dipende ovviamente dalla durata della loro permanenza nello stato *ON*, cioè dalla velocità di commutazione. Se  $V_i$  passa molto rapidamente da un livello all'altro, l'energia dissipata sarà minima. Se  $V_i$  attraversa lentamente il campo dei valori per i quali entrambi i transistori sono *ON*, l'energia dissipata sarà relativamente elevata. In ogni caso il valor medio della potenza dissipata in un interruttore a CMOS varia proporzionalmente al numero delle commutazioni effettuate in un dato intervallo di tempo. Così, analogamente alla potenza dissipata a causa della capacità  $C_L$ , anche la potenza dissipata a causa del valore finito della velocità di commutazione aumenta all'aumentare della frequenza.

## 1.16 PROTEZIONE DEGLI INGRESSI

La tensione di breakdown fra gate e source in un MOSFET si aggira intorno ai 100 V. Tuttavia, a causa dell'altissima impedenza di ingresso tra gate e source, dell'ordine di 1 T $\Omega$ , anche una piccola sorgente di energia, come una «carica statica», può provocare il superamento della tensione di breakdown. È interessante notare che quando un transistor bipolare subisce un breakdown, a meno che non si bruci, risulta ancora recuperabile, mentre quando un MOSFET subisce un breakdown, l'ossido che isola il gate rimane definitivamente perforato per cui il dispositivo risulta inutilizzabile.

In quasi tutti i circuiti integrati a MOS sui gate sono incorporati dei dispositivi di protezione, al fine di prevenire il breakdown fra gate e source. In Fig. 1.16-1 è illustrato un tipico dispositivo di protezione usato nei CMOS. I diodi

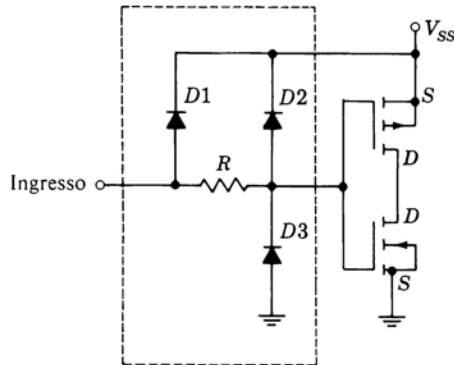


Figura 1.16-1 Protezione del gate nel CMOS.

$D1$  e  $D2$  servono a fissare a  $V_{ss}$  rispettivamente l'ingresso ed il gate, in modo da evitare che forti tensioni positive possano arrivare al gate. Il diodo  $D3$  fissa il gate a massa, tagliando così eventuali tensioni negative elevate. Valori tipici per il resistore  $R$  sono compresi fra 250 e 500  $\Omega$ .

Il circuito di protezione illustrato riduce significativamente l'impedenza d'ingresso della porta e determina una corrente di ingresso tipica di circa 10 pA; questa corrente è però trascurabile nella maggior parte delle applicazioni. Si trova inoltre che le capacità dei diodi ed il resistore  $R$  non abbassano significativamente la velocità di funzionamento della porta.

Nei circuiti pratici occorre fare molta attenzione quando si lavora su di un MOS con protezione sul gate. In funzionamento normale il diodo  $D1$  serve a tagliare prima dell'ingresso picchi di tensione troppo elevati. Però se il generatore di tensione collegato all'ingresso presenta una bassa impedenza di uscita, una tensione positiva elevata rispetto a  $V_{ss}$  può bruciare  $D1$ .

## 1.17 VELOCITÀ DI COMMUTAZIONE DEL DIODO

Nello studio del diodo bipolare si sono esaminate finora solo le caratteristiche tensione-corrente in polarizzazione diretta e in polarizzazione inversa. Proseguiremo ora l'esame prendendo in considerazione la velocità di commutazione del diodo da uno stato di funzionamento all'altro. La velocità di commutazione più critica è quella relativa al passaggio del diodo dallo stato ON allo stato OFF. Data la diversità dei tempi di commutazione, potremo tranquillamente trascurare il tempo della commutazione OFF ON rispetto a quello della commutazione ON-OFF.

Quando si applica ai capi di un diodo una polarizzazione inversa, la corrente che si origina è estremamente bassa. Ciò è dovuto al fatto che in entrambe le regioni,  $p$  ed  $n$ , della giunzione soltanto i portatori minoritari (lacu-

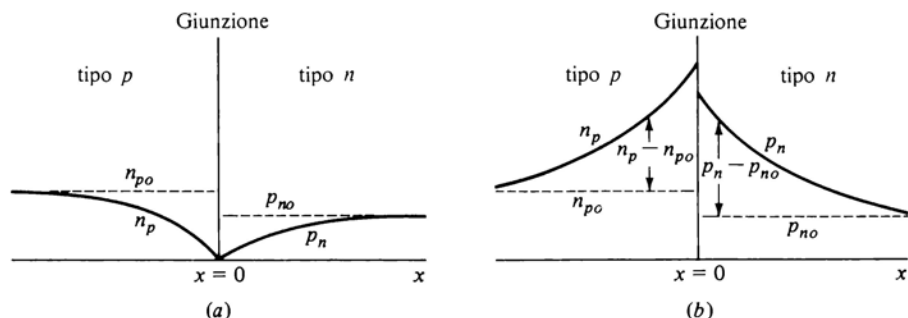


Figura 1.17-1 Distribuzione della densità dei portatori minoritari in funzione della distanza  $x$  dalla giunzione. (a) Giunzione polarizzata inversamente; (b) giunzione polarizzata direttamente. La densità delle lacune (elettroni) iniettate o in eccesso è data da  $p_n - p_{no}$  ( $n_p - n_{po}$ ). (Il diagramma non è disegnato in scala poichè  $p_n \gg p_{no}$  e  $n_p \gg n_{po}$ .)

ne nella regione  $n$ , elettroni nella regione  $p$ ) presentano carica di segno adatto a trasportare la corrente attraverso la giunzione. In Fig. 1.17-1a è rappresentata la densità dei portatori minoritari in prossimità della giunzione in condizioni stazionarie. I livelli  $p_{no}$  e  $n_{po}$  rappresentano i valori della densità di carica minoritaria ai due lati della giunzione in condizioni di equilibrio termico e in assenza di polarizzazione. La densità dei portatori minoritari, quando si applica una tensione inversa, è rappresentata dalle linee a tratto pieno indicate con  $n_p$  e  $p_n$ . Ad una certa distanza dalla giunzione la densità dei portatori minoritari rimane invariata; man mano però che i portatori si avvicinano alla giunzione, vengono sospinti rapidamente al di là di essa, per cui la loro densità in corrispondenza della giunzione scende a zero. La corrente che si viene ad avere, cioè la corrente di saturazione inversa, è piccola poichè la densità dei portatori minoritari generati per via termica è estremamente bassa.

In Fig. 1.17-1b è rappresentata la densità dei portatori minoritari nel caso di polarizzazione diretta. In prossimità della giunzione la densità dei portatori minoritari è molto alta. Questi portatori minoritari provengono dall'alta parte della giunzione, dove, risultando essere portatori di maggioranza, vengono continuamente rinnovati. Col tempo e con l'allontanarsi dei portatori minoritari dalla giunzione, un numero sempre maggiore di essi si ricombina coi portatori di maggioranza. Per questo motivo la densità dei portatori minoritari decresce con l'aumentare della distanza dalla giunzione. L'andamento della densità dei portatori maggioritari (non indicata) in funzione della distanza dalla giunzione è lo stesso di quello della densità dei portatori minoritari; e

così deve essere, poichè nel semiconduttore la carica complessiva deve essere nulla.

In un normale conduttore di tipo ohmico la corrente è dovuta al movimento provocato dal campo elettrico dei portatori di carica presenti. Nel diodo invece, in prossimità della giunzione, non esiste campo elettrico alcuno che faccia muovere i portatori; il fenomeno che interviene a generare la corrente è la diffusione. In generale nasce una corrente di diffusione ogni volta che la densità dei portatori di un certo tipo non è costante. In Fig. 1.17-1b consideriamo una sezione perpendicolare all'asse  $x$  in corrispondenza, ad esempio, di un valore positivo di  $x$ : a sinistra della sezione la densità  $p_n$  risulta maggiore che non a destra, per cui, semplicemente a causa del moto casuale delle lacune, si può prevedere statisticamente che il numero delle lacune che attraversano la sezione verso destra sarà superiore a quello delle lacune che attraversano la sezione verso sinistra. Di conseguenza, anche in assenza di campo elettrico, si verifica in definitiva un trasferimento di lacune da sinistra verso destra e questo continuo trasferimento di lacune costituisce la corrente. Ovviamente la corrente di diffusione risulta essere in ogni punto *proporzionale alla pendenza della curva della densità in funzione della distanza dalla giunzione*. Come si può vedere in Fig. 1.17-1b, le pendenze di  $p_n$  ed  $n_p$  decrescono al crescere della distanza dalla giunzione e quindi la corrente di diffusione decresce corrispondentemente. La corrente totale deve tuttavia rimanere costante. La differenza viene fornita da una corrente di tipo ohmico, che aumenta all'aumentare della distanza dalla giunzione.

A questo punto si comprende che, se si applica bruscamente una tensione inversa ad un diodo percorso da corrente diretta, la corrente non scende di colpo al valore di regime corrispondente a quella tensione inversa. Infatti la corrente non può raggiungere il suo valore di regime fino a che la distribuzione dei portatori minoritari, che al momento dell'inversione della polarizzazione ha l'andamento illustrato in Fig. 1.17-1b, non assume l'andamento illustrato in Fig. 1.17-1a. Fino all'istante in cui la densità  $p_n - p_{no}$  (oppure  $n_p - n_{po}$ ) dei *portatori minoritari in eccesso* o *iniettati* non è scesa nominalmente a zero, il diodo continua a condurre e il valore della corrente sarà determinato dalla resistenza esterna del circuito di cui il diodo fa parte.

## 1.18 TEMPO DI IMMAGAZZINAMENTO E TEMPO DI TRANSIZIONE

In Fig. 1.18-1 è illustrata la sequenza degli eventi che si verificano quando viene invertita la polarizzazione di un diodo inizialmente in conduzione. Supponiamo di applicare la tensione indicata in Fig. 1.18-1b al circuito costituito dal diodo e dal resistore di Fig. 1.18-1a. Fino all'istante  $t_1$ , per un tempo sufficientemente lungo, la tensione  $V_i = V_F$  è tale da mantenere il diodo polarizzato direttamente. La resistenza  $R_L$  è presa sufficientemente grande da rendere trascurabile la caduta di tensione sul diodo rispetto alla caduta di

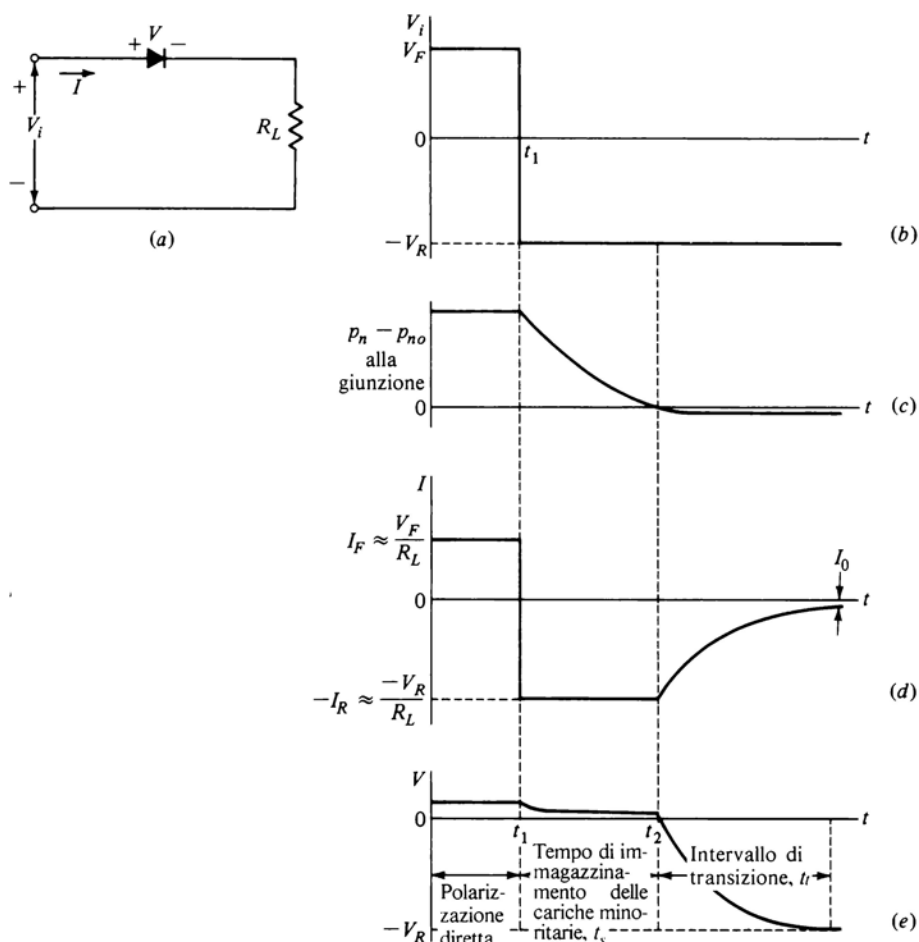


Figura 1.18-1 Il segnale rappresentato in (b) viene applicato al circuito illustrato in (a); (c) la densità dei portatori in eccesso alla giunzione; (d) la corrente nel diodo; (e) la tensione sul diodo.

tensione sulla resistenza stessa. Allora la corrente vale  $I = V_F / R_L = I_F$ . All'istante  $t = t_1$  la tensione di ingresso si inverte bruscamente al valore  $-V_R$ . Per le ragioni descritte in precedenza, la corrente non cade a zero, ma si inverte e rimane al valore  $I = -V_R / R_L = -I_R$  fino all'istante  $t = t_2$ . All'istante  $t = t_2$  la densità dei portatori minoritari in eccesso è scesa a zero. Se la resistenza ohmica del diodo è  $R_d$ , all'istante  $t = t_1$  la tensione ai capi del diodo

scende leggermente [di  $(I_F + I_R) R_d$ ], ma non si inverte. All'istante  $t = t_2$ , quando l'eccesso dei portatori minoritari nelle immediate vicinanze della giunzione è stato risucchiato indietro attraverso la giunzione, la tensione ai capi del diodo inizia ad invertirsi e la corrente nel diodo inizia a diminuire. L'intervallo da  $t_1$  a  $t_2$ , necessario affinché la carica minoritaria immagazzinata si annulli, prende il nome di *tempo di immagazzinamento (storage time)*.

Il tempo che intercorre tra  $t_2$  e l'istante in cui nominalmente il diodo ha recuperato la sua condizione di regime prende il nome di *tempo di transizione (transition time)*  $t_t$ . Questo intervallo necessario affinché il diodo recuperi la condizione di regime termina quando i portatori minoritari che si trovano ad una certa distanza dalla giunzione hanno attraversato per diffusione la giunzione e quando la capacità di transizione, localizzata ai capi della giunzione polarizzata inversamente, si è caricata attraverso  $R_L$  alla tensione  $-V_R$ .

Com'è prevedibile, si trova sperimentalmente che, per una data corrente inversa  $-I_R$ , il tempo di immagazzinamento cresce con il crescere della corrente diretta  $I_F$ . Per una data corrente diretta, il tempo di immagazzinamento diminuisce all'aumentare della corrente inversa. Esistono diodi per commutazione che presentano valori del tempo di recupero complessivo (tempo di immagazzinamento più tempo di transizione) che vanno da meno di un nanosecondo fino ad alcuni microsecondi per diodi con correnti di lavoro elevate.

### 1.19 IL DIODO SCHOTTKY

Finora abbiamo considerato soltanto diodi formati dalla giunzione fra un semiconduttore di tipo  $p$  ed uno di tipo  $n$ . È però anche possibile realizzare dei diodi mediante la giunzione di un semiconduttore con un metallo. Per esempio l'alluminio, quando entra in contatto con il silicio, agisce quale impurità di tipo  $p$ . Pertanto la giunzione fra alluminio ed un semiconduttore di tipo  $n$  viene a costituire un diodo. Questi diodi metallo-semiconduttore, detti diodi Schottky, vengono rappresentati con il simbolo di Fig. 1.19-1; essi offrono ottime prestazioni per quanto riguarda la velocità di funzionamento. Le caratteristiche tensione-corrente statiche di un diodo Schottky sono perfettamente simili a quelle di un diodo a semiconduttore; però la tensione di soglia dei diodi Schottky risulta compresa, a seconda del metallo impiegato, fra 0,2 e 0,5 V. Il diodo costituito da alluminio e semiconduttore di tipo  $n$  presenta una tensione di soglia di circa 0,35 V.

In un diodo metallo-semiconduttore la conduzione in senso diretto si verifica quando il metallo è polarizzato ad una tensione positiva rispetto al semiconduttore; la corrente scorre attraverso la giunzione grazie al passaggio di elettroni dal semiconduttore al metallo. Gli elettroni entrati dalla giunzione nel metallo si confondono con quelli già presenti nel metallo in numero elevatissimo e pertanto non possono essere considerati come portatori minoritari. Di conseguenza, quando la polarizzazione viene invertita, gli elettroni pene-

trati nel metallo attraverso la giunzione non sono più idonei a riattraversarla di quanto lo siano quelli che già si trovavano in origine nel metallo. Per questo motivo il tempo di immagazzinamento del diodo Schottky risulta essere trascurabile. Il tempo di recupero del diodo Schottky, tipicamente di 50 ps, è di almeno un ordine di grandezza inferiore a quello di un normale diodo *pn*.

I contatti di connessione fra un dispositivo a semiconduttore ed i conduttori esterni devono risultare puramente ohmici e non produrre alcun effetto raddrizzante. Tali contatti vengono pertanto realizzati interponendo fra metallo e semiconduttore uno strato intermedio drogato in modo graduale. La densità di drogaggio è molto alta (in modo da conferire allo strato intermedio caratteristiche metalliche) in prossimità del contatto con il metallo e va diminuendo verso il semiconduttore.



Figura 1.19-1 Simbolo del diodo Schottky.

## 1.20 VELOCITÀ DI COMMUTAZIONE DEL TRANSISTORE BIPOLARE

In questo paragrafo esamineremo da un punto di vista qualitativo i fattori che intervengono a determinare la velocità di commutazione del transistor bipolare. In Fig. 1.20-1a è illustrata la regione di base compresa fra le giunzioni di collettore e di emettitore di un transistor *npn*. Quando il transistor viene portato in conduzione, la giunzione emettitore-base viene attraversata da una corrente; questa corrente è costituita quasi interamente da elettroni che attraversano la giunzione passando dall'emettitore alla base. La corrente prodotta dalle lacune che attraversano la giunzione in senso opposto è quasi trascurabile, poichè il drogaggio dell'emettitore è molto più forte di quello della base. Pertanto nella base la densità degli elettroni in grado di trasportare corrente attraverso la giunzione è di gran lunga superiore alla densità delle lacune.

Gli elettroni iniettati attraversano la base, molto sottile, per diffusione. Come si è già fatto notare, la corrente di diffusione è proporzionale alla pendenza della curva della densità in funzione della distanza. Dal momento che la corrente nella base è costante, la curva rappresentante la densità degli elettroni in funzione della distanza  $x$  nella base è una linea retta, come indicato in Fig. 1.20-1a. Non appena un elettrone raggiunge la giunzione collettore-base, viene immediatamente sospinto al di là della giunzione, poichè questa è polarizzata inversamente. Pertanto in prossimità del collettore la densità degli elettroni è nulla. In realtà al collettore la corrente di base risulta essere legger-



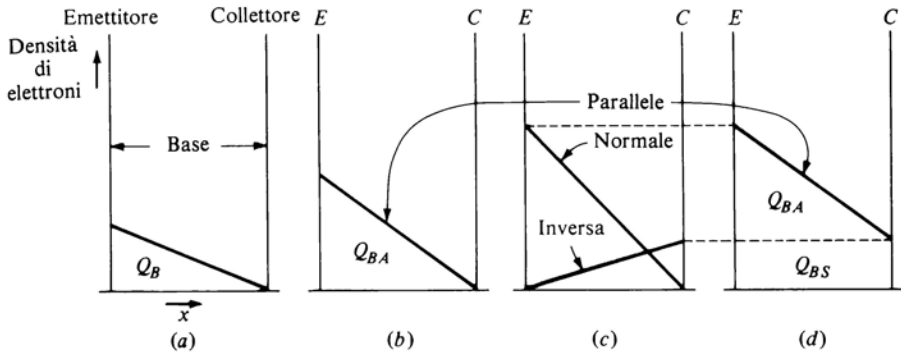


Figura 1.20-1 (a) Distribuzione della densità degli elettroni lungo la base in un transistor in regione attiva. (b) La corrente che percorre la base è più elevata che in (a); di conseguenza  $Q_{BA} > Q_B$  e la pendenza della curva è maggiore. (c) In saturazione è presente una distribuzione di carica normale ed una inversa. (d) La risultante delle distribuzioni in (c).

mente più bassa che all'emettitore poiché nell'attraversare la base si verifica una piccola ma progressiva perdita di elettroni per effetto delle ricombinazioni con le lacune. Di conseguenza la corrente cala leggermente al crescere di  $x$  e la curva della densità degli elettroni presenta una leggera concavità verso l'alto che però, per semplicità, non è stata indicata nella figura. (Tipicamente, poiché  $\alpha_v \approx 0,98$ , la corrente di collettore è solo di circa un 2% inferiore alla corrente di emettitore.)

L'area situata al di sotto della curva della densità degli elettroni è proporzionale alla carica minoritaria in eccesso  $Q_B$  presente nella base. La carica totale nella base è nulla; pertanto dovrà essere presente una carica positiva eguale, con distribuzione lungo la base tale da uguagliare la carica degli elettroni.

Quando il transistor è in interdizione, la carica nella sua base è nominalmente nulla. Allorché il transistor viene portato in conduzione, la condizione di equilibrio rappresentata in Fig. 1.20-1a non può stabilirsi immediatamente; occorre che trascorra un certo tempo finito perché le distribuzioni di carica si stabilizzino. La carica negativa è fornita dagli elettroni che attraversano la giunzione di emettitore; la carica positiva viene fornita dalla corrente di base. Supponiamo per un momento che nella base non si verifichi alcuna ricombinazione fra elettroni e lacune. Allora la carica positiva fornita dalla corrente di base non si dissiperà più e quindi, una volta che questa carica si è stabilizzata, non verrà richiesta altra corrente di base. In realtà invece, a causa

della ricombinazione delle lacune con gli elettroni, è richiesto un flusso continuo di corrente di base.

In Fig. 1.20-1*b* la corrente che scorre nel transistor è più elevata che nel caso precedente, ragion per cui è più pronunciata la pendenza della curva della densità degli elettroni. Supponiamo, in Fig. 1.20-1*b*, di aver raggiunto il limite superiore della zona attiva del transistor (nelle condizioni determinate dalla tensione di alimentazione  $V_{CC}$  e dalla resistenza di collettore  $R_c$  con cui lavora il transistor); indicheremo con  $Q_{BA}$  la quantità di carica totale della base.

La Fig. 1.20-1*c* si riferisce al transistor nella regione di saturazione. La tensione di polarizzazione esterna ai capi della giunzione di emettitore è aumentata, per cui è aumentato in corrispondenza il numero degli elettroni che attraversano la giunzione dall'emettitore alla base. La pendenza della curva della densità degli elettroni (carica normale) è pure aumentata, in modo da determinare un aumento della velocità di diffusione degli elettroni. Tuttavia la corrente tale che attraversa la base è limitata al valore  $V_{CC}/R_c$ . Questa limitazione della corrente è determinata dal fatto che, in saturazione, la giunzione di collettore è polarizzata direttamente. Ne deriva il verificarsi di un'iniezione in senso inverso di elettroni, dal collettore alla base, come è indicato in figura. La risultante dell'iniezione di elettroni normali e dell'iniezione inversa è rappresentata in Fig. 1.20-1*d*. Poiché la corrente nel grafico *d* (saturazione) è nominalmente la stessa del grafico *b* (limite della saturazione), la pendenza delle due curve di densità è la stessa. Si osservi però che in *d* la carica minoritaria in eccesso è costituita da una carica di saturazione  $Q_{BS}$  uniforme, che non dà alcun contributo alla corrente, e da una carica  $Q_{BA}$ , che determina il gradiente di densità necessario a produrre il flusso di corrente di diffusione.

A questo punto abbiamo completamente individuato il meccanismo che determina il ritardo nella commutazione del transistor. Quando un transistor viene portato in conduzione, la sua corrente di collettore non raggiunge il suo valore finale finché non si sono formate le cariche  $Q_B$  o  $Q_{BA}$ . Viceversa, supponiamo che il transistor sia ON e in saturazione. Se intendiamo portarlo in OFF, dobbiamo prima rimuovere la carica  $Q_{BS}$ . Per tutta la durata della rimozione di  $Q_{BS}$ , la corrente di collettore non subisce alcun calo; essa comincia viceversa a diminuire quando inizia a dissiparsi la carica  $Q_{BA}$ .

Possiamo anche capire perché la commutazione del transistor in modo inverso di Fig. 1.10-2 sia più lenta della commutazione del transistor in modo normale di Fig. 1.6-1. In un transistor la giunzione di emettitore presenta una sezione trasversale sensibilmente minore di quella della giunzione di collettore. Questa caratteristica ha lo scopo di far sì che l'angolo sotto cui la giunzione di collettore è vista dalla giunzione di emettitore sia quanto più ampio possibile. Ciò affinché la quasi totalità dei portatori iniettati nella base in corrispondenza della giunzione di emettitore possa raggiungere il collettore. Questo fatto fa sì che il guadagno di corrente a base comune  $\alpha_N$  sia molto

prossimo all'unità, come si richiede perchè il transistor sia efficiente. Come si può osservare in Fig. 1.20-1b, quando un transistor è usato in modo normale la densità dei portatori di minoranza in eccesso è maggiore dove la sezione è più stretta (all'emettitore) ed è più bassa dove la sezione è più larga (al collettore). Impiegando il transistor nel modo inverso, la situazione si inverte: la densità di carica è maggiore dove la sezione è più larga. Pertanto la carica immagazzinata nel modo inverso è maggiore di quella immagazzinata nel modo normale e corrispondentemente i tempi di ritardo nel modo inverso sono più elevati.

La Fig. 1.20-2 rappresenta un transistor funzionante da interruttore pilotato in ON e in OFF da un segnale di ingresso variabile fra i livelli di tensione  $V_1$  e  $V_2$  e applicato alla base mediante un resistore  $R_b$ . La forma d'onda di ingresso  $V_i$ , illustrata in Fig. 1.20-3a, porta il transistor dall'interdizione alla saturazione e poi ancora all'interdizione. La corrente di collettore  $I_C$  è illustrata in Fig. 1.20-3b. Il tempo  $t_d$ , ovvero il tempo di ritardo (*delay time*), rappresenta il tempo richiesto dal transistor affinché  $I_C = 0,1 I_{CS}$ , dove  $I_{CS}$  è la corrente di collettore in saturazione. Il tempo  $t_r$  è il tempo di salita (*rise time*), definito come il tempo che impiega  $I_C$  a passare da  $0,1 I_{CS}$  a  $0,9 I_{CS}$ . Il tempo di immagazzinamento  $t_s$  (*storage time*) è il tempo che intercorre fra l'istante di inversione della corrente di base e l'istante in cui  $I_C$  è scesa di nuovo a  $0,9 I_{CS}$ . Si noti, come abbiamo precedentemente spiegato, che c'è un intervallo di tempo in cui la corrente di collettore è insensibile al comando in ingresso. Si tratta dell'intervallo durante il quale viene dissipata la carica di saturazione  $Q_{BS}$  di Fig. 1.20-1d. Con  $t_f$  si è indicato il tempo di discesa (*fall time*). Se si aumenta  $V_1$ , diminuiscono sia  $t_d$  che  $t_r$ , ma a spese di un aumento di  $t_s$ . La forma d'onda della corrente di base è indicata in Fig. 1.20-3c; per semplicità, nel calcolare  $I_B$  si è trascurata la caduta di tensione base-emettitore del transistor saturo. Si osservi che la corrente di base non si annulla finchè non si è dissipata la carica immagazzinata nella base, fatto che è evidenziato dalla caduta a zero della corrente di collettore.

**Il transistor Schottky** La velocità di risposta di un transistor può essere migliorata impedendo al transistor di entrare in saturazione. In Fig. 1.20-4a è illustrata una configurazione circuitale che consente di raggiungere tale sco-

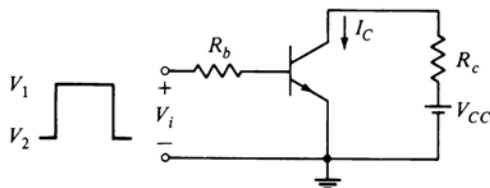


Figura 1.20-2 L'onda quadra con escursione fra i livelli  $V_1$  e  $V_2$  pilota il transistor dall'interdizione alla saturazione e viceversa.

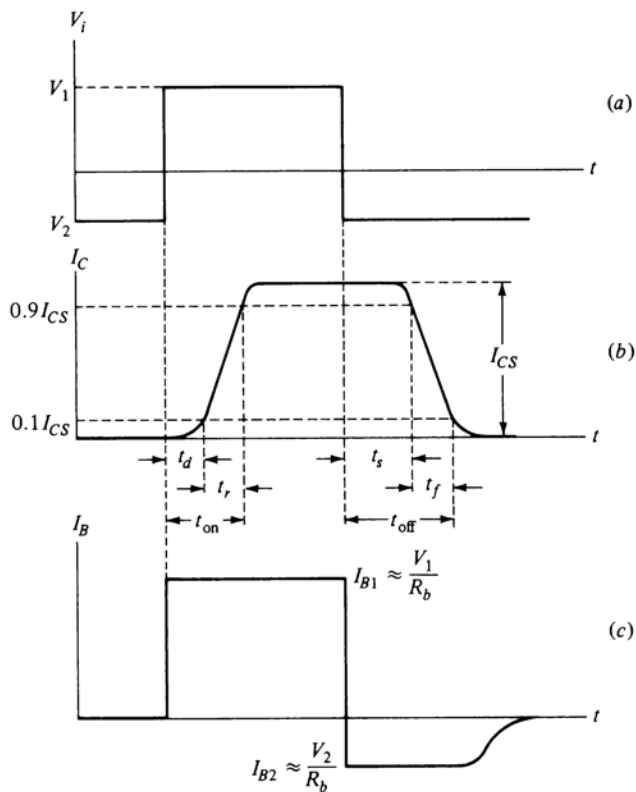


Figura 1.20-3 La corrente di collettore (b) e la corrente di base (c) prodotte dal segnale rappresentato in (a).

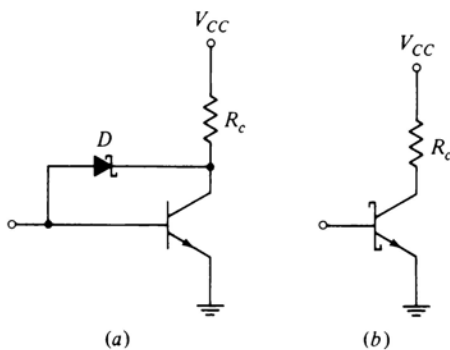


Figura 1.20-4 (a) Transistore e diodo Schottky collegati in modo da impedire la saturazione. (b) Simbolo del transistore Schottky.

po. Un diodo Schottky è collegato fra collettore e base. Quando il transistor è in zona attiva, il diodo  $D$  non conduce. Il diodo entra in conduzione quando la tensione base-collettore è all'incirca 0,4 V, impedendo così al collettore di scendere al di sotto della tensione di base per più di 0,4 V. Come si è visto, quando un transistor è in saturazione,  $V_{BE}(\text{sat}) = 0,75$  V e  $V_{CE}(\text{sat}) = 0,2$  V, per cui la tensione base-collettore è  $0,75 - 0,2 = 0,55$  V. Quindi il diodo, impedendo alla tensione del collettore di scendere ad un valore tale da polarizzare direttamente la giunzione, fa sì che il transistor non possa entrare in zona di saturazione.

Risulta inoltre abbastanza semplice, durante il processo di fabbricazione, incorporare il diodo Schottky nel transistor. Questa combinazione diodo-transistor prende il nome di *transistor Schottky* ed il suo simbolo è rappresentato in Fig. 1.20-4b.

## 1.21 VELOCITÀ DI COMMUTAZIONE DEI FET

Nei dispositivi ad effetto di campo la corrente è costituita sostanzialmente dai portatori maggioritari, per ciò il tempo richiesto per la redistribuzione della carica sia nella commutazione ON-OFF che in quella OFF-ON è relativamente trascurabile. Ben più significativo è il tempo richiesto per la carica e la scarica delle capacità presenti nei dispositivi e delle capacità parassite presenti nei circuiti. Il problema della carica di queste capacità viene reso ancor più grave dal fatto che le impedenze resistive presenti nei circuiti a FET, attraverso le quali le capacità si caricano e scaricano, sono in genere molto più elevate di quelle presenti nei circuiti a transistori bipolari.

## 1.22 TEMPI DI SALITA E DI DISCESA E TEMPI DI RITARDO

Non è esagerato affermare che una struttura di porte logiche per elaborazioni digitali si riduce, in definitiva, ad una cascata più o meno lunga di interruptori. Per questo motivo ora faremo alcune considerazioni sulla cascata di interruptori di Fig. 1.22-1.

Consideriamo inizialmente il primo stadio della cascata e supponiamolo, per il momento, scollegato dagli stadi successivi. Supponiamo inoltre che la forma d'onda  $V_i$  passi dal livello di tensione inferiore a quello superiore con velocità teoricamente infinita. Quando  $V_i$  fa passare in conduzione il primo stadio, l'uscita di quest'ultimo scende al livello inferiore e a questa discesa sarà associato un certo *tempo di discesa*. Supponiamo che  $V_{CC} = 5$  V e che  $V_{CE}(\text{sat}) = 0$  V e, senza scendere troppo in dettagli, supponiamo che la tensione di uscita cali linearmente con il tempo, compiendo la transizione da  $V_{CC}$  a zero in un tempo  $t_f$ . Questo tempo di discesa dipenderà dalle caratteristiche del transistor, per i fenomeni descritti precedentemente; la discesa però si rivelerà più lenta del previsto a causa delle capacità parassite del dispositivo e del circuito.

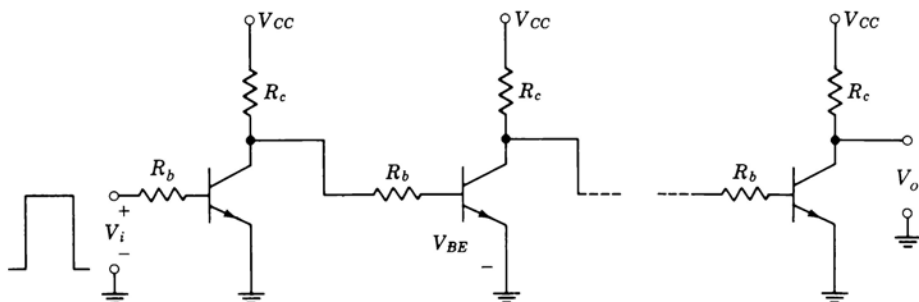


Figura 1.22-1 Cascata di transistori -interruttori.

Supponiamo ora che lo stesso segnale  $V_i$  non salga in maniera assolutamente istantanea, ma presenti un tempo di salita finito. In generale questo tempo di salita dovrebbe avere l'effetto di rendere più lenta la discesa dell'uscita dello stadio. *Tuttavia, se il tempo di salita dell'ingresso è piccolo rispetto al tempo di discesa dello stadio stesso, l'effetto prodotto dal tempo di salita non nullo può anche venire trascurato.*

Ristabiliamo ora il collegamento fra l'uscita del primo stadio e l'ingresso del secondo stadio. Il segnale all'ingresso del secondo stadio non scende di colpo. Tuttavia l'unica parte del segnale d'ingresso che risulta essere attiva ai fini della commutazione è quell'incremento di 0,1 V che porta la tensione della base  $V_{BE}$  da 0,75 V (saturazione) a 0,65 V (interdizione). Poichè l'uscita del primo stadio scende di 5 V nell'intervallo  $t_f$ , la velocità del segnale attivo all'ingresso del secondo stadio è 50 volte più elevata. Per quanto riguarda quindi il secondo stadio, la velocità del segnale di ingresso è così elevata rispetto alla velocità dell'uscita dello stadio stesso che i suoi effetti possono essere tranquillamente trascurati. In definitiva quindi, procedendo lungo la cascata di interruttori di Fig. 1.22-1, i tempi di salita e di discesa non aumentano, o almeno aumentano di poco, all'aumentare del numero degli stadi.

Con i FET la situazione è un po' diversa, perchè la frazione della tensione di uscita che interessa la commutazione dello stadio successivo è un po' più alta che per i dispositivi bipolari. Tuttavia, anche se al limite ciascun stadio della cascata lavorasse in zona lineare per tutta l'escursione del segnale di ingresso, i tempi di salita e di discesa di ciascuno stadio aumenterebbero all'incirca soltanto con la radice quadrata del numero d'ordine dello stadio nella cascata.

**Tempo di ritardo** Viceversa man mano che si procede lungo la cascata possiamo notare un ritardo della risposta sempre più accentuato. Cioè se lo stadio  $k$  commuta dall'interdizione alla saturazione all'istante  $t_k$ , lo stadio successivo commuta dalla saturazione all'interdizione in un istante successi-

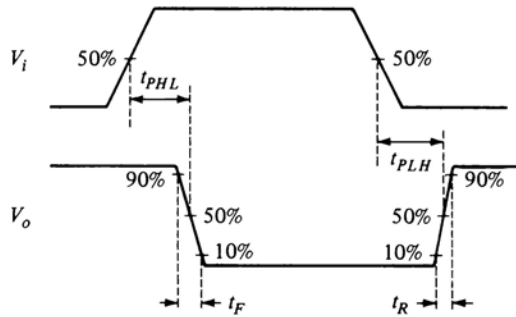


Figura 1.22-2 Definizione del tempo di salita, del tempo di discesa e del tempo di ritardo.

vo  $t_{k+1}$ . Il ritardo, detto *ritardo di propagazione (propagation delay)*, è dato dall'intervallo  $t_{k+1} - t_k$ . Che esistano tali ritardi in corrispondenza dei fronti d'onda di salita e di discesa del segnale di ingresso, appare evidente dalla Fig. 1.20-3; si noti anche che non sempre il ritardo di propagazione corrispondente al fronte di salita è uguale a quello corrispondente al fronte di discesa. Infine, fatto molto importante, si noti che i ritardi di propagazione sono cumulativi, cioè si sommano. Questa caratteristica fa sì che il ritardo di propagazione sia un parametro spesso più importante del tempo di salita e del tempo di discesa.

Le case costruttrici di porte logiche e di componenti digitali spesso specificano i tempi di salita, di discesa ed i ritardi di propagazione nel modo indicato in Fig. 1.22-2. In essa sono rappresentate le forme d'onda d'ingresso e d'uscita di una porta logica o di altro dispositivo binario. Il tempo di salita (e di discesa) è definito come il tempo impiegato da  $V_o$  a passare dal 10% al 90% (oppure dal 90% al 10%) del salto fra i due livelli di tensione. I tempi di propagazione  $t_{PHL}$  e  $t_{PLH}$  indicano rispettivamente i ritardi fra ingresso e uscita quando l'uscita passa dal livello *alto* a quello *basso* e viceversa. Si noti che i tempi di ritardo sono presi in corrispondenza a valori della tensione di ingresso e di uscita pari al 50% del salto fra i due livelli di tensione.

## BIBLIOGRAFIA

- 1 Ebers, J.J., and J. L. Moll, Large Signal Behavior of Junction Transistors. *Proc. IRE*, vol. 42, pp. 1762-1772, December 1954.
- 2 Millman J., and H. Taub, «Pulse, Digital, and Switching Waveforms», McGraw-Hill, New York, 1965, chap. 20.
- 3 Crawford, R. H., «MOSFET in Circuit Design», McGraw-Hill, 1967, chap. 5.





## CAPITOLO 2

# AMPLIFICATORI OPERAZIONALI E COMPARATORI

Esistono in commercio, sotto forma di circuiti integrati, amplificatori differenziali ad alto guadagno detti *amplificatori operazionali (op-amp)*. Appor- tando alcune modifiche all'op-amp, si può realizzare un particolare tipo di amplificatore, detto *comparatore*. I comparatori che lavorano in regime di in- stabilità per la presenza di una reazione positiva (rigenerativa) costituiscono i *circuiti a trigger di Schmitt*. Poichè, trattando i sistemi digitali e di commuta- zione, troveremo frequentemente amplificatori operazionali, comparatori e trigger di Schmitt, nel presente capitolo esamineremo questi tre circuiti, con riguardo a quelle caratteristiche che assumono particolare importanza nei si- stemi digitali.

### 2.1 L'AMPLIFICATORE OPERAZIONALE<sup>(1-2)</sup>

Gli *amplificatori operazionali*, o più semplicemente *op-amp*, sono disponibili in commercio sottoforma di circuiti integrati. L'importanza di questi disposi- tivi è rivelata sia dall'elevato numero di case costruttrici che li producono sia dalla grande varietà di tipi disponibili sul mercato. Spiegheremo più avanti il significato del termine «operazionale» riferito a questi amplificatori. General- mente essi sono destinati a funzionare in modo lineare anzichè come disposi- tivi di commutazione digitale, per cui, sotto questo aspetto, a rigore non ci dovrebbero interessare. Dal momento però che gli op-amp sono impiegati nei circuiti *sample-and-hold*, nei circuiti a porte analogiche (Cap. 13) e nei circuiti di conversione analogico-digitale (Cap. 14), è bene esaminare il loro funzio- namento e le loro caratteristiche esterne.

In Fig. 2.1-1 è illustrato un'amplificatore operazionale: esso presenta due ingressi atti a ricevere due segnali  $V_1$  e  $V_2$  ed un'unica uscita  $V_o$ . Per un dispositivo ideale la relazione che lega l'uscita agli ingressi è

$$V_o = A(V_2 - V_1) \quad (2.1-1)$$

in cui  $A$ , il guadagno di tensione, è (almeno per basse frequenze) un numero reale positivo elevato, non raramente dell'ordine di  $5 \times 10^4$ .

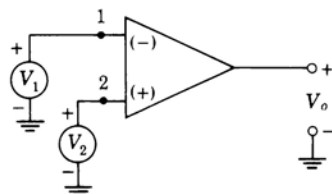


Figura 2.1-1 Simbolo dell'amplificatore operazionale con l'indicazione dell'ingresso invertente (-) e dell'ingresso non invertente (+).

Ci sono tre punti relativi all'Eq. (2.1-1) che meritano una spiegazione approfondita. Osserviamo innanzi tutto che, applicando un segnale all'ingresso 1, l'amplificatore presenta un guadagno *invertente*, mentre, applicando il segnale all'ingresso 2, l'amplificatore presenta un guadagno uguale al precedente, in valore assoluto, ma *senza inversione*. In particolare quando  $V_2 = 0$ ,  $V_o = -AV_1$ , mentre quando  $V_1 = 0$ ,  $V_o = AV_2$ . I segni (-) e (+) ai terminali di ingresso, in Fig. 2.1-1, stanno ad indicare l'inversione e la non inversione. Inoltre dall'Eq. (2.1-1) notiamo che anche se  $V_1$  e  $V_2$  variano, finché  $V_1 = V_2$ , cioè finché le variazioni di  $V_1$  e  $V_2$  sono *comuni*,  $V_o = 0$ ; ciò significa che un *segnale applicato contemporaneamente, in comune*, ai due ingressi *non ha effetto* sulla tensione di uscita. Osserviamo infine che l'Eq. (2.1-1) è valida non solo da un punto di vista incrementale, ma anche da un punto di vista assoluto. Perciò le tensioni  $V_o$ ,  $V_1$  e  $V_2$  dell'Eq. (2.1-1) non devono essere considerate come variazioni da un iniziale punto di lavoro, ma sono le tensioni reali misurate rispetto a massa. Se, ad esempio,  $V_1$  e  $V_2$  sono tensioni continue di valore pari a 2 V, allora l'uscita sarà una tensione continua,  $V_o = 0$  V. È superfluo precisare che gli amplificatori operazionali reali non sono in grado di rifiutare con assoluta precisione i segnali applicati in modo comune

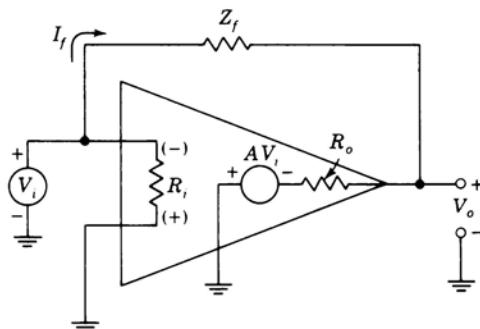


Figura 2.2-1 Amplificatore operazionale con resistore di reazione  $Z_f$  collegato fra l'uscita e l'ingresso invertente.

ai due ingressi, così come non sono in grado di mantenere con assoluta stabilità e precisione la tensione  $V_o = 0$ , nei casi in cui ciò è richiesto.

## 2.2 LA MASSA VIRTUALE

In Fig. 2.2-1 si è applicato un segnale  $V_i$  all'ingresso invertente e si è collegato a massa l'ingresso non invertente. Ammettiamo che il valore dell'impedenza di ingresso  $R_i$  vista guardando nell'amplificatore, sia di valore finito. Visto dall'uscita, l'amplificatore può essere sostituito dal circuito equivalente secondo Thevenin, cioè da un generatore di tensione  $AV_i$  in serie con l'impedenza d'uscita  $R_o$ . Esternamente è stata posta un'impedenza  $Z_f$  che introduce una reazione fra l'uscita e l'ingresso invertente. Si vuole ora calcolare l'impedenza vista dal generatore  $V_i$ . La corrente  $I_f$  attraverso  $Z_f$  è

$$I_f = \frac{V_i + AV_i}{Z_f + R_o} \quad (2.2-1)$$

Definiamo ora l'impedenza  $Z_i = V_i/I_f$ ; grazie all'Eq. (2.2-1) possiamo esprimerla come

$$Z_i = \frac{V_i}{I_f} = \frac{Z_f + R_o}{1 + A} \quad (2.2-2)$$

La grandezza  $Z_i$  è (trascurando  $R_i$  che è in parallelo a  $Z_i$ ) l'impedenza vista dal generatore  $V_i$ . Poiché  $A$  è molto elevata, questa impedenza sarà bassa. Tipicamente  $R_o$  è dell'ordine di alcune centinaia di ohm; prendiamo, ad esempio,  $R_o = 200 \Omega$ . In molte applicazioni  $Z_f$  è resistiva e dell'ordine di alcune migliaia di ohm, diciamo, per esempio,  $Z_f = 5 \text{ k}\Omega$ . Pertanto, con  $A = 5 \times 10^4$ , troviamo  $Z_i = 5.200/(1 + 5 \times 10^4) \approx 0,1 \Omega$ . L'impedenza  $R_i$  dell'amplificatore vero e proprio ha valori compresi fra le decine di kilohm e le decine di megaohm; pertanto possiamo tranquillamente considerare  $Z_i$  come l'impedenza vista dal generatore  $V_i$ .

Comunemente si dice che la configurazione di Fig. 2.2-1 presenta una *massa virtuale* in ingresso. Il terminale di ingresso è a massa nel senso che l'impedenza vista tra il terminale stesso e massa è molto bassa (in confronto alle altre impedenze del circuito). Il collegamento però è virtuale, nel senso che la corrente fornita da  $V_i$  non va a massa, ma fluisce nell'impedenza  $Z_f$ .

## 2.3 OPERAZIONI MATEMATICHE

In Fig. 2.3-1 un segnale  $V_s$  viene applicato attraverso l'impedenza  $Z$  all'ingresso invertente dell'amplificatore; per semplicità non si è indicato il terminale non invertente (collegato a massa). A causa della massa virtuale (indicata con linea tratteggiata) si ha che

$$I \approx \frac{V_s}{Z} \quad (2.3-1)$$

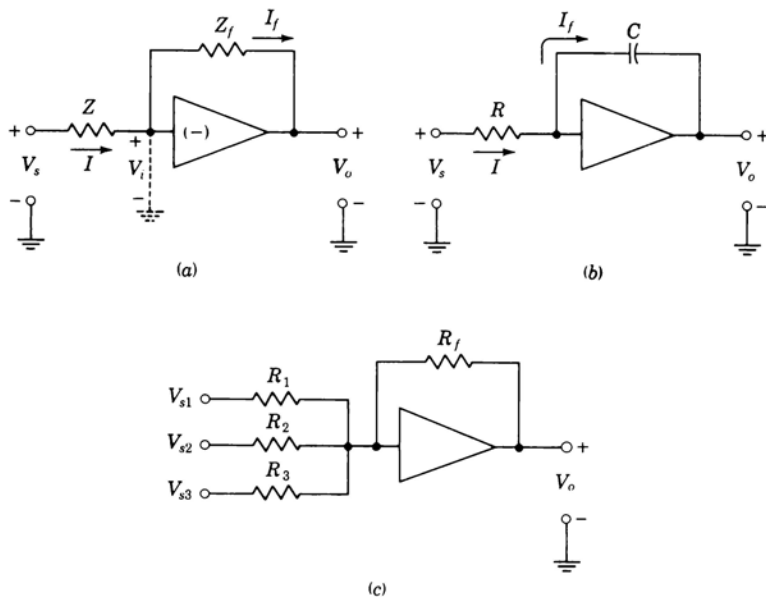


Figura 2.3-1 (a) Variatore di scala con  $Z_f = R_f$  e  $Z = R$ ; (b) integratore; (c) sommatore e variatore di scala.

e

$$V_o = -IZ_f \quad (2.3-2)$$

Combinando le equazioni (2.3-1) e (2.3-2), troviamo

$$V_o = -\frac{Z_f}{Z} V_s \quad (2.3-3)$$

Esaminando la Fig. 2.3-1a si vede che la tensione  $V_i$  presente al terminale di ingresso dell'amplificatore risulta essere una combinazione lineare della tensione applicata dall'esterno e della tensione di uscita; cioè l'amplificatore presenta una *reazione*. In presenza della reazione il guadagno reazionato totale  $A_f$  è dato, utilizzando l'Eq. (2.3-3), dall'espressione

$$A_f \equiv \frac{V_o}{V_s} = -\frac{Z_f}{Z} \quad (2.3-4)$$

Dall'Eq. (2.3-4) si vede che il guadagno reazionato dipende esclusivamente dalle impedenze  $Z_f$  e  $Z$  e non dipende in alcun modo dalle caratteristiche dell'amplificatore stesso. Se si selezionano i componenti in modo che presentino valori di impedenza stabili, anche il guadagno  $A_f$  risulterà stabile. Le

variazioni del guadagno dell'amplificatore base dovute a spostamenti del punto di lavoro, variazioni di temperatura, invecchiamento del componente, ecc., sono eliminate grazie alla reazione. La reazione elimina anche gli effetti della non linearità dell'amplificatore base, dove la non linearità può essere intesa come variabilità dei parametri del dispositivo con il punto di lavoro.

Si noti che la validità dell'Eq. (2.3-4) dipende dalla «qualità» della massa virtuale all'ingresso dell'amplificatore. Quest'ultima dipende, a sua volta, dal valore del guadagno  $A$  dell'amplificatore base, guadagno che deve essere molto elevato. Pertanto un alto guadagno (al limite infinito) costituisce un elemento di merito per un amplificatore operazionale.

Si vedrà ora come sia possibile, impiegando la configurazione di Fig. 2.3-1, realizzare alcune semplici *operazioni matematiche* lineari sulle forme d'onda di ingresso. Questa è la caratteristica che ha dato il nome all'amplificatore operazionale. In tal senso una prima applicazione, ancor oggi importante, dell'amplificatore operazionale si è avuta nel campo dei *calcolatori analogici*. A rigore il termine *amplificatore operazionale* dovrebbe applicarsi alla configurazione di Fig. 2.3-1 comprendente  $Z_f$  e  $Z$ ; comunque è d'uso comune associare questo termine anche allo stesso amplificatore base.

Se  $Z_f$  e  $Z$  sono costituite dai resistori  $R_f$  ed  $R$ , allora  $A_f = -R_f/R$  e l'amplificatore funziona contemporaneamente come *invertitore di segno* e *variante di scala*. Se  $R_f = R$  non si ha variazione di scala e l'ingresso viene solamente invertito. Se  $Z = R$  e  $Z_f$  è capacitiva, come in Fig. 2.3-1b, si ha  $I = V_i / R$  e

$$V_o = -\frac{1}{C} \int I_f dt = -\frac{1}{C} \int I dt = -\frac{1}{RC} \int V_i dt \quad (2.3-5)$$

In questo caso l'amplificatore operazionale funziona da *integratore*. Come si può facilmente verificare, scambiando il resistore con il condensatore l'op-amp diventa un *derivatore*.

La Fig. 2.3-1c illustra l'uso dell'operazionale come *sommatore* di forme d'onda. Se  $R_1 = R_2 = R_3 = R$ , avremo  $V_o = -(R_f/R) (V_{i1} + V_{i2} + V_{i3})$ . Possiamo combinare l'operazione di somma con la variazione di scala: se infatti i resistori di ingresso non sono uguali, si ha

$$V_o = -\left(\frac{R_f}{R_1} V_{i1} + \frac{R_f}{R_2} V_{i2} + \frac{R_f}{R_3} V_{i3}\right) \quad (2.3-6)$$

La caratteristica più importante della configurazione di Fig. 2.3-1c consiste nel fatto che, grazie alla massa virtuale, non si verifica interazione alcuna fra le tensioni di ingresso.

## 2.4 IMPEDENZA DI USCITA

Una caratteristica spesso sfruttata dell'amplificatore operazionale consiste nel fatto che la reazione insita nel circuito permette di abbassare sostanzial-

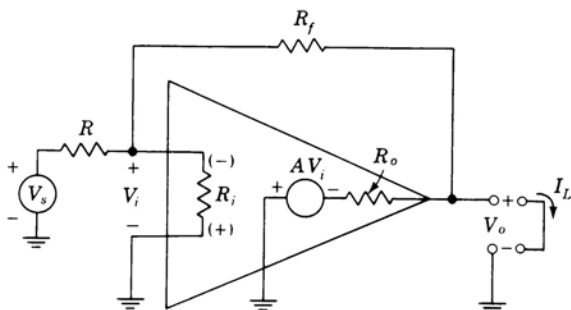


Figura 2.4-1 Circuito per il calcolo dell'impedenza d'uscita.

mente l'impedenza di uscita. Ciò si rivela utile soprattutto quando il carico presenta bassa impedenza e ancor più quando è capacitivo.

Dalla Fig. 2.4-1 si può ricavare l'impedenza di uscita come rapporto fra la tensione di uscita a circuito aperto  $V_o$  e la corrente di carico  $I_L$  quando il carico è cortocircuitato. La tensione a circuito aperto è

$$V_o = -\frac{R_f}{R} V_s \quad (2.4-1)$$

e la corrente di cortocircuito è

$$I_L = \frac{V_s}{R + R_f} - \frac{A}{R_o} V_i = \frac{V_s}{R + R_f} - \frac{A}{R_o} \frac{R_f}{R + R_f} V_s \quad (2.4-2)$$

In queste equazioni si è trascurata l'impedenza di ingresso  $R_i$  dell'amplificatore; ciò è certamente giustificato per quanto riguarda l'Eq. (2.4-1) poiché, quando l'uscita è aperta, l'amplificatore è reazionato ed  $R_i$  viene cortocircuitato dalla massa virtuale. Nell'Eq. (2.4-2) ci siamo valse della relazione  $V_i = R_f V_s / (R + R_f)$ . Precisiamo che, affinché tale relazione fra  $V_i$  e  $V_s$  sia valida, è necessario che  $R_i$  sia grande in confronto al parallelo di  $R$  ed  $R_f$ , condizione che in pratica è sempre soddisfatta.

Il secondo termine dell'Eq. (2.4-2) è di gran lunga maggiore del primo, poiché  $A$  è molto elevato. Pertanto, trascurando il primo termine, l'impedenza di uscita  $Z_o$  è

$$Z_o = \frac{V_o}{I_L} = \frac{R_o}{A} \left( 1 + \frac{R_f}{R} \right) = \frac{R_o}{A} (1 - A_f) \quad (2.4-3)$$

Riferendoci ad un caso tipico, con  $A_f = -9$ ,  $R_o = 100 \, \Omega$  e  $A = 5 \times 10^4$ , risulta  $Z_o = 1/50 \, \Omega$ .

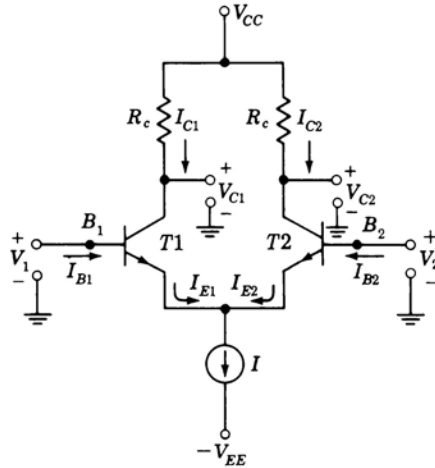


Figura 2.5-1 L'amplificatore differenziale base che determina il guadagno dell'op-amp.

## 2.5 CONFIGURAZIONE CIRCUITALE INTERNA DELL'AMPLIFICATORE OPERAZIONALE

Prima di proseguire nell'esame delle prestazioni degli amplificatori operazionali, è utile dare uno sguardo alla configurazione circuitale interna di questi dispositivi. Il circuito base che determina il guadagno è illustrato in Fig. 2.5-1. Gli emettitori dei due transistori sono connessi insieme e collegati ad un generatore di corrente costante. (Nel Prob. 2.5-1 è indicato un modo per ottenere tale generatore; qui non ci interessa entrare nei dettagli.) Con  $V_1 = V_2$ , le correnti di collettore valgono  $I_{C1} = I_{C2} \approx I/2$  (trascurando le correnti di base). Con  $V_2$  fisso, un aumento di  $V_1$  fa aumentare la frazione di  $I$  (che rimane costante) che passa attraverso  $T1$ . Perciò  $V_{C1}$  cala e  $V_{C2}$  aumenta. Una diminuzione di  $V_1$  fa aumentare la frazione di  $I$  che scorre in  $T2$ . Quindi il guadagno  $g \equiv \Delta V_{C1} / \Delta V_1$  dall'ingresso di  $T1$  al collettore di  $T1$  sarà negativo (invertente), mentre il guadagno  $\Delta V_{C2} / \Delta V_1$  sarà positivo (non invertente). Considerazioni analoghe valgono per il guadagno relativo al segnale applicato alla base di  $T2$ .

Finchè la corrente  $I$  rimane perfettamente costante, la variazione della corrente in un transistore deve essere uguale e opposta alla variazione di corrente nell'altro transistore. In tal caso i guadagni devono essere uguali e opposti; cioè

$$g \equiv \frac{\Delta V_{C1}}{\Delta V_1} = \frac{\Delta V_{C2}}{\Delta V_2} = -\frac{\Delta V_{C1}}{\Delta V_2} = -\frac{\Delta V_{C2}}{\Delta V_1} \quad (2.5-1)$$

Supponiamo ora, partendo da una condizione iniziale arbitraria, di incrementare  $V_1$  e  $V_2$  delle quantità arbitrarie  $\Delta V_1$  e  $\Delta V_2$ . La variazione dell'uscita presa sul collettore di  $T1$  sarà

$$\Delta V_{C1} = \frac{\Delta V_{C1}}{\Delta V_1} \bigg|_{\Delta V_2=0} \Delta V_1 + \frac{\Delta V_{C1}}{\Delta V_2} \bigg|_{\Delta V_1=0} \Delta V_2 \quad (2.5-2a)$$

$$= g(\Delta V_1 - \Delta V_2) \quad (2.5-2b)$$

Analogamente si avrà  $\Delta V_{C2} = g(\Delta V_2 - \Delta V_1)$ . È evidente che se  $\Delta V_1$  e  $\Delta V_2$  sono uguali, cioè se si applica un segnale comune ai due ingressi, le uscite  $\Delta V_{C1}$  e  $\Delta V_{C2}$  sono nulle. Questa è la caratteristica per cui si dice che l'amplificatore rifiuta, cioè non fa passare, segnali applicati in modo comune, ovvero che il guadagno di modo comune è zero. Viceversa questo circuito amplifica l'eventuale *differenza* che può esserci fra  $\Delta V_1$  e  $\Delta V_2$ . Per questo motivo il circuito è chiamato *amplificatore differenziale*.

Per calcolare il guadagno  $g$  dell'amplificatore differenziale, sostituiamo ai transistori il circuito equivalente di Fig. 2.5-2, che è una forma semplificata del circuito a parametri  $h$ . La resistenza di ingresso fra base ed emettitore  $h_{ie}$  può essere ricavata dall'equazione [vedi Eq. (1.7-14)] che lega la corrente di emettitore alla tensione base-emettitore, cioè

$$I_E = I_{E0} e^{V_{BE}/V_T} \quad (2.5-3)$$

Infatti la resistenza incrementale vista guardando fra base ed emettitore è  $dV_{BE}/dI_B$ . La corrente di base è  $I_B = I_E/(h_{FE} + 1)$ . Perciò la resistenza incrementale vista guardando nella base è

$$h_{ie} = \frac{dV_{BE}}{dI_B} = (h_{FE} + 1) \frac{dV_{BE}}{dI_E} = \frac{(h_{FE} + 1)V_T}{I_E} \approx \frac{h_{FE} V_T}{I_E} \quad (2.5-4)$$

Usando il circuito a parametri  $h$  di Fig. 2.5-2, il circuito equivalente incrementale dell'amplificatore differenziale diventa quello illustrato in Fig. 2.5-3. Questo circuito equivalente tiene conto solo delle variazioni incrementali intorno ad un punto di lavoro a riposo; per questo motivo la tensione di alimentazione è stata sostituita con un corto-circuito a massa ed il generatore di

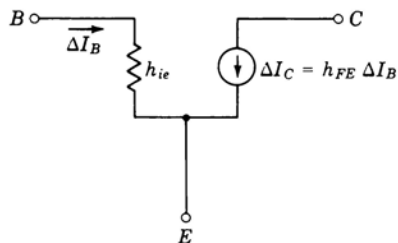


Figura 2.5-2 Circuito equivalente semplificato a parametri  $h$  del transistor.



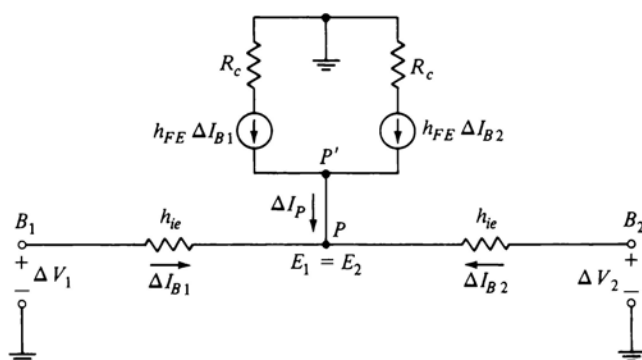
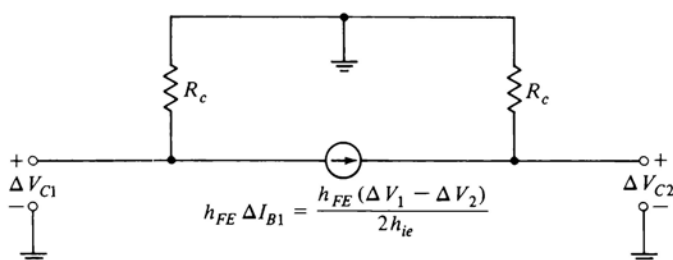


Figura 2.5-3 Circuito equivalente incrementale dell'amplificatore differenziale.


 Figura 2.5-4 Circuito equivalente dell'amplificatore differenziale usato per calcolare  $\Delta V_{C1}$  e  $\Delta V_{C2}$ .

corrente dell'emettitore è stato sostituito con un circuito aperto. La somma delle correnti che entrano nel nodo  $P$  o  $P'$  deve essere nulla. Perciò:

$$h_{FE} \Delta I_{B1} + \Delta I_{B1} + h_{FE} \Delta I_{B2} + \Delta I_{B2} = 0 \quad (2.5-5)$$

Quindi

$$\Delta I_{B1} = -\Delta I_{B2} \quad (2.5-6)$$

Di conseguenza la corrente  $\Delta I_P = 0$  ed il collegamento fra  $P$  e  $P'$  può essere tolto. Infine in Fig. 2.5-4 è rappresentato il circuito equivalente che permette di calcolare le correnti nei resistori di collettore  $R_C$ . I due generatori di corrente in serie, che generano entrambi la stessa corrente, sono stati sostituiti da un unico generatore  $h_{FE} \Delta I_{B1}$ , dove

$$\Delta I_{B1} = \frac{\Delta V_1 - \Delta V_2}{2h_{ie}} \quad (2.5-7)$$

Il guadagno dell'amplificatore differenziale, in base alle Eq. (2.5-2b) e (2.5-7) e alla Fig. 2.5-4, risulta

$$g = \frac{\Delta V_{C1}}{\Delta V_1 - \Delta V_2} = \frac{-R_c h_{FE}}{2h_{ie}} = -\frac{I_E R_c}{2V_T} \quad (2.5-8)$$

Dalla Fig. 2.5-3, poichè  $\Delta I_P = 0$ , deriva che la resistenza *da base a base* è

$$R_i = 2h_{ie} \quad (2.5-9)$$

Tipicamente  $h_{ie} \approx 25 \text{ k}\Omega$  per  $I_E = 0,1 \text{ mA}$ , per cui l'impedenza di ingresso vale circa  $50 \text{ k}\Omega$ . Si possono ottenere valori più elevati usando in ingresso circuiti Darlington e FET.

## 2.6 L'AMPLIFICATORE COMPLETO

Gli amplificatori operazionali integrati che si trovano in commercio comprendono di solito quattro stadi. I primi due stadi sono amplificatori differenziali posti in cascata per fornire l'alto guadagno richiesto. Un terzo stadio serve ad accoppiare il secondo amplificatore differenziale allo stadio d'uscita; quest'ultimo è progettato in modo da presentare un'uscita a bassa impedenza, con una tensione che può compiere escursioni simmetriche rispetto a massa. Per consentire questa simmetria della tensione di uscita è necessario fornire all'op-amp una alimentazione positiva ed una negativa. Si è già notato che l'incremento della tensione di uscita è proporzionale alla differenza fra gli incrementi delle tensioni di ingresso. Tuttavia nell'op-amp i livelli in continua sono regolati in modo che questa proporzionalità non si applica solo agli incrementi, come nell'Eq. (2.5-2), ma anche alle tensioni totali, come nell'Eq. (2.1-1). Pertanto, almeno nel caso ideale, quando  $V_1 - V_2 = 0$ , risulta anche  $V_o = 0$ . Una delle funzioni del terzo stadio è proprio quella di spostare i livelli in continua in modo che siano soddisfatte le condizioni suddette. Oltre a ciò un op-amp di solito contiene anche circuiti di compensazione termica.

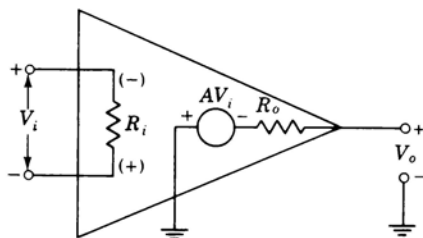


Figura 2.6-1 Rappresentazione dell'op-amp con l'impedenza di ingresso  $R_i$  fra i due ingressi.

In base a quanto si è detto, risulta evidente la validità della rappresentazione dell'op-amp data in Fig. 2.6-1. In essa si è tenuto conto del fatto che la tensione di uscita  $V_o$  dipende solo dalla differenza fra gli ingressi e non dal valore degli ingressi presi singolarmente. Si è inoltre inserita una resistenza di ingresso  $R_i$  fra un ingresso e l'altro e non fra i singoli ingressi e massa. Quando uno degli ingressi è posto a massa, la resistenza vista dall'altro ingresso risulta essere proprio  $R_i$ . Se invece uno degli ingressi è collegato a massa tramite un resistore  $R_g$ , la resistenza vista dall'altro ingresso è data da  $R_i + R_g$ .

## 2.7 AMPLIFICAZIONE NON INVERTENTE NELL'OP-AMP

Una configurazione di op-amp alternativa a quella vista in precedenza è illustrata in Fig. 2.7-1. In essa il generatore di segnale viene applicato all'ingresso non invertente, anziché a quello invertente. La tensione che si crea all'ingresso invertente a causa della reazione è  $V_1$ . Si lascia come esercizio (Prob. 2.7-1) il calcolo preciso del guadagno  $V_o/V_s$ . Qui si può ricavare un risultato accettabile, anche se approssimato, basandosi sulle semplici considerazioni che seguono.

Poiché  $R_o$  normalmente è abbastanza piccola da permettere di trascurare la caduta di tensione ai suoi capi, si ha  $V_o = -AV_i = -A(V_1 - V_s)$ . Dato l'elevato valore di  $A$ , la differenza  $V_1 - V_s$  deve essere estremamente piccola in confronto a  $V_o$ . Di conseguenza non commettiamo un grosso errore considerando  $V_i = V_1 - V_s \approx 0$ , cosicché  $V_1 = V_s$ . In questo caso inoltre, la corrente  $I$  attraverso  $R_i$  è nulla. Troviamo allora che

$$V_1 = \frac{R}{R + R_f} V_o = V_s \quad (2.7-1)$$

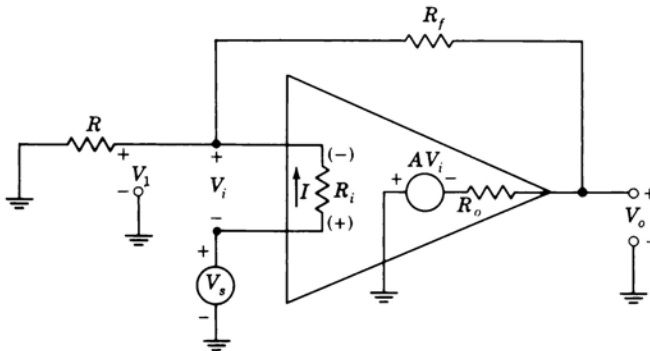


Figura 2.7-1 Op-amp nella configurazione non invertente.

da cui deriva che il guadagno  $A_f = V_o / V_s$  è

$$A_f = 1 + \frac{R_f}{R} \quad (2.7-2)$$

Si noti che ancora una volta il guadagno dipende solo dai resistori collegati esternamente e non dall'amplificatore vero e proprio.

## 2.8 IMPEDENZA DELL'AMPLIFICATORE NON INVERTENTE

L'impedenza di ingresso vista da  $V_s$  in Fig. 2.7-1 è definita come rapporto fra  $V_s$  e la corrente  $I$  attraverso  $R_i$ . Se manteniamo l'approssimazione secondo cui  $V_1 = V_s$ , allora  $I = 0$  e l'impedenza di ingresso è infinita. In questo caso però occorre eseguire un calcolo più preciso per  $V_1$ , perchè chiaramente l'impedenza di ingresso non può essere proprio infinita.

Si ha che

$$V_o = -A(V_1 - V_s) \quad (2.8-1)$$

per cui, supponendo con una approssimazione del primo ordine  $I = 0$  (vedi Prob. 2.8-1) e trascurando ancora una volta  $R_o$ , risulta

$$V_1 = \frac{R}{R + R_f} V_o \quad (2.8-2)$$

Dalle Eq. (2.8-1) e (2.8-2), eliminando  $V_o$ , troviamo

$$V_1 = \frac{RA}{(1 + A)R + R_f} V_s \quad (2.8-3)$$

La corrente attraverso  $R_i$  è  $I = (V_s - V_1)/R_i$ , mentre l'impedenza di ingresso  $Z_i = V_s/I$  è:

$$Z_i = R_i \frac{R(1 + A) + R_f}{R + R_f} \quad (2.8-4)$$

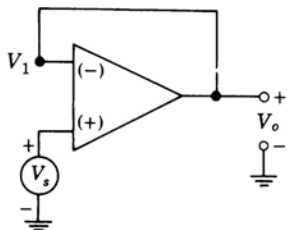


Figura 2.8-1 Amplificatore a guadagno unitario.

Poichè  $R(1 + A) \gg R_f$  e  $A \gg 1$ , mediante l'Eq. (2.7-2) otteniamo

$$Z_i = \frac{R_i A}{1 + R_f/R} = \frac{R_i A}{A_f} \quad (2.8-5)$$

In un caso tipico, con  $R_i = 50 \text{ k}\Omega$ ,  $A = 5 \times 10^4$  e  $A_f = 10$ , risulta  $Z_i = 250 \text{ M}\Omega$ .

Il fatto che l'impedenza di ingresso venga moltiplicata per un fattore elevato è un esempio di effetto *bootstrapping*. Si noti che quando  $V_s$  fa variare la tensione all'estremo (+) di  $R_i$ , la reazione fa variare la tensione all'estremo (-) nello stesso senso. Perciò una variazione di  $V_s$  provoca una corrispondente variazione ai capi del resistore minore di quella che si avrebbe se l'estremo (-) del resistore stesso fosse tenuto ad un potenziale fisso. La corrente  $I$  è perciò minore e quindi l'impedenza più elevata.

L'impedenza d'uscita dell'amplificatore è l'impedenza vista guardando nell'uscita, con tutti i generatori di tensione indipendenti a zero. Pertanto l'aver spostato il generatore dalla posizione che aveva in Fig. 2.4-1 a quella di Fig. 2.7-1 non ha effetto alcuno sull'impedenza d'uscita. Di conseguenza anche in questo caso l'impedenza d'uscita è data dall'Eq. (2.4-3).

**Amplificatore a guadagno unitario** Se, in Fig. 2.7-1, poniamo  $R_f = 0$ ,  $R$  diviene inutile e può essere tolto; si arriva così alla configurazione di Fig. 2.8-1. In questo caso  $V_1 = V_o$ , per cui il guadagno dello stadio amplificatore  $V_o/V_s = V_1/V_s$  dato dall'Eq. (2.8-3) è  $V_o/V_s = RA/[R(1 + A) + R_f] = A/(A + 1) \approx 1$ . Questa configurazione è molto usata per ottenere un amplificatore a guadagno unitario, alta impedenza d'ingresso e bassa impedenza d'uscita. Analogamente all'inseguitore di emettitore, questo amplificatore non amplifica ma costituisce un ottimo stadio adattatore.

## 2.9 CONSIDERAZIONI PRATICHE

Come si è visto, l'ingresso e l'uscita di un op-amp sono accoppiati fra di loro in modo diretto, cioè senza elementi capacitivi. Pertanto una variazione della tensione continua presente sull'uno o sull'altro ingresso verrà trasmessa all'uscita. Tensioni continue d'ingresso vengono generate dalle correnti di base dei transistori di ingresso (vedi Fig. 2.5-1) quando, ritornando a massa, attraversano componenti resistivi. Consideriamo il circuito di Fig. 2.4-1. La corrente di base che esce dall'ingresso (-) si chiude a massa attraverso la resistenza  $R_p$ , costituita dal parallelo di  $R$  ed  $R_f$  (trascurando  $R_o$ ). La corrente che esce dall'ingresso (+) incontra invece un percorso verso massa privo di resistenze. Tipicamente le correnti di base sono nominalmente uguali ed il loro valore può essere dell'ordine di  $1 \mu\text{A}$ . Se  $R_p$  presenta un valore anche solo di  $1 \text{ k}\Omega$ , l'ingresso (-) si viene a trovare a  $10^{-6} \times 10^3 = 1 \text{ mV}$ , mentre l'ingresso (+) si trova a  $0 \text{ V}$ . Supponendo un guadagno di  $10^4$ , veniamo ad avere  $V_o = 10 \text{ V}$ . Questo sbilanciamento (*offset*) iniziale può essere eliminato

inserendo una resistenza equivalente fra l'ingresso ( + ) e massa. Nel circuito di Fig. 2.7-1 occorre inserire una resistenza  $R_p$  in serie a  $V_s$ .

## 2.10 LA COMPENSAZIONE

Il valore massimo della frequenza di lavoro di un op-amp è determinato sia dalle capacità parassite sia dai limiti di frequenza propri dei componenti attivi. Al crescere della frequenza il valore del guadagno diminuisce e l'uscita, anziché essere esattamente in fase (o in opposizione di fase) con l'ingresso, subisce uno sfasamento che dipende dal valore della frequenza stessa. Un amplificatore reazionato entra in oscillazione se esiste una frequenza in corrispondenza alla quale il suo guadagno d'anello è uguale o maggiore di uno e contemporaneamente lo sfasamento d'anello è pari a  $360^\circ$ . Anche l'op-amp non è immune da queste oscillazioni.

È pertanto necessario combinare le caratteristiche di guadagno e di fase in modo da evitare che l'op-amp entri in oscillazione per qualche frequenza. Ciò viene ottenuto inserendo circuiti di compensazione in frequenza. In certi op-amp la compensazione è già realizzata all'interno dell'integrato; più normalmente invece è prevista la possibilità di collegare all'integrato una rete di compensazione esterna (costituita di solito da condensatori o da serie di resistenze e condensatori). Quest'ultima soluzione presenta due aspetti positivi: permette di usare condensatori di valore più elevato rispetto a quello dei condensatori ricavabili sul chip dell'integrato e permette di scegliere il valore dei componenti in modo da ottimizzare, a seconda del guadagno desiderato, l'effetto della compensazione. Generalmente nei fogli delle specifiche forniti dalle case costruttrici sono consigliati i valori dei componenti della rete di compensazione in funzione del guadagno richiesto.

Con gli amplificatori operazionali è bene, onde rendere minimo il rischio di oscillazioni anche dopo l'applicazione della rete di compensazione, eseguire tutti i collegamenti con conduttori corti. Tale precauzione non si riferisce solo ai collegamenti con la rete di compensazione esterna, ma anche con l'alimentazione e con la massa. Convien inoltre inserire dei condensatori di filtro sui conduttori di alimentazione.

## 2.11 RAPPORTO DI REIEZIONE AL MODO COMUNE

Siano  $V_1$  e  $V_2$ , come in Fig. 2.1-1, i segnali di ingresso dell'op-amp. I segnali di ingresso possono essere espressi, in altro modo, mediante un segnale di ingresso *differenza*  $V_d$  ed un segnale di ingresso *di modo comune*  $V_c$ , legati a  $V_1$  e  $V_2$  dalle relazioni

$$V_d = V_1 - V_2 \quad \text{e} \quad V_c = \frac{1}{2}(V_1 + V_2) \quad (2.11-1)$$

Se  $V_1$  e  $V_2$  sono uguali, allora  $V_d = 0$ , mentre se  $V_1$  e  $V_2$  sono uguali ed opposti,  $V_c = 0$ . I segnali  $V_d$  e  $V_c$  rappresentano rispettivamente la differenza ed il

valor medio dei due segnali di ingresso. I segnali  $V_1$  e  $V_2$  sono univocamente determinati in funzione di  $V_d$  e  $V_c$  dalle relazioni

$$V_1 = V_c + \frac{1}{2}V_d \quad \text{e} \quad V_2 = V_c - \frac{1}{2}V_d \quad (2.11-2)$$

Supponiamo, nel caso ideale, che il guadagno  $A_1$  rispetto all'ingresso 1 sia uguale ed opposto al guadagno  $A_2$  rispetto all'ingresso 2. Se  $V_1 = V_2$ ,  $V_d = 0$  e l'uscita è nulla anche se  $V_c \neq 0$ . Viceversa se i guadagni non sono uguali avremo

$$V_o = A_1 V_1 + A_2 V_2 \quad (2.11-3)$$

e sostituendo l'Eq. (2.11-2) nella (2.11-3) otteniamo

$$V_o = \frac{1}{2}(A_1 - A_2)V_d + (A_1 + A_2)V_c \quad (2.11-4)$$

In questo caso vediamo che non compare solo un guadagno  $A_d = \frac{1}{2}(A_1 - A_2)$ , relativo al segnale differenza  $V_d$ , ma anche un guadagno  $A_c = A_1 + A_2$ , relativo al segnale di modo comune  $V_c$ . Il rapporto fra la sensibilità di un op-amp al segnale differenza e la sensibilità al segnale di modo comune prende il nome di *rapporto di reiezione al modo comune* (CMRR: *common-mode rejection ratio*) ed è espresso dalla relazione

$$\text{CMRR} = \frac{A_d}{A_c} \quad (2.11-5)$$

Il CMRR degli op-amp commerciali presenta valori che vanno da 60 a 100 dB. Il CMRR è un parametro particolarmente importante in quelle applicazioni in cui l'uscita dell'op-amp deve rispondere in maniera particolarmente precisa alla *differenza* fra due segnali indipendenti applicati agli ingressi dell'op-amp.

## 2.12 PARAMETRI CARATTERISTICI DEGLI OP-AMP

Un amplificatore operazionale ideale dovrebbe avere guadagno infinito, impedenza d'ingresso infinita, CMRR infinito e impedenza d'uscita nulla. Si è visto che gli op-amp reali si discostano di poco da quelli ideali. Infatti i guadagni sono dell'ordine di  $5 \times 10^4$ , l'impedenza d'ingresso ha valori compresi fra 10 k $\Omega$  e 100 M $\Omega$ , il CMRR valori da 60 a 100 dB e l'impedenza d'uscita varia da qualche decina a qualche centinaio di ohm. Prendiamo ora in esame altre caratteristiche degli op-amp, che si ritrovano sempre nelle specifiche fornite dai costruttori.

**Dinamica della tensione di uscita** È la massima tensione di picco che si può avere in uscita senza distorsione. Essa è funzione della tensione di alimentazione. In un amplificatore con tensioni di alimentazione di +6 e -6 V, l'am-

piezza picco a picco della tensione di uscita in assenza di distorsione potrebbe essere di 8 V, da  $-4$  a  $+4$  V. (In pratica però il campo di variabilità non è sempre simmetrico rispetto allo zero). La dinamica d'uscita è funzione della tensione di alimentazione e può presentare valori dal 50% all'80% dell'alimentazione stessa.

**Dinamica della tensione di ingresso di modo comune** È la massima tensione che si può applicare all'ingresso senza causare un funzionamento anomalo dell'amplificatore o danneggiarlo. Il suo valore può essere pari alla tensione di alimentazione, ma spesso si riduce ad un terzo o ad un mezzo di essa.

**Corrente di offset di ingresso** Se si alimentano ai due ingressi di un op-amp correnti continue di valore perfettamente uguale si dovrebbe avere  $V_o = 0$ . In un amplificatore reale viceversa, a causa della non perfetta simmetria dell'amplificatore differenziale di ingresso e per altre cause ancora, ciò non si verifica. Si vede invece che, per avere un bilanciamento perfetto, cioè  $V_o = 0$ , occorre che le correnti di ingresso differiscano di una quantità  $I_{io}$ , detta *corrente di offset di ingresso*. I valori tipici di  $I_{io}$ , misurata mantenendo  $V_i = 0$ , variano da 20 a 60 nA.

**Tensione di offset di ingresso** Analogamente si trova che, applicando tensioni perfettamente uguali ai due ingressi di un op-amp reale, si ha  $V_o \neq 0$ . Per ottenere  $V_o = 0$ , è necessario applicare una tensione di offset di ingresso  $V_{io}$ , che tipicamente è compresa fra 1 e 4 mV, fra i due morsetti di ingresso dell'amplificatore.

**Rapporto di reiezione per la tensione di alimentazione** Una variazione della tensione di alimentazione  $\Delta V_{cc}$  produce una variazione  $\Delta V_o$  nella tensione di uscita. Il *rapporto di reiezione per la tensione di alimentazione*  $\Delta V_o / \Delta V_{cc}$  è normalmente specificato per una tensione differenziale di ingresso  $V_i = 0$ . Tipicamente tale rapporto varia da  $10^{-5}$  a  $7 \times 10^{-5}$ .

**Risposta in frequenza** In genere gli op-amp sono dispositivi a bassa frequenza di lavoro. Tipicamente la larghezza di banda a 3 dB ad anello aperto (senza reazione) si aggira sui 100 Hz o meno. Non sono rare bande di 10 Hz. D'altra parte però il guadagno alle basse frequenze (nominalmente in continua) è così elevato che la frequenza in corrispondenza alla quale il guadagno ad anello aperto scende ad uno può essere di 1 MHz o più. L'applicazione di una reazione negativa da un lato riduce il guadagno, dall'altro aumenta la larghezza di banda. Si può pertanto ottenere un valore sufficiente del guadagno (per esempio compreso fra 1 e 10) per bande da qualche centinaio di kHz ad alcuni MHz. Esistono anche speciali tipi di op-amp a larga banda che presentano un guadagno di anello aperto costante fino a diversi kHz di frequenza e che possono fornire guadagni utili fino a 10 MHz o anche più. È necessario che le case costruttrici forniscano informazioni ampie e dettagliate circa la risposta in frequenza poiché questa dipende non solo dal guadagno



nominale ma anche dal carico capacitivo dell'uscita e dal modo in cui l'amplificatore viene compensato.

**Slew rate (velocità di variazione)** È la massima velocità di variazione della tensione di uscita. Essa è determinata dalle capacità presenti nell'amplificatore (indesiderate o deliberatamente introdotte nel circuito) che devono essere caricate e dalla massima corrente disponibile per caricarle. Lo slew rate viene misurato come  $dV_o/dt$ , applicando all'ingresso un gradino molto ripido (teoricamente con tempo di salita nullo) di ampiezza molto maggiore di quella che l'op-amp può trattare in maniera lineare e che porti l'uscita da un valore limite all'altro. Poiché nella determinazione dello slew rate l'op-amp non lavora linearmente, lo slew rate non è solamente legato alla risposta in frequenza (o, ciò che è lo stesso, al tempo di salita) dell'amplificatore limitato alla sua zona lineare. Vi sono amplificatori con slew rate che va da 50 mV/μs fino a 50 V/μs ed oltre. Nella misura di questo parametro l'uscita dell'amplificatore viene portata bruscamente da un valore limite all'altro. Di conseguenza la reazione ha scarsa efficacia e lo slew rate è quasi indipendente dal valore della reazione stessa e quindi dal valore del guadagno.

Questo parametro permette di valutare fino a che punto la velocità del segnale di ingresso influenzi il funzionamento lineare dell'amplificatore (vedi Prob. 2.12-2).

## 2.13 IL COMPARATORE

In molte applicazioni si presenta la necessità di un dispositivo in grado di fornire un'uscita  $V_o$  che assuma l'uno o l'altro di due livelli fissi di tensione continua, a seconda che il segnale di ingresso  $V_s$  sia maggiore o minore di una tensione di riferimento  $V_R$ . Tale dispositivo prende il nome di *comparatore*, poiché compara fra di loro i valori di due tensioni. Più in particolare, se le uscite sono  $V_{o1}$  e  $V_{o2}$ , allora  $V_o = V_{o1}$  quando  $V_s < V_R$  e  $V_o = V_{o2}$  quando  $V_s > V_R$ . Quando  $V_s$  passa per il valore  $V_R$ , l'uscita compie una brusca transizione da  $V_{o1}$  a  $V_{o2}$ , o viceversa, a seconda che  $V_s$  stia salendo o scendendo. (Parleremo più avanti dello stato che in pratica prevale quando si mantiene esattamente  $V_s = V_R$ ).

I comparatori del tipo sopra descritto vengono spesso impiegati per comandare *porte logiche*. Le porte logiche verranno trattate diffusamente più avanti. Per ora ci basti sapere che, per funzionare in modo corretto, esse devono venire comandate da segnali di ingresso digitali, cioè da segnali che possono assumere soltanto l'uno o l'altro di due livelli di tensione separati fra di loro da un certo intervallo minimo. Ad esempio, una porta TTL (Cap. 6) richiede un segnale di ingresso che sia o inferiore a 0,4V circa oppure superiore a 2,8 V circa. Un comparatore compatibile con questo tipo di porta deve quindi presentare  $V_o < 0,4$  V oppure  $V_o > 2,8$  V per  $V_s < V_R$  oppure  $V_s > V_R$  rispettivamente.

Tenendo conto del fatto che la risposta di un amplificatore reale è lineare soltanto in un campo limitato del segnale di ingresso, si deduce che un amplificatore ad alto guadagno può servire ottimamente da comparatore. Infatti supponiamo di realizzare un amplificatore con uscita variabile fra  $V_o = 0$  V e  $V_o = 4$  V. Supponiamo che il guadagno  $A$  sia elevato, per esempio  $A = 4000$ , e che  $V_o = 0$  V quando  $V_s = -0,5$  mV. Avremo pertanto  $V_o = 4$  V quando  $V_s$  varia di  $4/4000 = 1$  mV passando da  $-0,5$  a  $+0,5$  mV. Dunque questo comparatore è compatibile con le porte TTL. Il passaggio da un livello all'altro dell'uscita si ha quando l'ingresso passa da  $-0,5$  a  $+0,5$  mV; si potrà dire allora che il comparatore lavora con una tensione di riferimento  $V_R = 0$  V e che il suo campo di incertezza è  $\pm 0,5$  mV.

Un'ultima caratteristica di cui deve essere fornito il nostro op-amp per essere usato come comparatore, è quella di permettere la regolazione della tensione di riferimento. A tal scopo si può sfruttare una caratteristica dell'amplificatore differenziale, quella cioè di avere due ingressi, fra i quali, teoricamente, *il guadagno di modo comune è zero*. Basta quindi applicare  $V_s$  ad un ingresso e la tensione  $V_R$  all'altro ingresso. In tal modo la grandezza che controlla l'uscita è la *differenza* fra i due ingressi, sicchè se la tensione di riferimento passa da  $V_{R1}$  a  $V_{R2}$ , la tensione di ingresso che fa commutare l'uscita varierà in corrispondenza della quantità  $V_{R2} - V_{R1}$ .

## 2.14 ESEMPIO DI COMPARATORE REALIZZATO IN CIRCUITO INTEGRATO

Come esempio di comparatore del tipo descritto nel precedente paragrafo, esaminiamo il comparatore integrato Fairchild  $\mu A$  710, il cui schema circuitale interno è illustrato in Fig. 2.14-1. Lo stadio di ingresso è costituito dall'amplificatore differenziale comprendente i transistori  $T1$  e  $T2$ . Sono disponibili due ingressi, uno per la tensione di riferimento, l'altro per il segnale di ingresso. Se il segnale di ingresso  $V_s$  è applicato a  $V_1$  (e il segnale di riferimento  $V_R$  a  $V_2$ ) l'uscita  $V_o$  sarà in opposizione di fase con l'ingresso, mentre se  $V_s$  è applicato a  $V_2$  (e  $V_R$  a  $V_1$ ), l'uscita  $V_o$  sarà in fase con l'ingresso.

Abbiamo visto che per rendere più basso possibile il guadagno di modo comune è necessario mantenere il più costante possibile la corrente nel ramo che si diparte dai due emettitori collegati insieme. Per far ciò si potrebbe inserire in questo ramo un resistore di valore elevato. Ai suoi capi però si avrebbe una tensione troppo elevata, a causa della corrente di riposo che lo attraverserebbe. Il circuito comprendente  $T3$  viceversa fornisce l'elevata resistenza richiesta, senza l'inconveniente di una caduta di tensione troppo elevata. Si lascia come esercizio (Prob. 2.14-1) dimostrare che, utilizzando i parametri tipici del transistor, la resistenza incrementale vista guardando nel collettore di  $T3$  è dell'ordine di  $250$  k $\Omega$ . Più avanti si vedrà che la corrente di riposo in  $T3$  è di  $2$  mA. Se si fosse impiegato un resistore di  $250$  k $\Omega$ , con questa cor-

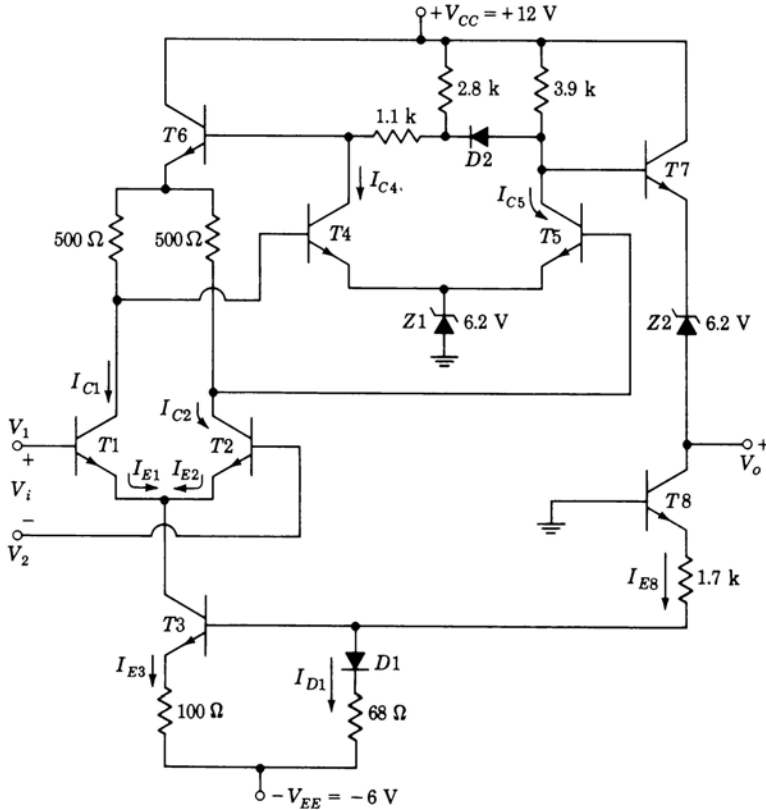


Figura 2.14-1 Schema circuitale del comparatore di tensioni  $\mu A$  710 della Fairchild.

rente di 2 mA si sarebbe venuta a creare ai capi del resistore una caduta di 500 V. Grazie all'elevata resistenza incrementale si può dimostrare che il CMRR dello stadio di ingresso vale circa  $10^4$ .

Il segnale di uscita dell'amplificatore differenziale è prelevato sul collettore di T2. Lo stadio comprendente T5 fornisce un ulteriore guadagno, mentre T7 costituisce uno stadio di uscita ad inseguitore di emettitore. I diodi zener Z1 e Z2 forniscono le tensioni in continua necessarie all'accoppiamento e permettono di avere i livelli di tensione di uscita desiderati.

Per ridurre l'ampiezza della variazione del segnale di ingresso in corrispondenza alla quale l'uscita passa da un livello all'altro, conviene aumentare il guadagno dell'amplificatore. A tal scopo si possono introdurre ulteriori stadi, oppure, seguendo un'altra strada, introdurre una *reazione positiva*. In ge-

nere negli amplificatori impiegati per riprodurre con fedeltà il segnale di ingresso non viene introdotta la reazione positiva, poichè essa influisce negativamente sulla stabilità e sulla linearità dell'amplificatore, oltre a presentare altre caratteristiche negative. In questo caso, trattandosi di un amplificatore usato come comparatore, non interessa mantenere con fedeltà la forma d'onda d'ingresso. Il comparatore lavora per lo più in una o nell'altra delle due posizioni limite, dove il guadagno è nullo. E quando  $V_s$  attraversa la zona in cui l'amplificatore presenta guadagno, è bene che l'amplificatore diventi instabile sicchè l'uscita possa commutare bruscamente da un livello limite all'altro.

La reazione positiva viene realizzata mediante i transistori  $T4$  e  $T6$ . Per comprenderne il funzionamento, supponiamo che  $V_R$  sia applicata a  $V_2$  (cioè alla base di  $T2$ ) e  $V_s$  a  $V_1$ . Se  $V_s$  aumenta, anche la tensione di collettore di  $T2$  aumenta, mentre la tensione di collettore di  $T1$  diminuisce, facendo diminuire la tensione di base di  $T4$ . Di conseguenza il collettore di  $T4$  e la base di  $T6$  salgono. Salendo la tensione della base di  $T6$ , aumenta la tensione di emettitore di  $T6$  ( $T6$  è un inseguitore di emettitore) e la tensione di collettore di  $T2$  sale ulteriormente. Così, quando un segnale di ingresso sposta la tensione di collettore di  $T2$  in su o in giù, la reazione contribuisce a spingere la tensione di collettore di  $T2$  nello stesso verso. La reazione è perciò positiva e fa aumentare il guadagno fra l'ingresso e il collettore di  $T2$ .

## 2.15 CALCOLI DI VERIFICA PER IL COMPARATORE A CIRCUITO INTEGRATO

In questo paragrafo verranno svolti alcuni calcoli di verifica relativi al comparatore integrato di Fig. 2.14-1. Per semplicità supponiamo che i transistori presentino guadagni di corrente sufficientemente elevati da consentire di trascurare le correnti di base rispetto alle correnti di emettitore e di collettore; supponiamo perciò che le correnti di collettore e di emettitore siano uguali. Come al solito assumiamo per  $V_{BE}$  i valori: 0,65 V per la tensione di soglia, 0,7 V per il transistor in zona attiva, 0,75 V per il transistor in saturazione, per  $V_{CE}$  in saturazione il valore 0,2 V.

**I livelli di uscita** Uno dei valori limite per la tensione  $V_o$  si ha quando  $V_1 - V_2$  è sufficientemente positiva da mandare in saturazione  $T5$ , nel qual caso si ha

$$V_o = V_{Z1} + V_{CE5} - V_{BE7} - V_{Z2} = 6.2 + 0.2 - 0.7 - 6.2 = -0.5 \text{ V} \quad (2.15-1)$$

L'altro valore limite si ha quando  $V_2 - V_1$  è sufficientemente positiva da interdire  $T1$  e far scendere il collettore di  $T2$  tanto da interdire  $T5$ . Se  $T1$  è OFF, nella sua resistenza di collettore da 500  $\Omega$  passa una corrente trascurabile e la tensione di collettore di  $T4$  è  $V_{C4} = V_{BE6} + V_{BE4} + V_{Z1} = 0,7 + 0,7 + 6,2 = 7,6 \text{ V}$ . Per calcolare  $V_o$  in questo caso è necessario determinare il

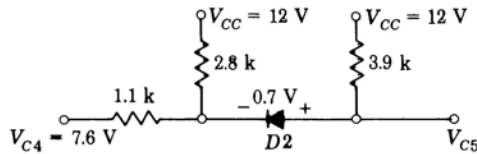


Figura 2.15-1 Schema per il calcolo di  $V_{C5}$  quando  $T5$  è interdetto.

valore di  $V_{C5}$ . Lo si calcola facilmente mediante la Fig. 2.15-1. Applicando semplicemente la legge di Ohm in questo circuito (vedi Prob. 2.15-1) si ha  $V_{C5} = 10$  V. Perciò

$$V_o = V_{C5} - V_{BE7} - V_{Z2} = 10 - 0.7 - 6.2 = 3.1 \text{ V} \quad (2.15-2)$$

Il diodo  $D2$  in Fig. 2.14-1 contribuisce in due modi a fissare il livello a 3,1 V: (1) conducendo, assorbe corrente dal resistore di collettore di  $T5$  anche quando quest'ultimo è OFF, limitando così la salita della tensione di collettore; (2) come il collegamento del collettore di  $T4$  con la base di  $T6$  fornisce una reazione positiva, così il collegamento attraverso  $D2$  di  $T5$  con  $T6$  costituisce una reazione negativa non appena  $D2$  comincia a condurre.

I due livelli di uscita sono TTL-compatibili (vedi Cap. 6), ragion per cui questo comparatore può essere impiegato per generare segnali binari per circuiti logici TTL.

**Correnti e tensioni di lavoro** Calcoleremo ora alcune correnti ed alcune tensioni quando  $V_1 = V_2$ . Il circuito di  $T3$  fornisce all'amplificatore differenziale costituito da  $T1$  e  $T2$  una corrente costante. La corrente  $I_{E3}$  può essere calcolata nel seguente modo. (Nel calcolo di questa corrente, come in altri casi, trascuriamo per semplicità le correnti di base.) Sommiamo le cadute di tensione partendo dalla base di  $T8$  fino all'alimentazione  $-V_{EE} = -6$  V:

$$V_{BE8} + 1.7 \times 10^3 I_{E8} + V_{D1} + 68 I_{D1} - 6 = 0 \quad (2.15-3)$$

Supponendo  $V_{BE8} = V_{D1} = 0,7$  V e  $I_{E8} = I_{D1}$ , troviamo  $I_{E8} = 2,6$  mA e  $V_{B3} = -5,1$  V; la tensione di emettitore  $V_{E3} = V_{B3} - V_{BE3} = -5,1 - 0,7 = -5,8$  V e  $I_{E3} = (0,2 \text{ V})/100 = 2,0$  mA. Pertanto, almeno quando  $V_1 = V_2$  e con correnti  $I_{E1} = I_{E2}$ , ciascuno dei due transistori  $T1$  e  $T2$  funziona con una corrente di 1 mA.

Ora ci interessa calcolare le correnti di lavoro di  $T4$  e  $T5$ . Sommiamo, partendo dalla massa, le cadute di tensione su  $Z1$ , sulla giunzione di emettitore di  $T4$ , sul resistore da  $500 \Omega$  (in cui passa 1 mA) del circuito di collettore di  $T1$

ed infine sulla giunzione di emettitore di  $T_6$ . La tensione di collettore di  $T_4$ ,  $V_{C4}$  è

$$V_{C4} = V_{Z1} + V_{BE4} + 500I_{C1} + V_{BE6} = 6.2 + 0.7 + 500 \times 10^{-3} + 0.7 = 8.1 \text{ V} \quad (2.15-4)$$

La caduta di tensione sul resistore da  $3,9 \text{ k}\Omega$  del collettore di  $T_4$  è di  $12 - 8,1 = 3,9 \text{ V}$ . Perciò la corrente in  $T_4$ , come in  $T_5$ , è pari ad  $1 \text{ mA}$  e  $V_{C5} = V_{C4}$ . (Con  $V_1 = V_2$ ,  $I_{C1} = I_{C2}$ ,  $I_{C4} = I_{C5}$  ed il diodo  $D2$  è in interdizione).

La tensione di uscita quando  $V_1 = V_2$  è

$$V_o = V_{C5} - V_{BE7} - V_{Z2} = 8.1 - 0.7 - 6.2 = 1.2 \text{ V} \quad (2.15-5)$$

che è circa a metà strada fra le due tensioni limite  $-0,5$  e  $3,1 \text{ V}$ .

**Il guadagno dell'amplificatore** Abbiamo dimostrato che per un comparatore è vantaggioso avere un guadagno elevato. Calcoliamo allora il guadagno del comparatore di Fig. 2.14-1. Noto il guadagno, saremo in grado di calcolare l'ampiezza del segnale di ingresso necessaria a far commutare l'uscita da un livello all'altro. Tale ampiezza dà la misura della precisione con cui il comparatore svolge la sua funzione.

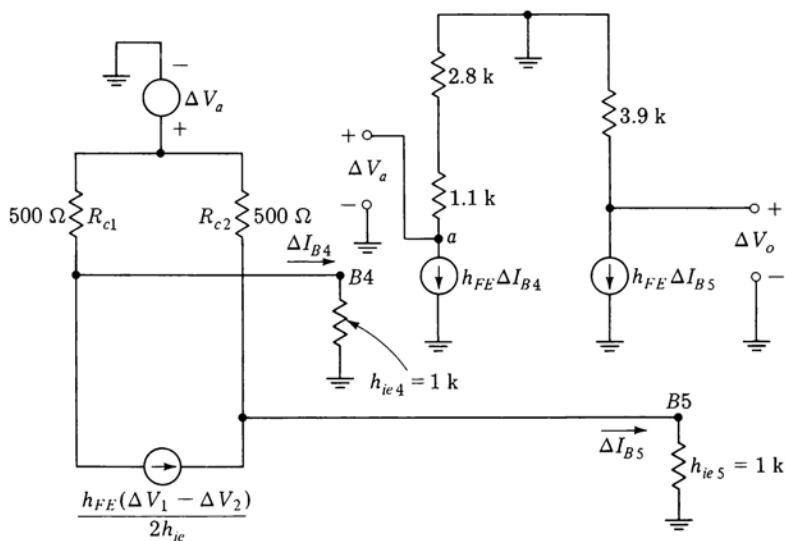


Figura 2.15-2 Circuito equivalente usato per il calcolo del guadagno del comparatore di Fig. 2.14-1.

In Fig. 2.15-2 è mostrato il circuito equivalente per il calcolo del guadagno. Ciascun transistor è stato sostituito con il suo circuito equivalente semplificato a parametri  $h$ , come in Fig. 2.5-2. Supponendo  $h_{FE} = 40$  e poichè  $I_E = 1$  mA, dall'Eq. (2.5-4) troviamo che  $h_{ie4} = h_{ie5} = 1$  k $\Omega$ . L'amplificatore differenziale è sostituito dal suo circuito equivalente riportato in Fig. 2.5-4. Il transistor  $T_6$ , che costituisce il collegamento di reazione, e  $T_7$ , che è il transistor di uscita, sono entrambi inseguitori di emettitore; supponiamo che essi abbiano guadagno unitario e un'impedenza di ingresso sufficientemente elevata da poter essere trascurata. Il diodo  $D_2$  è stato omissso dalla figura poichè, quando  $\Delta V_1$  e  $\Delta V_2$  sono piccoli, è polarizzato inversamente.

Abbiamo allora

$$\Delta I_{B4} = \frac{\Delta V_a}{1\,500} - \frac{500}{500 + 1\,000} \frac{h_{FE}}{2h_{ie}} (\Delta V_1 - \Delta V_2) \quad (2.15-6a)$$

$$\Delta I_{B5} = \frac{\Delta V_a}{1\,500} + \frac{500}{500 + 1\,000} \frac{h_{FE}}{2h_{ie}} (\Delta V_1 - \Delta V_2) \quad (2.15-6b)$$

e

$$\Delta V_a = -3\,900 h_{FE} \Delta I_{B4} \quad (2.15-7)$$

Usando le equazioni (2.15-6a) e (2.15-7) e considerando che

$$\Delta V_o = -3\,900 h_{FE} \Delta I_{B5} \quad (2.15-8)$$

risulta che il guadagno del comparatore è  $A \equiv \Delta V_o / (\Delta V_1 - \Delta V_2) = 2.030$ . Poichè l'escursione massima dell'uscita è  $3,1 - (-0,5) = 3,6$  V, la corrispondente ampiezza del segnale di ingresso è  $3,6/2.030 \approx 2$  mV.

Per ultimo vediamo di spiegare la funzione del transistor  $T_8$  d Fig. 2.14.1. Teniamo conto del carico pilotato dal comparatore. Quando  $V_o$  è a livello alto, la corrente *totale* (non l'incrementale) al terminale d'uscita *esce* dal comparatore; in questo caso il comparatore fornisce corrente; è, come si dice, una *sorgente* di corrente. Quando invece l'uscita  $V_o$  è a livello basso, la corrente totale d'uscita *entra* nel comparatore, per cui esso *assorbe* corrente. Il fatto di fornire corrente ad un livello di tensione e di assorbire corrente all'altro livello, è una caratteristica propria non solo del comparatore, ma della maggior parte dei circuiti digitali che prenderemo in considerazione.

Ritornando alla Fig. 2.14-1, notiamo che  $T_7$  è in grado solo di fornire corrente, ma non di assorbita, in quanto la sua corrente di emettitore non può cambiar verso. È invece il transistor  $T_8$  che provvede ad assorbire la corrente. Quando  $V_o = -0,5$  V, la giunzione di collettore di  $T_8$  è polarizzata direttamente e  $T_8$  si viene a trovare in saturazione. Il valore della corrente che può assorbire è limitato principalmente dal resistore di emettitore da 1,7 k $\Omega$ . Quando  $V_o = 3,1$  V, il transistor  $T_8$  è in zona attiva. A causa della

caduta di tensione su  $T8$ , la corrente nel resistore da  $1,7 \text{ k}\Omega$  — corrente che si sottrae alla corrente disponibile in uscita — è minore di quella che si avrebbe se  $T8$  non ci fosse.

Non ci sono particolari motivi per collegare il resistore da  $1,7 \text{ k}\Omega$  a  $D1$ ; in linea di principio questo resistore potrebbe essere collegato direttamente all'alimentazione di  $-6 \text{ V}$ . Occorrerebbe però un nuovo resistore fra  $D1$  e  $V_{CC}$  per portare  $D1$  in conduzione. La connessione indicata in figura elimina pertanto un resistore e riduce di un poco l'assorbimento dall'alimentatore.

**Effetti della temperatura** Determiniamo ora le variazioni della tensione di uscita  $V_o$  causate da variazioni di temperatura. Supponiamo dapprima  $V_o = -0,5 \text{ V}$ , caso che si verifica quando  $T5$  è in saturazione. Dalla Fig. 2.14-1 abbiamo

$$V_o = V_{Z1} + V_{CE5}(\text{sat}) - V_{BE7} - V_{Z2} \quad (2.15-9)$$

Poichè i diodi zener  $Z1$  e  $Z2$  hanno la stessa tensione di zener, supponiamo che le loro variazioni di tensione con la temperatura siano uguali. In pratica, come si è visto nel Par. 1.4, per una tensione di zener pari a  $6,2 \text{ V}$  il coefficiente termico del diodo vale circa zero. Trascurando la variazione con la temperatura di  $V_{CE5}$ , perchè  $T5$  è in saturazione, abbiamo

$$\frac{\Delta V_o}{\Delta T} = -\frac{\Delta V_{BE7}}{\Delta T} = +2 \text{ mV}/^\circ\text{C} \quad (2.15-10)$$

Da ciò deriva che, in un intervallo di temperatura da  $-55$  a  $+125$   $^\circ\text{C}$ , la tensione di uscita varia da  $-0,66$  a  $-0,3 \text{ V}$ .

Supponiamo ora  $V_o = 3,1 \text{ V}$ . In questo caso  $T5$  e  $T1$  sono interdetti. Il circuito incrementale equivalente da usare per il calcolo di  $\Delta V_{CS}$  in funzione di una variazione della temperatura  $\Delta T$  è illustrato in Fig. 2.15-3. Si noti che è stato ommesso il resistore da  $500 \Omega$  sul collettore di  $T1$ , poichè supponiamo che  $T1$  sia interdetto e che in  $T4$  scorra una corrente di base trascurabile. Si noti ancora che in questo circuito le tensioni base-emettitore sono rappresentate dal loro valore incrementale  $-k\Delta T$ .

Analizzando la Fig. 2.15-3 (vedi Prob. 2.15-4) troviamo

$$\Delta V_{CS} \approx -2k \Delta T \quad (2.15-11)$$

Pertanto dalla Fig. 2.14-1,

$$\begin{aligned} \Delta V_o &= -\Delta V_{BE7} + \Delta V_{CS} \approx k \Delta T - 2k \Delta T \\ &= -k \Delta T \end{aligned} \quad (2.15-12a)$$

$$\text{e} \quad \frac{\Delta V_o}{\Delta T} = -2 \text{ mV}/^\circ\text{C} \quad (2.15-12b)$$



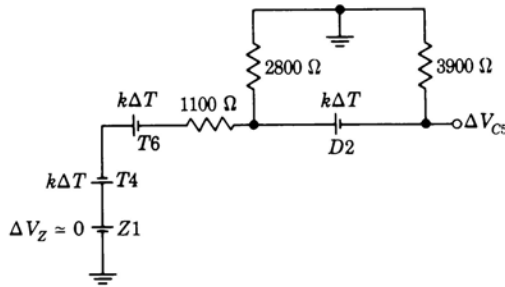


Figura 2.15-3 Circuito equivalente usato per il calcolo della variazione  $\Delta V_{cs}$  dovuta alla variazione di temperatura  $\Delta T$  quando  $V_o = 3,1$  V.

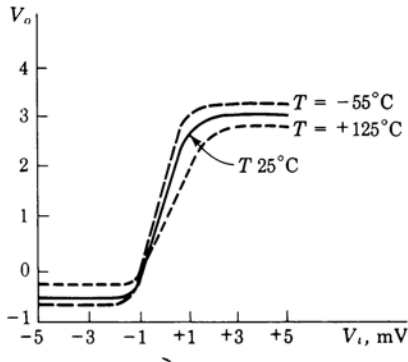


Figura 2.15-4 Caratteristica di trasferimento del comparatore.

Si noti che con l'uscita al livello alto ( $V_o = 3,1$  V), la dipendenza dalla temperatura è uguale, ma di segno opposto, a quella corrispondente al livello basso dell'uscita ( $V_o = -0,5$  V).

La Fig. 2.15-4 illustra le caratteristiche di trasferimento del comparatore in esame determinate per via sperimentale, come sono fornite dal costruttore. Si osservi che sia per quanto riguarda la sensibilità termica che per quanto riguarda l'ampiezza dei segnali di ingresso e di uscita, le curve confermano sostanzialmente i nostri calcoli.

## 2.16 CARATTERISTICHE DEI COMPARATORI REALI

Poichè i comparatori, come gli op-amp, sono degli amplificatori differenziali ad alto guadagno, non deve sorprendere che alcune delle caratteristiche fornite dalle case costruttrici per i comparatori siano le stesse che per gli op-amp. I comparatori presentano *tensioni di offset di ingresso* pressochè uguali a

quelle degli op-amp, mentre le *correnti di offset di ingresso* sono più alte nei comparatori. La corrente di offset per un comparatore è dell'ordine di  $5\text{ }\mu\text{A}$  mentre per un op-amp è di circa  $50\text{ nA}$ . (Nei comparatori questi parametri di offset sono misurati mantenendo l'uscita a metà fra i due livelli limite.)

Sia gli op-amp che i comparatori presentano rapporti di reiezione al modo comune compresi fra 60 e 100 dB. Un comparatore deve avere un alto CMRR affinché, quando varia la tensione di riferimento, vari esattamente della stessa quantità anche il punto di commutazione. Mentre però per gli op-amp i guadagni sono dell'ordine dei 100 dB, per i comparatori i guadagni sono generalmente di circa 60 dB. Questo perché, anche se per entrambi i dispositivi è bene che il guadagno sia alto, le loro modalità di impiego sono molto diverse. Negli op-amp un elevato guadagno di anello aperto consente, usando la reazione negativa, di realizzare un dispositivo con guadagno di amplificazione piuttosto basso, ma con caratteristiche quasi del tutto indipendenti dai parametri dell'amplificatore stesso e dipendenti soltanto dai componenti esterni, generalmente passivi, del circuito di reazione.

Nei comparatori invece non viene impiegata la reazione negativa, per cui viene meno l'effetto stabilizzante dovuto alla reazione stessa. Pertanto al crescere del guadagno il comparatore dimostra crescente instabilità e tendenza ad oscillare. Comunque, se si innescano oscillazioni, queste si verificano solo quando il comparatore si trova in zona di guadagno elevato e non quando l'uscita è fissa ad uno dei suoi due livelli limite. Supponiamo di far commutare il comparatore da un livello all'altro in un tempo molto breve rispetto al periodo dell'oscillazione. In tal caso l'instabilità, come nel circuito di Schmitt che vedremo più avanti, può effettivamente accelerare la commutazione e quindi costituisce un fattore positivo. Se invece il segnale di ingresso varia lentamente mantenendo il comparatore per un tempo relativamente lungo nella zona di transizione, possono manifestarsi numerosi cicli di oscillazione che vengono ad inficiare il corretto funzionamento del comparatore.

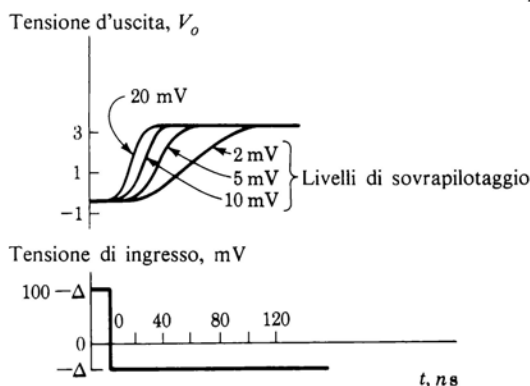


Figura 2.16-1 Risposte del comparatore ad un segnale di ingresso di 100 mV, per diversi livelli di sovra-pilotaggio.

Un parametro di grande interesse è il *tempo di risposta* del comparatore. A questo proposito le case costruttrici forniscono diagrammi come quello di Fig. 2.16-1, che si riferisce al circuito di Fig. 2.14-1. Il segnale differenziale di ingresso è posto inizialmente a 100 mV, valore che, essendo molto più elevato della tensione  $\pm 1$  mV necessaria per far commutare il comparatore, garantisce che parte dei transistori del comparatore siano portati in piena saturazione. Supponiamo dapprima che il segnale compia un'escursione di 100 mV, passi cioè da 100 mV a 0 V, in modo da portare l'uscita esattamente a metà fra il livello massimo e il livello minimo. Questa escursione viene indicata come quella che porta l'ingresso al livello di sovra-pilotaggio zero. La forma d'onda di ingresso viene poi traslata tutta verso il basso di  $\Delta = 2$  mV, per cui il suo livello inferiore scende a  $-2$  mV. L'uscita del comparatore passa ora dal suo livello inferiore a quello superiore secondo la curva di Fig. 2.16-1 indicata con «livello di sovra-pilotaggio 2 mV». Sono rappresentate anche le curve relative a livelli di sovra-pilotaggio più alti. Queste curve forniscono informazioni sia sul ritardo fra il comando di ingresso e l'inizio della risposta dell'uscita (ritardo dovuto soprattutto al tempo necessario per portare i transistori fuori dalla zona di saturazione), sia sul tempo impiegato dal comparatore per attraversare la zona di transizione.

## 2.17 IL TRIGGER DI SCHMITT

Abbiamo visto che il comparatore è un amplificatore di segnali differenziali ad alto guadagno, in cui i valori limite della tensione di uscita vengono fissati in funzione del dispositivo che deve essere pilotato dal comparatore stesso. Si è fatta inoltre notare la presenza nel circuito di Fig. 2.14-1 di una reazione positiva che provoca un aumento del guadagno. Prendiamo ora in considerazione un comparatore particolare, il trigger di Schmitt, in cui la reazione positiva è tanto forte da far sì che il comparatore presenti una zona di instabilità.

Consideriamo l'amplificatore differenziale di Fig. 2.17-1, in cui si è introdotta la reazione collegando l'uscita con il terminale *non invertente* dell'amplificatore. La reazione è *positiva*, o *rigenerativa*: il suo effetto è quello di far aumentare il guadagno reazionato dell'amplificatore  $A_f \equiv \Delta V_o / \Delta V_s$ . Il guadagno dell'amplificatore vero e proprio (cioè senza reazione) per il segnale differenziale  $V_i$  sia  $-A \equiv \Delta V_o / V_i$  e sia  $\beta \equiv R_1 / (R_1 + R_2)$  il guadagno della rete di reazione. Si ha allora

$$\Delta V_o = -A \Delta V_i = -A[\Delta V_s - \beta \Delta V_o] \quad (2.17-1)$$

sicché il guadagno reazionato diventa

$$A_f \equiv \frac{\Delta V_o}{\Delta V_s} = \frac{-A}{1 - \beta A} \quad (2.17-2)$$

Il prodotto  $\beta A \equiv T$  è detto guadagno di anello<sup>3</sup>. Quando  $T = 0$ ,  $A_f = -A$ ; il valore di  $A_f$  aumenta con  $T$  e diventa infinito per  $T = 1$ . Un ulteriore aumento di  $T$  inverte il segno di  $A_f$ .

Supponiamo ora che, quando  $T = 0$ , l'amplificatore presenti una caratteri-

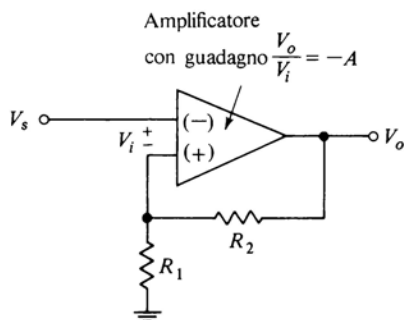


Figura 2.17-1 Configurazione base del trigger di Schmitt.

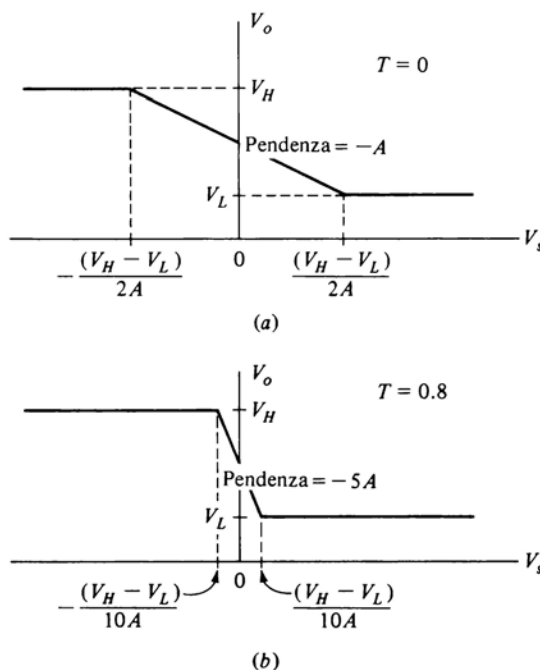


Figura 2.17-2 Caratteristica di trasferimento dell'amplificatore di Fig. 2.17-1 (a) quando  $T = 0$  e (b) quando  $T = 0,8$ .

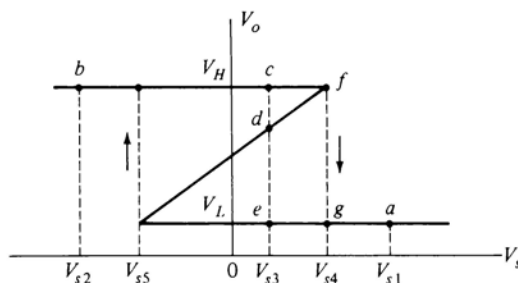


Figura 2.17-3 Caratteristica di trasferimento dell'amplificatore di Fig. 2.17-1 con  $T > 1$ . In questo caso  $A_f = A/(\beta A - 1) > 0$ .

stica di ingresso-uscita come quella di Fig. 2.17-2a. I livelli limite dell'uscita dell'amplificatore siano  $V_H$  e  $V_L$ , rispettivamente per la tensione alta e bassa. L'ampiezza dell'ingresso  $V_s$  ( $= V_i$  in questo caso) richiesta per far passare l'amplificatore da un livello limite all'altro è simmetrica rispetto a  $V_s = 0$  e si estende fra  $\pm (V_H - V_L)/2A$ . Se  $T$  viene fatto aumentare fino a 0,8, l'Eq. (2.17-2) dà  $A_f = -5A$  ed il diagramma ingresso-uscita corrispondente è mostrato in Fig. 2.17-2b.

Quando  $T$  diventa maggiore di 1,  $A_f$  diventa positivo e la caratteristica di trasferimento assume l'aspetto di Fig. 2.17-3. Quando il comparatore lavora in questo modo, cioè con  $T > 1$ , prende il nome di *trigger di Schmitt*. Quando  $V_s$  vale  $V_{s1}$  oppure  $V_{s2}$ , il punto di lavoro del circuito è in  $a$  oppure in  $b$ , rispettivamente. Quando  $V_s = V_{s3}$  sono possibili i tre punti di equilibrio  $c$ ,  $d$ ,  $e$ . Il punto  $d$  è di equilibrio *instabile*. Il trigger di Schmitt può rimanere teoricamente per un tempo indefinito nel punto di lavoro  $d$ , ma basta una perturbazione anche piccola per farlo passare dallo stato  $d$  agli stati  $c$  o  $e$ , a seconda del verso della perturbazione. (Nel Prob. 2.17-1 verrà esaminata a fondo l'instabilità del punto di lavoro  $d$ .) Per ora è sufficiente notare che l'equazione del guadagno (2.17-2) rappresenta una relazione a regime fra  $V_o$  e  $V_s$ . (Non tiene conto del tempo di risposta dell'amplificatore dovuto alle capacità, ecc.) Con  $V_s = V_{s3}$  sono dunque possibili due punti di lavoro stabili:  $c$  ed  $e$ . Il trigger si troverà nell'uno o nell'altro a seconda delle sue condizioni precedenti.

Supponiamo allora di aumentare  $V_s$  partendo dal punto  $b$ , dove  $V_s = V_{s2}$ . Il punto di lavoro si troverà allora al livello  $V_o = V_H$ . Quando  $V_s$  supera  $V_{s4}$ , cioè il punto  $f$ , non ci sono più altri punti della caratteristica al livello  $V_o = V_H$ , per cui il punto di lavoro deve saltare a  $g$ , dove  $V_o = V_L$ . In modo analogo, partendo dal valore iniziale  $V_s = V_{s1}$ , al diminuire di  $V_s$  si avrà un salto da  $V_L$  a  $V_H$  quando  $V_s$  passa per  $V_{s5}$ . Faremo vedere ora che la

caratteristica del trigger di Schmitt (Fig. 2.17-3) differisce da quella del comparatore (Fig. 2.17-2) per due aspetti molto importanti.

Innanzitutto si osservi che in Fig. 2.17-3 le transizioni da  $V_H$  a  $V_L$  e da  $V_L$  a  $V_H$  avvengono per tensioni di ingresso diverse, cioè rispettivamente per  $V_{s4}$  e  $V_{s5}$ . Il trigger di Schmitt quindi presenta un'isteresi. L'ampiezza dell'isteresi  $H \equiv V_{s4} - V_{s5}$ , come si può verificare (Prob. 2.17-2), è data da

$$H = \frac{T-1}{A} (V_H - V_L) \quad (2.17-3)$$

Non è possibile utilizzare il trigger di Schmitt come comparatore in quanto per i comparatori l'isteresi è inaccettabile. Teoricamente si potrebbe eliminare l'isteresi ponendo esattamente  $T = 1$ ; in pratica però non si riesce ad ottenere un guadagno di anello che si mantenga per un certo tempo al valore 1. Pertanto i comparatori vengono fatti lavorare con  $T$  sufficientemente inferiore all'unità, mentre il trigger di Schmitt lavora con  $T > 1$ .

Si noti inoltre che nel trigger di Schmitt la velocità di commutazione dell'uscita è determinata dalla velocità di risposta dello stesso amplificatore-comparatore base; la velocità di commutazione dell'uscita non dipende cioè, co-

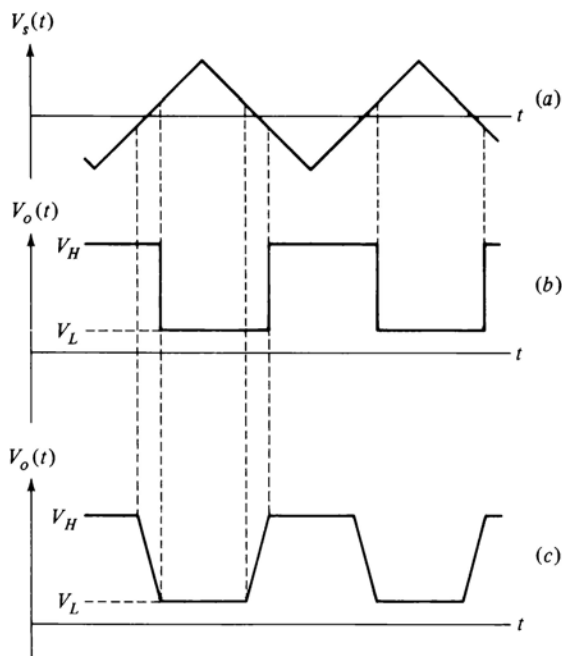


Figura 2.17-4 (a) Segnale di ingresso  $V_s(t)$ . (b) Segnale di uscita di un trigger di Schmitt ideale con  $T = 1,2$ . (c) Segnale di uscita di un comparatore con  $T = 0,8$ .

me nel caso dei comparatori per i quali  $T < 1$ , dalla velocità con cui il segnale di ingresso compie la sua escursione. Per questo motivo il trigger di Schmitt trova applicazione come comparatore nei casi in cui i tempi di salita e di discesa dei segnali di ingresso sono lunghi e contemporaneamente è richiesta una commutazione delle uscite molto rapida. Per esempio ci sono dispositivi che devono sentire i fronti di salita o di discesa di segnali di ingresso che vengono loro inviati attraverso impedenze capacitive. Se la velocità di salita o di discesa è piuttosto lenta, i segnali di ingresso subiscono una attenuazione talvolta inaccettabile. In questo caso si può efficacemente inserire un trigger di Schmitt che trasformi i segnali di ingresso, lentamente variabili, in segnali con fronti di salita e di discesa estremamente ripidi.

In Fig. 2.17-4 sono rappresentate le risposte di un trigger di Schmitt e di un comparatore ad un segnale di ingresso lentamente variabile. In entrambi i casi è stato previsto un guadagno di anello tale per cui risulti  $|A_f| = 5A$ . Notiamo che la commutazione dell'uscita del trigger di Schmitt si verifica sempre dopo che  $V_s$  ha tagliato l'asse delle ascisse. Per quanto riguarda il tempo di transizione vediamo che quello del comparatore è un quinto del tempo di transizione che si avrebbe senza reazione, poiché il guadagno è  $|A_f| = 5A$ . Invece il tempo di transizione del trigger di Schmitt è indipendente dai tempi di salita e di discesa di  $V_s$ . Naturalmente ci sono tempi di ritardo, tempi di salita e di discesa associati al comparatore base stesso che non sono stati evidenziati in Fig. 2.17-4.

## 2.18 ESEMPIO DI TRIGGER DI SCHMITT

In Fig. 2.18-1 è rappresentato lo schema di un trigger di Schmitt disponibile sul mercato. I suoi livelli di uscita sono adatti a pilotare le porte logiche ECL, che saranno trattate nel Cap. 7. I transistori  $T1$  e  $T2$  costituiscono un amplificatore differenziale, mentre  $T3$  ed  $R_e$  costituiscono un generatore di corrente costante. Due stadi ad inseguitore di emettitore ( $T4$  e  $T5$ ) fungono da adattatori di uscita. Nel circuito integrato è compreso un regolatore di tensione (non indicato in figura) che fornisce i  $-3,9$  V richiesti dalla base di  $T3$ . I resistori  $R_1$  ed  $R_2$ , che costituiscono la reazione positiva, non fanno parte del circuito integrato, ma sono connessi esternamente.

Nei calcoli che seguiranno, come si è già fatto in precedenza, considereremo la corrente di base di ogni transistor trascurabile, sicché le correnti di emettitore e di collettore coincideranno. Posto  $V_{BE3} = 0,7$  V, troviamo

$$I_{E3} = \frac{-3,9 - 0,7 + 5,2}{175} = 3,4 \text{ mA} \quad (2.18-1)$$

Quando l'amplificatore differenziale è bilanciato, le correnti saranno:  $I_{E1} =$

$I_{E2} = I_{E3}/2 = 1,7 \text{ mA}$ . Usando l'Eq. (2.5-8), risulta che il guadagno dell'amplificatore differenziale  $-A \equiv \Delta V_o / \Delta V_i$ , dove  $V_i = V_{B1} - V_{B2}$ , è

$$-A = \frac{-(I_{E3}/2)R_c}{2V_T} = -\frac{(1,7 \times 10^{-3})(300)}{2(25 \times 10^{-3})} = -10,2 \quad (2.18-2)$$

In realtà l'uscita  $V_o$  è presa sull'emettitore di  $T4$ ; tuttavia, poiché supponiamo che l'inseguitore di emettitore comprendente  $T4$  abbia guadagno unitario, il guadagno dell'amplificatore rimane invariato. (Per comodità è anche disponibile l'uscita  $V'_o$ . Quando  $V_o = V_H$ ,  $V'_o = V_L$  e viceversa.)

Si ha il livello alto  $V_o = V_H$  quando attraverso il resistore di collettore di  $T1$ ,  $R_c = 300 \Omega$ , non passa alcuna parte della corrente  $I_{E3}$ . Si ha il livello basso  $V_o = V_L$  quando tutta la corrente  $I_{E3}$  passa attraverso il resistore di collettore  $R_c$  di  $T1$ . Pertanto  $V_H - V_L = R_c I_{E3}$ . Il valore dell'isteresi  $H$  si ricava dall'Eq. (2.17-3) e risulta:

$$H = \frac{T-1}{A} (V_H - V_L) = \frac{[R_1/(R_1 + R_2)]A - 1}{A} R_c I_{E3} \quad (2.18-3)$$

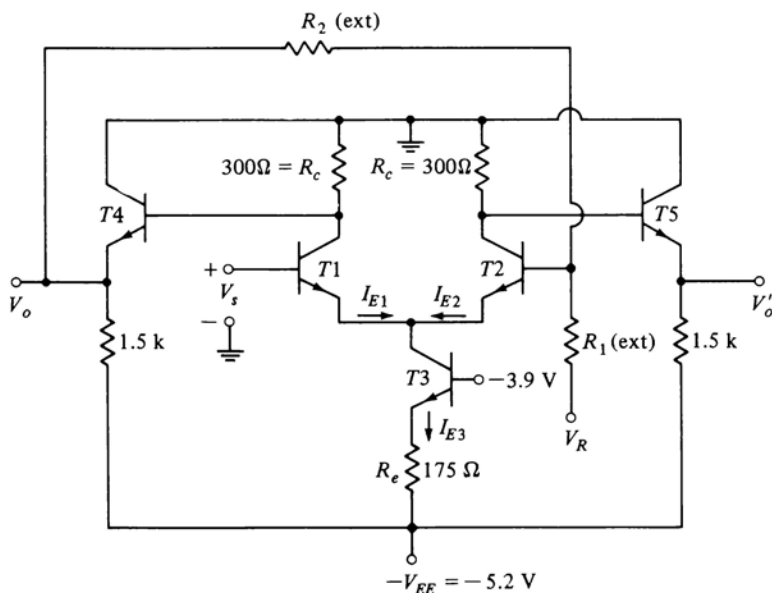


Figura 2.18-1 Il trigger di Schmitt a circuito integrato Motorola 1035.



Usando l'Eq. (2.18-2) otteniamo

$$H = R_c I_{E3} \frac{R_1}{R_1 + R_2} - 4V_T \quad (2.18-4)$$

Se, tipicamente,  $R_1 = 200 \, \Omega$ ,  $R_2 = 500 \, \Omega$ ,  $I_{E3} = 3,4 \, \text{mA}$ ,  $R_c = 300 \, \Omega$  e  $V_T = 25 \times 10^{-3} \, \text{V}$ , si trova  $H = 190 \, \text{mV}$ .

**Regolazione della tensione di scatto del trigger di Schmitt** Prendiamo in esame la funzione di trasferimento del trigger di Schmitt per determinare quali siano i livelli di tensione di ingresso che fanno commutare l'uscita, cioè le *tensioni di scatto*. Dimosteremo che questi livelli dipendono dalla tensione di riferimento  $V_R$ .

Per determinare la funzione di trasferimento di  $V_o$  rispetto  $V_s$  ci riferiamo alla Fig. 2.18-1, da cui si vede che  $V_i = V_{B1} - V_{B2}$  vale

$$V_i = V_s - \left( \frac{R_1}{R_1 + R_2} V_o + \frac{R_2}{R_1 + R_2} V_R \right) \quad (2.18-5)$$

Nella zona di funzionamento lineare [in cui  $A_f = A/(T-1)$ ], la tensione di ingresso vale  $V_i = 0$  quando  $V_o = -I_{E3} R_c/2 - 0,7 \approx -1,2 \, \text{V}$ . Applicando l'Eq. (2.18-5), si vede che, se  $V_i = 0$  e  $V_o = -1,2 \, \text{V}$ ,

$$V_s = - \left[ \frac{R_1}{R_1 + R_2} (1.2) - \frac{R_2}{R_1 + R_2} V_R \right] \quad (2.18-6)$$

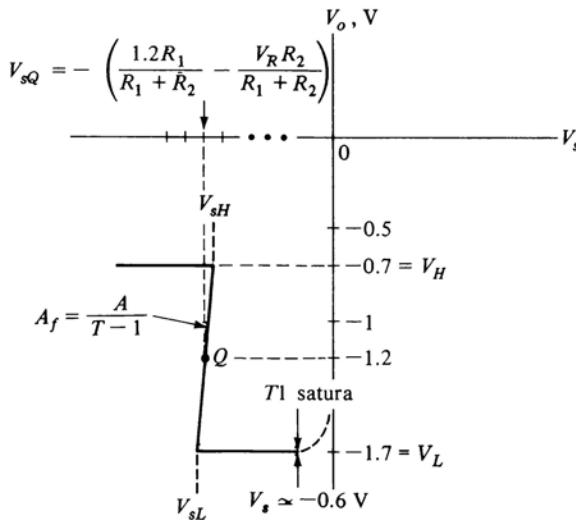


Figura 2.18-2 Caratteristica di trasferimento del trigger di Schmitt illustrato in Fig. 2.18-1.

Mediante le Eq. (2.18-6) e (2.17-2) possiamo determinare la funzione di trasferimento illustrata in Fig. 2.18-2. Nella figura,  $Q$  rappresenta il punto in cui  $V_i = 0$ ,  $V_o = -1,2$  V e  $V_s = V_{sQ}$  è dato dall'Eq. (2.18-6). La pendenza della funzione di trasferimento nel punto  $Q$  rappresenta il guadagno  $\Delta V_o / \Delta V_s = A_f = A / (T - 1)$  [vedi Eq. (2.17-2)]. Il livello massimo della tensione d'uscita  $V_H$  si ha quando tutta la corrente  $I_{E3}$  attraversa  $T2$ , sicchè  $T1$  è interdetto; il valore di tale tensione è  $V_o = -0,7$  V. Il livello minimo della tensione di uscita  $V_L$  si ha quando tutta la corrente  $I_{E3}$  attraversa  $T1$ , per cui

$$V_o = V_L = -0,7 - I_{E3} R_c \approx -0,7 - 1,02 \approx -1,7 \text{ V} \quad (2.18-7)$$

È interessante notare che se  $V_s$  supera il valore di  $-0,6$  V,  $T1$  comincia ad entrare in saturazione e la tensione di uscita sale. A questo risultato si giunge facilmente osservando la Fig. 2.18-1, in cui si vede che  $V_{C1} = -1$  V quando  $V_o = -1,7$  V. Per tenere  $T1$  nettamente fuori dalla zona di saturazione occorre che  $V_{CE1} > 0,3$  V. Poiché allora  $V_{BE1} \approx 0,7$  V, si trova  $V_s < -0,6$  V.

Le tensioni di scatto  $V_{sH}$  e  $V_{sL}$  indicate in Fig. 2.18-2 sono uguali a  $V_{sQ} \pm H/2$ , dove  $H$  è data dall'Eq. (2.18-4). Ad esempio, se come prima  $R_1 = 200 \Omega$  e  $R_2 = 500 \Omega$  e vogliamo ottenere  $V_{sQ} = -2$  V, mediante l'Eq. (2.18-6) possiamo calcolare il valore della tensione di riferimento, che risulta essere  $V_R = -2,32$  V.

## BIBLIOGRAFIA

- 1 Connelly, J.A. (ed.): «Analog Integrated Circuits», Wiley-Interscience, New York, 1975.
- 2 Wait, J. V., L. P. Huelsman, and G. A. Korn: «Introduction to Operational Amplifier Theory and Applications», McGraw-Hill, New York, 1975.
- 3 Schilling, D. L., and C. Belove: «Electronic Circuits: Discrete and Integrated», chap. 8. McGraw-Hill, New York, 1968.

## CAPITOLO 3

# CIRCUITI LOGICI

### 3.1 INTRODUZIONE

Nei sistemi digitali si incontrano variabili che presentano la particolarità di assumere due soli valori possibili. Per esempio, nei sistemi digitali elettrici una tensione, o una corrente, variabile presenterà una forma d'onda tipica (ideale) come quella illustrata in Fig. 3.1-1, in cui la tensione  $V$  compie brusche transizioni fra i due livelli  $V_1$  e  $V_2$ . Idealmente considereremo le transizioni che avvengono agli istanti  $t = t_1, t_2$ , ecc. così brusche da poter affermare che in ogni istante  $V = V_1$  oppure  $V = V_2$ , senza possibilità che  $V$  assuma altri valori. D'altronde anche se le transizioni non sono istantanee, possiamo sempre prendere in considerazione la forma d'onda solo nei tratti in cui  $V = V_1$  oppure  $V = V_2$ . In Fig. 3.1-1 abbiamo preso  $V_1$  positiva e  $V_2$  negativa. Ciò non è però essenziale.  $V_1$  e  $V_2$  possono essere entrambe positive o entrambe negative, oppure una delle due può assumere il valore zero.

Possiamo definire il valore della funzione  $V(t)$  in ogni istante dicendo che  $V = V_1$  oppure  $V = V_2$ ; grazie alla particolare forma d'onda di  $V$  possiamo anche dire che  $V$  è «alto» oppure «basso», «su» oppure «giù», ecc. In pratica, scelte due parole qualsiasi, possiamo arbitrariamente associare una delle due parole ad un livello di tensione e l'altra all'altro livello di tensione.

Per evidenziare che ad ogni istante  $V$  può avere l'uno o l'altro valore, ma non entrambi, è opportuno scegliere due parole che abbiano significati opposti e

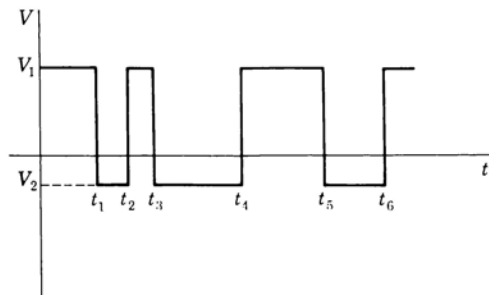


Figura 3.1-1 Forma d'onda ideale tipica dei sistemi digitali.

che si escludano a vicenda. Per questa ragione e per altre che spiegheremo più avanti, useremo i termini «vero» (T: *true*) e «falso» (F: *false*). È necessario, in tutti gli esempi, specificare se «vero» rappresenta il livello  $V = V_1$  oppure il livello  $V = V_2$ . Naturalmente «falso» rappresenterà l'altro livello. Se decidiamo arbitrariamente di indicare con «vero» il livello di tensione più positivo e con «falso» quello più negativo, adottiamo la convenzione della logica *positiva*. Se scegliamo la convenzione opposta, abbiamo la logica *negativa*.

In un sistema digitale possiamo trovare parecchie variabili binarie (cioè a due valori) del tipo della variabile  $V$  rappresentata in Fig. 3.1-1. Rimane sottinteso che in uno stesso sistema digitale tutte le variabili binarie devono variare fra la stessa coppia di valori alternativi; per esempio, in un sistema elettrico in cui le variabili binarie siano costituite dalle tensioni  $V_A, V_B, \dots$ , tutte le tensioni dovranno commutare fra gli stessi due livelli, poniamo +6 V e -2 V.

### 3.2 FUNZIONI DI UNA SOLA VARIABILE BINARIA

Sia  $A$  una variabile binaria e  $Z$  un'altra variabile binaria funzione di  $A$ . Allora

$$Z = f(A) \quad (3.2-1)$$

Quali sono le relazioni funzionali possibili fra  $Z$  ed  $A$ ? Poiché  $A$  può essere vera o falsa (T o F) e  $Z$  è anch'essa T o F, sono possibili due sole relazioni funzionali. Una possibilità è che quando  $A$  è vera anche  $Z$  sia vera e quando  $A$  è falsa anche  $Z$  sia falsa. In tal caso possiamo scrivere

$$Z = A \quad (3.2-2)$$

Viceversa può accadere che, qualunque sia il valore di  $A$ ,  $Z$  assuma il valore opposto. In questo caso quando  $A$  è vera,  $Z$  è falsa e viceversa. Tale relazione si scrive

$$Z = \bar{A} \quad (3.2-3)$$

e si legge « $Z$  uguale ad  $A$  *negato*» oppure « $Z$  uguale al *complemento* di  $A$ ». L'Eq. (3.2-3) dice per esempio che quando  $A$  è vera,  $Z$  non è vera, cioè è falsa. Le espressioni (3.2-2) e (3.2-3) esauriscono tutte le possibili funzioni di una sola variabile binaria.

Si noti che il complemento del complemento di una variabile è la variabile stessa, cioè

$$\bar{\bar{A}} = A \quad (3.2-4)$$

### 3.3 FUNZIONI DI DUE VARIABILI BINARIE

Supponiamo ora che la variabile binaria  $Z$  sia funzione di due variabili bina-

rie,  $A$  e  $B$ , cioè che  $Z = f(A, B)$ . Una funzione è *definita* quando si fornisce una regola, od un altro tipo di informazione, in base alla quale la variabile dipendente  $Z$  può essere determinata se sono determinate le variabili indipendenti  $A$  e  $B$ . Supponiamo che le variabili indipendenti siano continue e perciò assumano infiniti valori. In tal caso una funzione viene generalmente definita specificando un'operazione matematica da compiere sulle variabili indipendenti al fine di determinare i valori della variabile dipendente.

Nel nostro caso invece, poichè  $A$  e  $B$  possono assumere solo due valori ciascuna, sono possibili in tutto solo quattro combinazioni delle due variabili. Possiamo quindi definire la funzione  $Z = f(A, B)$  specificando i valori di  $Z$  corrispondenti a ciascuna combinazione di  $A$  e  $B$ . Nelle Tab. 3.3-1 e 3.3-2 sono riportate due diverse funzioni  $f(A, B)$  e  $g(A, B)$  in forma tabulare. In ciascuna tabella sono elencate le quattro possibili combinazioni di  $A$  e  $B$ , mentre nella colonna di destra sono indicati i corrispondenti valori di  $Z$ . Queste tabelle prendono il nome di *tavole di verità* poichè mettono in evidenza le condizioni in cui  $Z$  è vera oppure falsa. Le funzioni riportate nelle Tab. 3.3-1 e 3.3-2 a titolo di esempio sono state scelte perchè rivestono particolare interesse e importanza.

Tabella 3.3-1

$A$	$B$	$Z = f(A, B)$
F	F	F
F	T	F
T	F	F
T	T	T

Tabella 3.3-2

$A$	$B$	$Z = g(A, B)$
F	F	F
F	T	T
T	F	T
T	T	T

**L'operazione AND** La funzione della Tab. 3.3-1 può essere descritta dalla proposizione: « $Z$  è vera se, e solo se,  $A$  è vera e (*and*) anche  $B$  è vera». Per questo motivo tale funzione è chiamata **AND** e la relazione funzionale si scrive  $Z = A \text{ AND } B$ . L'operazione **AND** (per motivi che vedremo in seguito) viene anche scritta con una notazione più comoda; si pone un punto fra le variabili a significare un'operazione di moltiplicazione, benchè non si tratti assolutamente di una vera e propria operazione di moltiplicazione numerica. Frequentemente poi il punto viene sottinteso, sicchè l'operazione **AND** viene scritta in una qualsiasi delle seguenti tre forme:

$$Z = A \text{ AND } B = A \cdot B = AB \quad (3.3-1)$$

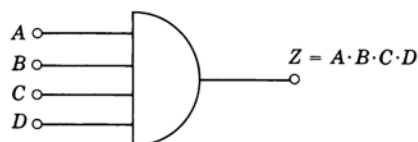


Figura 3.3-1 Simbolo della porta logica AND.

Come si può verificare dalla tavola di verità, l'operazione  $\text{AND}$  è *commutativa*, cioè

$$AB = BA \quad (3.3-2)$$

L'operazione  $\text{AND}$  è anche *associativa*. Supponiamo infatti, data la variabile  $Z = AB$ , di introdurre una terza variabile  $C$  per formare la funzione  $ZC = (AB)C$ . Si otterrebbe la stessa funzione finale se si formasse per prima la funzione  $BC$  e poi la funzione  $A(BC)$ . Da ciò deriva che

$$(AB)C = A(BC) \quad (3.3-3)$$

Pertanto, quando si hanno variabili legate dall'operazione  $\text{AND}$ , non è necessario indicare l'ordine con cui le variabili sono state combinate e si può semplicemente scrivere  $Z = ABCD...$

In Fig. 3.3-1 è illustrato il simbolo usato per rappresentare la funzione  $\text{AND}$  di più variabili. Un dispositivo che realizza tale relazione fra variabili logiche prende il nome di *porta logica*. In figura è mostrata una porta logica  $\text{AND}$  che lega quattro variabili  $A, B, C, D$ . A noi in particolare interessa il caso in cui le variabili logiche sono rappresentate da tensioni. In quest'ottica il simbolo di Fig. 3.3-1 indica che se (rispetto ad un punto di riferimento, «la massa», non indicato esplicitamente) ciascuno dei terminali di ingresso  $A, B, C, D$  è tenuto alla tensione corrispondente a «vero», allora anche il terminale di uscita  $Z$  sarà a questo livello di tensione «vero». Se invece qualcuno degli ingressi è tenuto alla tensione corrispondente a «falso», anche l'uscita sarà a questo livello di tensione «falso». Si noti che la porta  $\text{AND}$  evidenzia una condizione di *simultaneità* o *coincidenza*; cioè è necessario che tutti gli ingressi siano simultaneamente o in coincidenza veri affinché l'uscita sia vera. Perciò la porta  $\text{AND}$  è anche chiamata *porta a coincidenza*.

**L'operazione  $\text{AND}$  con interruttori** Abbiamo visto che una tensione che può assumere due soli valori può essere rappresentata da una variabile logica. Anche un interruttore può essere rappresentato da una variabile logica. Esso può trovarsi solo in due posizioni, aperto oppure chiuso. Perciò possiamo as-

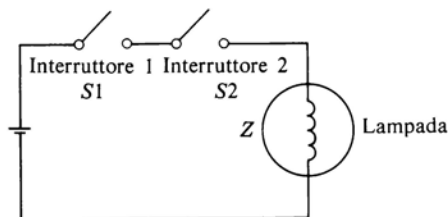


Figura 3.3-2 Circuito elettrico in cui gli interruttori  $S1$  ed  $S2$  devono essere entrambi chiusi affinché la lampada si accenda.

sociare ad un interruttore una variabile  $A$ , con la convenzione che  $A = T$  (vero) significa che l'interruttore è chiuso, mentre  $A = F$  (falso) significa che l'interruttore è aperto. Oppure, se preferiamo, possiamo adottare la convenzione opposta e indicare con  $A = F$  l'interruttore chiuso e con  $A = T$  l'interruttore aperto.

In Fig. 3.3-2 è illustrato un circuito ad interruttori che realizza l'operazione  $\text{AND}$ . Sia  $A = T$  quando  $S1$  è chiuso e  $B = T$  quando  $S2$  è chiuso; sia inoltre  $Z = T$  quando la lampada è accesa. Poichè la lampada si accende se, e solo se, i due interruttori sono contemporaneamente chiusi, il funzionamento del circuito è descritto dall'espressione logica  $Z = AB$ . Se volessimo arbitrariamente stabilire che  $A = F$  quando  $S1$  è chiuso,  $Z$  diventerebbe  $Z = \bar{A}B$ .

### 3.4 LA FUNZIONE OR

La tavola di verità della Tab. 3.3-2 definisce l'operazione  $\text{OR}$ . La scelta del termine «or» (o) per questa funzione è dovuta al fatto che  $Z$  è vera se  $A$  è vera o se  $B$  è vera o se entrambe  $A$  e  $B$  sono vere. La funzione  $Z = A \text{ OR } B$  si scrive

$$Z = A + B \quad (3.4-1)$$

La notazione «+» per l'operazione  $\text{OR}$  non implica naturalmente alcuna addizione numerica; non ha cioè alcun senso sommare  $A$  e  $B$  nell'Eq. (3.4-1). Nondimeno, come si vedrà, l'uso del segno «+» (come il segno di moltiplicazione per l'operazione  $\text{AND}$ ) è un utilissimo mezzo mnemonico.

Come si può verificare dalla tavola di verità di Tab. 3.3-2, l'operazione  $\text{OR}$ , come l'operazione  $\text{AND}$ , gode delle proprietà commutativa ed associativa. Si ha cioè

$$A + B = B + A \quad (3.4-2)$$

e

$$(A + B) + C = A + (B + C) \quad (3.4-3)$$

Il simbolo della porta logica  $\text{OR}$  è illustrato in Fig. 3.4-1.

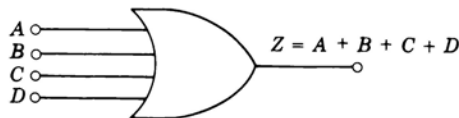


Figura 3.4-1 Simbolo della porta logica  $\text{OR}$ .

In Fig. 3.4-2 è rappresentato un circuito ad interruttori che realizza l'operazione  $\text{OR}$ . Se  $A$  corrisponde alla proposizione « $S1$  è chiuso»,  $B$  alla proposizione « $S2$  è chiuso» e  $Z$  alla proposizione «la lampada è accesa», il funzionamento del circuito è descritto dall'espressione  $Z = A + B$ . In altri

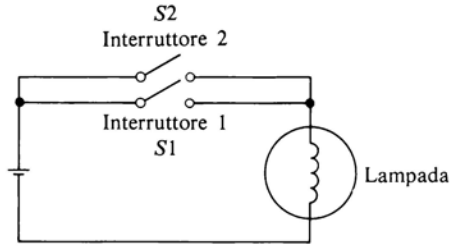


Figura 3.4-2 Circuito elettrico in cui la lampada si accende se  $S1$  o  $S2$  o entrambi sono chiusi.

termini, la lampada è accesa se  $S1$  oppure  $S2$  oppure entrambi gli interruttori sono chiusi.

### 3.5 L'OPERAZIONE NAND E L'OPERAZIONE NOR

L'operazione  $\text{NAND}$ , cioè  $Z = A \text{ NAND } B$ , è rappresentata simbolicamente dall'equazione logica

$$Z = A \uparrow B \quad (3.5-1)$$

ed è definita dalla terza colonna di Tab. 3.5-1. La quinta colonna definisce  $\overline{A \cdot B}$ , cioè il complemento dell'operazione  $\text{AND}$  su  $A$  e  $B$ : si noti che la terza e la quinta colonna sono identiche, per cui possiamo esprimere l'operazione  $\text{NAND}$  come

$$Z = \overline{AB} \quad (3.5-2)$$

Useremo sempre, per rappresentare la funzione  $\text{NAND}$ , l'espressione (3.5-2) e non la (3.5-1). Il nome assegnato a questa operazione deriva dall'espressione (3.5-2), essendo  $\text{NAND}$  la contrazione di  $\text{NOT AND}$ .

Nell'ultima colonna abbiamo rappresentato  $\overline{A} + \overline{B}$  e facciamo notare che

$$Z = \overline{AB} = \overline{A} + \overline{B} \quad (3.5-3)$$

L'Eq. (3.5-3) rappresenta una formulazione del *teorema di De Morgan* che verrà ripreso nel Par. 3.11.

Tabella 3.5-1

$A$	$B$	$Z = A \uparrow B$	$A \cdot B$	$\overline{A \cdot B}$	$\overline{A}$	$\overline{B}$	$\overline{A} + \overline{B}$
F	F	T	F	T	T	T	T
F	T	T	F	T	T	F	T
T	F	T	F	T	F	T	T
T	T	F	T	F	F	F	F



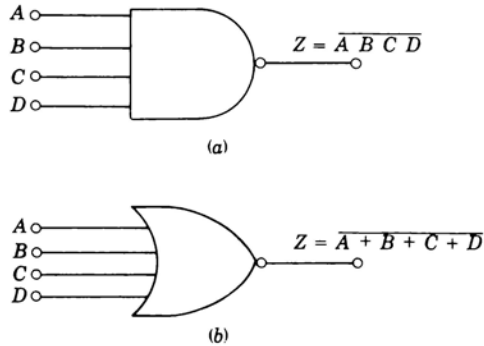


Figura 3.5-1 (a) Simbolo della porta NAND; (b) Simbolo della porta NOR.

L'operazione  $\text{NAND}$  è commutativa, cioè

$$\overline{AB} = \overline{BA} \quad (3.5-4)$$

L'operazione  $\text{NAND}$  *non* è però associativa, cioè, come si può verificare (Prob. 3.5-1),

$$(A \uparrow B) \uparrow C \neq A \uparrow (B \uparrow C) \quad (3.5-5a)$$

o, nella notazione indicata dall'espressione (3.5-2),

$$(\overline{AB})C \neq A(\overline{BC}) \quad (3.5-5b)$$

Quando l'operazione  $\text{NAND}$  viene applicata a più di due variabili, la si deve intendere non nel senso dell'Eq. (3.5-5) ma nel seguente modo

$$Z = \overline{ABCD \cdots} \quad (3.5-6)$$

L'Eq. (3.5-6) ha un significato inequivocabile, mentre  $Z = A \uparrow B \uparrow C \uparrow D \dots$  non è definita in mancanza di parentesi che indichino l'ordine con cui le variabili sono associate.

Il simbolo della porta  $\text{NAND}$  è illustrato in Fig. 3.5-1a ed è costituito da una porta  $\text{AND}$  e da un circolino sull'uscita che rappresenta l'operazione  $\text{NOT}$ .

**L'operazione  $\text{NOR}$**  L'operazione  $\text{NOR}$ , cioè  $A \text{ NOR } B$ , è rappresentata simbolicamente dall'equazione

$$Z = A \downarrow B \quad (3.5-7)$$

Tabella 3.5-2

$A$	$B$	$Z = A \downarrow B$	$A + B$	$\overline{A + B}$	$\overline{A}$	$\overline{B}$	$\overline{A B}$
F	F	T	F	T	T	T	T
F	T	F	T	F	T	F	F
T	F	F	T	F	F	T	F
T	T	F	T	F	F	F	F

ed è definita dalla terza colonna di Tab. 3.5-2. Come si vede dalla tabella,  $Z = A \downarrow B$  può essere espressa come

$$Z = \overline{A + B} \quad (3.5-8)$$

Si noti che

$$Z = \overline{A + B} = \overline{A} \overline{B} \quad (3.5-9)$$

il che costituisce un'altra formulazione del *teorema di De Morgan*. Useremo generalmente la notazione dell'Eq. (3.5-8). Da quest'ultima equazione si comprende anche il perchè del nome assegnato a questa operazione, essendo NOR la contrazione di NOT OR.

Come l'operazione NAND, anche la NOR è commutativa ma non associativa, cioè

$$\overline{\overline{A + B} + C} \neq \overline{A + \overline{B + C}} \quad (3.5-10)$$

L'operazione NOR applicata a più di due variabili si definisce come

$$Z = \overline{A + B + C + D + \dots} \quad (3.5-11)$$

In Fig. 3.5-1b è illustrato il simbolo della porta NOR, costituito da una porta OR seguita da un circolino che rappresenta l'operazione NOT.

In pratica la maggior parte delle porte logiche in commercio è costituita da porte NAND e NOR. Tuttavia il fatto che queste operazioni non godano della proprietà associativa costituisce un inconveniente nel progetto di sistemi logici da realizzarsi mediante queste porte. La procedura che si segue normalmente è quella di stendere il progetto usando porte AND e OR, per poi passare alla conversione con porte NAND e NOR. Questo argomento verrà trattato nel Par. 3.25.

### 3.6 L'OPERAZIONE OR ESCLUSIVO

L'operazione OR ESCLUSIVO su due variabili è rappresentata simbolicamente dall'espressione

$$Z = A \oplus B \quad (3.6-1)$$

ed è definita dalla terza colonna della Tab. 3.6-1. Essa significa che  $Z$  è vera se  $A$  o  $B$  sono vere, con la condizione di *escludere* il caso in cui  $A$  e  $B$  sono contemporaneamente vere. Dall'ultima colonna di Tab. 3.6-1 vediamo che

$$Z = A \oplus B = A \overline{B} + \overline{A} B \quad (3.6-2)$$

Tabella 3.6-1

$A$	$B$	$Z = A \oplus B$	$\overline{A}$	$\overline{B}$	$\overline{A} B$	$A \overline{B}$	$A \overline{B} + \overline{A} B$
F	F	F	T	T	F	F	F
F	T	T	T	F	T	F	T
T	F	T	F	T	F	T	T
T	T	F	F	F	F	F	F

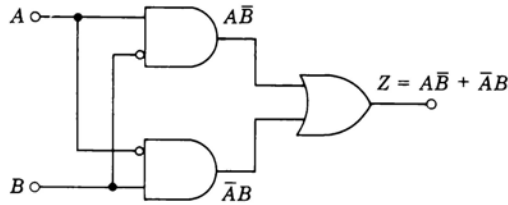


Figura 3.6-1 Realizzazione della funzione OR ESCLUSIVO.

Questa espressione alternativa significa che « $Z$  è vera se  $A$  è vera e (AND)  $B$  è falsa, o (OR) se  $A$  è falsa e (AND)  $B$  è vera». In Fig. 3.6-1 è illustrata una realizzazione di  $Z = A \oplus B$  derivante direttamente dall'Eq. (3.6-2). Il circuito è costituito da due porte AND, una porta OR e due porte NOT rappresentate dai circolini agli ingressi delle porte AND. Nel Prob. 3.6-1 si esamina una realizzazione della funzione OR ESCLUSIVO ad interruttori.

Come si può verificare, l'operazione OR ESCLUSIVO è associativa e commutativa. Perciò quando si hanno più variabili, si può scrivere

$$Z = A \oplus B \oplus C \oplus D \cdots \quad (3.6-3)$$

senza dover raggruppare le variabili mediante parentesi. Lasciamo al lettore dimostrare (Prob. 3.6-3) che, quando si ha a che fare con più variabili,  $Z$  è vera se un numero *dispari* di variabili sono vere, mentre  $Z$  è falsa se un numero *pari* di variabili sono vere.

La Fig. 3.6-2a illustra il simbolo della porta OR ESCLUSIVO. Mentre risulta relativamente semplice (come vedremo dettagliatamente nei capitoli successivi) espandere il numero degli ingressi delle porte AND, NAND, OR, NOR, non è così per l'OR ESCLUSIVO. Benchè in Fig. 3.6-2a si sia rappresentata una porta a quattro ingressi, in commercio esistono solo porte a due ingressi; la configurazione di Fig. 3.6-2b a porte a due ingressi risolve il problema.

### 3.7 ALTRE FUNZIONI

Una funzione  $Z = f(A, B)$  di due variabili è definita da una tavola di verità come quelle di Tab. 3.3-1 e 3.3-2. Ogni nuova combinazione di T o F nella colonna  $Z$  definisce una nuova funzione. Poichè nella colonna vi sono quattro righe e in ciascuna si può avere F o T, esistono 16 possibili funzioni di due variabili. Abbiamo finora preso in considerazione cinque di esse: AND, OR, NAND, NOR e OR ESCLUSIVO. Nel Prob. 3.7-1 vengono esaminate le funzioni rimanenti.

### 3.8 VARIABILI LOGICHE

Le variabili a due valori di cui abbiamo parlato sono spesso chiamate *varia-*

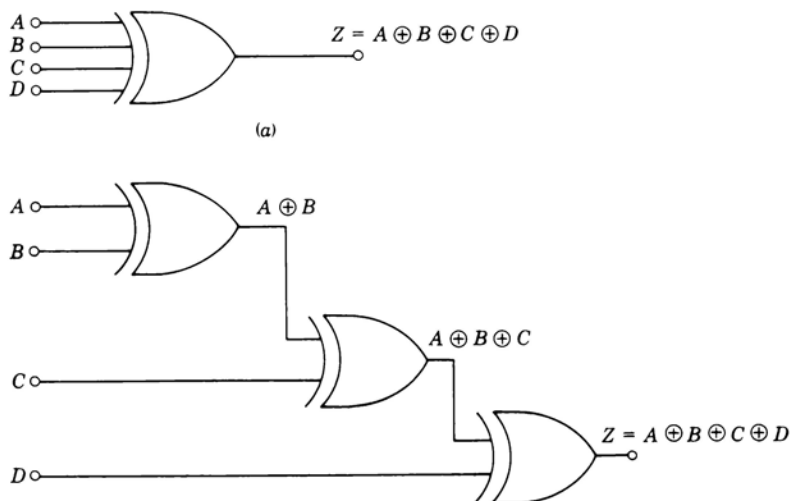


Figura 3.6-2 (a) Simbolo della porta OR ESCLUSIVO. (b) Struttura equivalente che sostituisce la porta a 4 ingressi con porte a due ingressi. Le porte OR ESCLUSIVO disponibili in commercio presentano solo 2 ingressi.

*bili logiche*, mentre le operazioni come l'operazione OR e l'operazione AND sono chiamate *operazioni logiche*. Vogliamo ora sottolineare l'importanza di questa terminologia e la scelta appropriata dei termini «vero» e «falso» per indicare i due valori possibili di una variabile.

Facciamo un esempio. Supponete di essere, insieme con due piloti, in volo su un aeroplano; voi siete nella zona riservata ai passeggeri, mentre i piloti, A e B, sono ai loro posti di guida. Ad un certo punto A vi raggiunge. Questo fatto non suscita in voi preoccupazione alcuna. Supponete però di accorgervi, mentre siete con A, che anche B ha lasciato il suo posto di guida. In base alla vostra capacità *logica deducete* che l'aeroplano si trova senza pilota e presumibilmente suonerete un allarme affinché uno dei piloti intervenga per far fronte alla situazione di pericolo.

Supponiamo ora invece che, collegato al sedile di ciascun pilota, vi sia un dispositivo elettronico che fornisca in uscita una tensione  $V_1$  quando il sedile è occupato ed una tensione  $V_2$  quando il sedile è libero. Associamo il termine «vero» a  $V_2$  e «falso» a  $V_1$ . Realizziamo un circuito elettrico con due terminali di ingresso ed un terminale d'uscita; questo circuito deve fornire una tensione di uscita  $V_2$  se, e solo se, entrambi gli ingressi, cioè un ingresso «e» contemporaneamente l'altro ingresso, sono al livello  $V_2$ ; diversamente l'uscita è  $V_1$ . Infine colleghiamo gli ingressi alle poltrone dei piloti A e B, e colleghiamo

all'uscita  $Z$  un campanello d'allarme che suoni quando l'uscita è  $V_2$  (vera) e in nessun altro caso. Abbiamo così costruito un circuito che realizza l'operazione **AND** ed è in grado di elaborare la *deduzione logica* che l'aeroplano è senza pilota quando entrambi i piloti lasciano i loro posti di guida.

Ricapitolando, la situazione è la seguente: si associno le variabili  $A$ ,  $B$ ,  $Z$  alle seguenti *proposizioni*

$A$  = È vero (T) che il pilota A ha lasciato il suo posto.

$B$  = È vero (T) che il pilota B ha lasciato il suo posto.

$Z$  = È vero (T) che l'aeroplano è senza pilota ed è in pericolo.

Naturalmente  $\overline{A}$ ,  $\overline{B}$  e  $\overline{Z}$  rappresentano rispettivamente le proposizioni opposte; per esempio,  $\overline{A}$  significa che è falso (F) che il pilota A ha lasciato il suo posto. La relazione fra le proposizioni può essere scritta come

$$Z = AB \quad (3.8-1)$$

Abbiamo scelto di rappresentare le *variabili logiche*  $A$ ,  $B$  e  $Z$  con tensioni elettriche ma bisogna osservare che in realtà l'Eq. (3.8-1) è una *relazione tra proposizioni*, del tutto indipendente dal modo in cui rappresentiamo le proposizioni o anche dall'esistenza o no di una rappresentazione fisica di esse. L'Eq. (3.8-1) dice che la proposizione  $Z$  è vera se le proposizioni  $A$  e  $B$  sono entrambe vere; diversamente  $Z$  è falsa.

L'algebra delle proposizioni, di cui l'Eq. (3.8-1) è un esempio, è conosciuta come *algebra Booleana*. Come altre algebre lavorano su variabili che hanno significato numerico, l'algebra Booleana lavora su proposizioni. Essa è uno strumento efficace per analizzare le relazioni tra proposizioni per le quali siano ammesse solo due alternative escludentesi a vicenda.

**ESEMPIO 3.8-1** Un contadino possiede un cane ferocissimo, una capra e una cesta di cavoli. Inoltre possiede una fattoria a nord ed una a sud. Il contadino, il cane, la capra ed i cavoli si trovano tutti nella fattoria sud, ma il contadino deve lavorare anche nell'altra. Se però, in assenza del contadino, il cane è lasciato vicino alla capra, l'azzanna e se la capra è lasciata vicino ai cavoli, li mangia. Per evitare questi due guai, il contadino ci chiede di realizzare un congegno portatile con quattro interruttori che rappresentino il contadino, il cane, la capra ed i cavoli. Se un interruttore è connesso ad una batteria ( $V_1$ ), significa che l'elemento rappresentato si trova nella fattoria sud, mentre se l'interruttore è connesso a massa ( $V_2$ ), l'elemento corrispondente si trova nella fattoria nord. L'uscita del congegno va ad una lampadina che segnala, accendendosi, la condizione di pericolo. Così il contadino può attendere ai suoi lavori usando il congegno per sapere chi deve portare con sé per evitare guai. Come si può costruire questo congegno?

**SOLUZIONE** Per realizzarlo dobbiamo stabilire con precisione le sue funzioni. Vogliamo che la lampadina si accenda se:

- 1 Il contadino è nella fattoria nord e (AND) il cane e (AND) la capra sono nella fattoria sud, oppure (OR) se
- 2 Il contadino è nella fattoria nord e (AND) la capra e (AND) i cavoli sono nella fattoria sud, oppure (OR) se
- 3 Il contadino è nella fattoria sud e (AND) il cane e (AND) la capra sono nella fattoria nord, oppure (OR) se

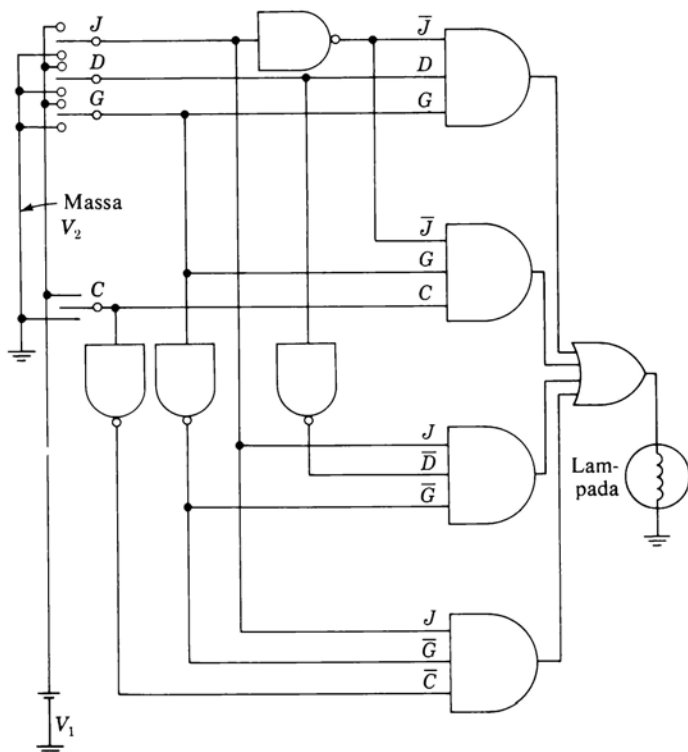


Figura 3.8-1 Circuito che risolve il problema dell'esempio 3.8-1.

4 Il contadino è nella fattoria sud e (AND) la capra e (AND) i cavoli sono nella fattoria nord. Ora associamo la variabile  $J$  alla proposizione «il contadino è nella fattoria sud». Corrispondentemente  $\bar{J}$  rappresenterà la proposizione «il contadino non è nella fattoria sud (è nella fattoria nord)». Analogamente avremo

- $D$  = il cane è nella fattoria sud
- $\bar{D}$  = il cane è nella fattoria nord
- $G$  = la capra è nella fattoria sud
- $\bar{G}$  = la capra è nella fattoria nord
- $C$  = i cavoli sono nella fattoria sud
- $\bar{C}$  = i cavoli sono nella fattoria nord

Possiamo scrivere una proposizione logica simbolica che comprenda tutte le combinazioni di eventi che determinano un danno.

$$L = \bar{J} \cdot D \cdot G + \bar{J} \cdot G \cdot C + J \cdot \bar{D} \cdot \bar{G} + J \cdot \bar{G} \cdot \bar{C}$$

dove  $L$ , variabile logica associata alla lampadina, è  $L = T$  quando la lampadina è accesa.

Per costruire il circuito adatto alle nostre esigenze abbiamo bisogno di quattro interruttori (uno per ogni elemento  $J$ ,  $D$ ,  $G$  e  $C$ ), una lampadina, una batteria e porte NOT, AND, OR. In Fig. 3.8-1 è rappresentato lo schema completo del circuito. Si osservi che per realizzare l'operazione NOT abbiamo usato una porta NAND ad un ingresso; infatti, come si può verificare, una porta NAND con tutti gli ingressi collegati insieme, così da presentare un solo terminale di ingresso, realizza proprio la funzione NOT. Una porta NOR ad un ingresso sarebbe andata ugualmente bene. Il lettore esaminerà il circuito e verificherà che la lampada si accende solo se uno qualsiasi dei quattro termini dell'espressione indicata sopra per la variabile  $L$  è vero.

### 3.9 LA NOTAZIONE 0, 1

Abbiamo parlato di due possibilità alternative per una proposizione, l'essere cioè vera (T) o falsa (F), per cui, a seconda della situazione, diciamo che la proposizione  $A$  è vera o falsa, scrivendo rispettivamente  $A = T$  oppure  $A = F$ . Proponiamo ora, come notazione alternativa, di indicare che  $A$  è vera scrivendo  $A = 1$ , e di indicare che  $A$  è falsa scrivendo  $A = 0$ . Sottolineiamo che **0** e **1** sono usati come simboli al posto di T e F e che *non sono assolutamente dei numeri*. Le tavole di verità per le operazioni AND e OR (Tab. 3.3-1 e 3.3-2) con questa notazione sono rappresentate nelle Tab. 3.9-1 e 3.9-2.

Se usiamo il simbolo di «addizione» per rappresentare l'operazione OR ed il simbolo di «moltiplicazione» per rappresentare l'operazione AND, possiamo rappresentare le tavole di verità per OR ed AND mediante i seguenti due gruppi di equazioni:

OR	AND	
$A + B = Z$	$A \cdot B = Z$	
$0 + 0 = 0$	$0 \cdot 0 = 0$	(3.9-1)
$0 + 1 = 1$	$0 \cdot 1 = 0$	
$1 + 0 = 1$	$1 \cdot 0 = 0$	
$1 + 1 = 1$	$1 \cdot 1 = 1$	

Tabella 3.9-1 Tavola di verità per l'AND mediante la notazione con 0 e 1.

A	B	$Z = A \text{ AND } B$
0	0	0
0	1	0
1	0	0
1	1	1

Tabella 3.9-2 Tavola di verità per l'OR mediante la notazione con 0 e 1.

A	B	$Z = A \text{ OR } B$
0	0	0
0	1	1
1	0	1
1	1	1

Si vede come la nuova notazione costituisca un ottimo mezzo mnemonico. Infatti, intendendo tutte le espressioni scritte nella (3.9-1) come normali operazioni di somma e prodotto fra i numeri 0 e 1, si vede che esse sono tutte corrette ad eccezione dell'espressione  $1 + 1 = 1$ .

### 3.10 OPERAZIONI NECESSARIE E SUFFICIENTI

Abbiamo visto che esistono 16 possibili funzioni di due variabili; ne abbiamo esaminate in particolare cinque ed abbiamo osservato che tutte possono essere espresse in termini di operazioni AND, OR, NOT. Si può dimostrare (Prob. 3.7-1) che *tutte* le funzioni possibili sono esprimibili con queste tre operazioni.

Andando avanti con il nostro ragionamento, troviamo che in pratica non è necessario usare tutte e tre le operazioni, poichè la AND può essere espressa mediante OR e NOT, oppure la OR può essere espressa mediante AND e NOT. In Fig. 3.10-1a è mostrato l'operatore OR realizzato con porte NOT e AND. Nella Tab. 3.10-1 è riportata la tavola di verità per verificare che l'uscita  $Y$  è proprio  $Y = A + B$ . La colonna con intestazione  $Y = \bar{Z}$  è ricavata dal circuito di Fig. 3.10-1a. L'ultima colonna, con intestazione  $A + B$ , riporta i valori di  $A + B$  in base alla definizione dell'operazione OR. La perfetta identità delle due colonne permette di dire che  $Y = A + B$ .

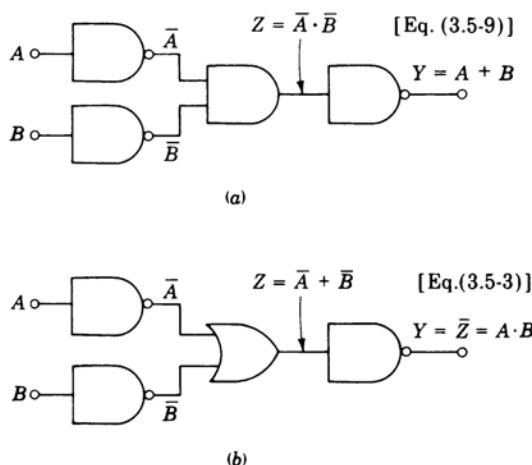


Figura 3.10-1 (a) Funzione OR realizzata mediante porte NOT e AND (una porta NAND o NOR con tutti gli ingressi collegati insieme funziona da porta NOT). (b) Funzione AND realizzata mediante porte NOT e OR.



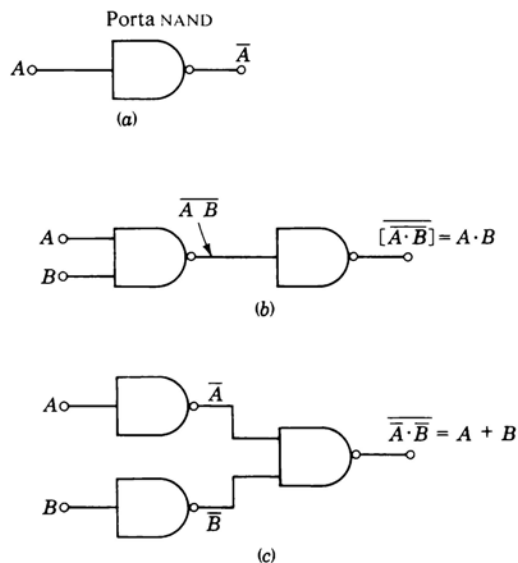


Figura 3.10-2 Realizzazione mediante porte NAND delle funzioni: (a) NOT; (b) AND; (c) OR.

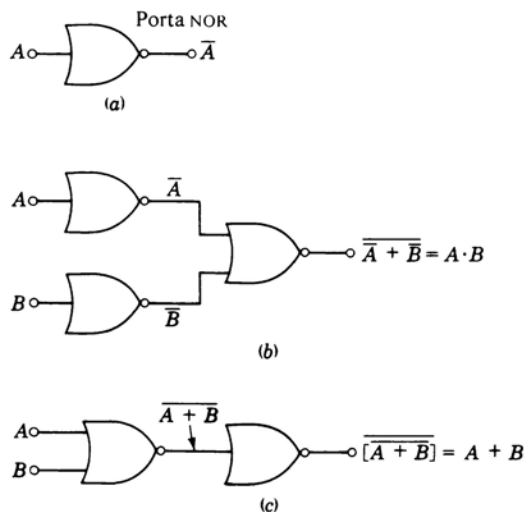


Figura 3.10-3 Realizzazione mediante porte NOR delle funzioni: (a) NOT; (b) AND; (c) OR.

Tabella 3.10-1

$A$	$B$	$\bar{A}$	$\bar{B}$	$Z = \bar{A} \cdot \bar{B}$	$Y = \bar{Z}$	$A + B$
0	0	1	1	1	0	0
0	1	1	0	0	1	1
1	0	0	1	0	1	1
1	1	0	0	0	1	1

In Fig. 3.10-1b è rappresentato un circuito che realizza l'operazione  $\text{AND}$  usando solo porte  $\text{NOT}$  e  $\text{OR}$ . Una tavola di verità analoga alla Tab. 3.10-1 permette di stabilire che in questo caso è proprio  $Y = AB$ .

Benchè in linea di principio sia sufficiente l'operazione  $\text{NOT}$  insieme con la  $\text{AND}$  o la  $\text{OR}$ , nell'analisi e nel progetto dei sistemi logici useremo tutte e tre le operazioni perchè tale procedura risulta molto più conveniente.

Infine è estremamente interessante notare che anche le operazioni  $\text{NAND}$  e  $\text{NOR}$  sono sufficienti a realizzare tutte le funzioni possibili. In Fig. 3.10-2 è illustrato l'impiego della porta  $\text{NAND}$  per realizzare le funzioni  $\text{NOT}$ ,  $\text{AND}$  e  $\text{OR}$ , mentre in Fig. 3.10-3 è illustrato l'impiego della porta  $\text{NOR}$  per realizzare le stesse funzioni.

### 3.11 TEOREMI DELL'ALGEBRA BOOLEANA

Svilupperemo ora alcuni teoremi molto utili nella semplificazione delle espressioni logiche, focalizzando l'attenzione sui teoremi riguardanti le relazioni  $\text{OR}$  e  $\text{AND}$  e l'operazione  $\text{NOT}$ . Useremo i simboli di addizione e moltiplicazione per indicare gli operatori  $\text{OR}$  e  $\text{AND}$  e la notazione  $0, 1$  per indicare che una proposizione è, rispettivamente, falsa o vera.

Possiamo notare innanzitutto che, per quanto riguarda l'operazione  $\text{NOT}$ , i risultati derivano in maniera piuttosto evidente dal fatto che la variabile  $A$  può assumere solo due valori  $A = 1$  e  $A = 0$ . Quindi

$$\bar{\bar{A}} = A \quad (3.11-1)$$

poichè se  $A = 1$ , allora  $\bar{A} = 0$  e  $\bar{\bar{A}} = 1$ . Analogamente  $\bar{0} = 1$  e  $\bar{1} = 0$ . Inoltre

$$A + 0 = A \quad (3.11-2a) \quad \left| \quad A \cdot 1 = A \quad (3.11-2b)\right.$$

$$A + 1 = 1 \quad (3.11-3a) \quad \left| \quad A \cdot 0 = 0 \quad (3.11-3b)\right.$$

$$A + A = A \quad (3.11-4a) \quad \left| \quad A \cdot A = A \quad (3.11-4b)\right.$$

$$A + \bar{A} = 1 \quad (3.11-5a) \quad \left| \quad A \cdot \bar{A} = 0 \quad (3.11-5b)\right.$$

Questi otto teoremi riguardano tutti una sola variabile. La dimostrazione di ciascuno di essi è immediata per il fatto che la variabile può avere solo due valori. Si possono quindi dimostrare i teoremi sostituendo alla variabile i suoi due valori e verificando che le relazioni sono valide in entrambi i casi. Consi-

deriamo per esempio l'Eq. (3.11-5a): se  $A = 1$ , abbiamo  $1 + 0 = 1$ , il che è corretto. Se  $A = 0$ , abbiamo  $0 + 1 = 1$ , il che è ancora corretto.

Possiamo notare un'interessante relazione fra i teoremi della colonna di sinistra e quelli della colonna di destra. Data un'equazione di una colonna, si può passare alla corrispondente equazione dell'altra colonna scambiando i segni  $+$  e  $\cdot$  ed il valore  $0$  con il valore  $1$ . I teoremi che godono di questa proprietà si dicono *duali*. Tale dualità non sorprende se si pensa all'evidente dualità presente nelle tavole di verità delle operazioni OR e AND. Esaminando le tavole di verità 3.9-1 e 3.9-2 e l'Eq. (3.9-1) vediamo che la prima equazione della tavola della OR e la quarta equazione della tavola della AND sono duali. Analogamente la seconda equazione della OR è la duale della terza equazione della AND e così di seguito per le altre.

Nell'algebra delle variabili logiche è valida la proprietà *distributiva*; cioè, data un'espressione comprendente una parentesi, come  $A(B + C)$ , si può eliminare la parentesi eseguendo la «moltiplicazione» come nell'algebra ordinaria, ottenendo così  $A(B + C) = AB + AC$ . Nelle sue forme duali la proprietà distributiva si esprime come

$$A + BC = (A + B)(A + C) \quad (3.11-6a)$$

$$e \quad A(B + C) = AB + AC \quad (3.11-6b)$$

Si noti ancora che le Eq. (3.11-6), non contenendo  $0$  e  $1$ , differiscono solo per lo scambio dei segni  $+$  e  $\cdot$ . L'Eq. (3.11-6b) è facile da tenere a mente, poichè ha una corrispondenza nell'algebra ordinaria. L'Eq. (3.11-6a) invece appare un po' strana perchè non ha corrispondenza nell'algebra ordinaria. In ogni caso il lettore può verificare le Eq. (3.11-6) sostituendo tutte le otto possibili combinazioni di variabili.

Elenchiamo alcuni altri teoremi molto utili, nelle loro forme duali.

$$A + AB = A \quad (3.11-7a) \quad \left| \quad A(A + B) = A \quad (3.11-7b) \right.$$

$$A + \bar{A}B = A + B \quad (3.11-8a) \quad \left| \quad A(\bar{A} + B) = AB \quad (3.11-8b) \right.$$

$$AB + A\bar{B} = A \quad (3.11-9a) \quad \left| \quad (A + B)(A + \bar{B}) = A \quad (3.11-9b) \right.$$

$$AB + \bar{A}C = (A + C)(\bar{A} + B) \quad (3.11-10a) \quad \left| \quad (A + B)(\bar{A} + C) = AC + \bar{A}B \quad (3.11-10b) \right.$$

$$AB + \bar{A}C + BC = AB + \bar{A}C \quad (3.11-11a) \quad \left| \quad (A + B)(\bar{A} + C)(B + C) = (A + B)(\bar{A} + C) \quad (3.11-11b) \right.$$

**ESEMPIO 3.11-1** Dimostrare la validità dell'Eq. (3.11-8a).

**SOLUZIONE** La verifica dell'Eq. (3.11-8a) segue direttamente dal confronto delle tavole di verità per  $A + \bar{A}B$  e per  $A + B$  qui sotto riportate.

$A$	$B$	$Z_1 = A + \bar{A} \cdot B$	$Z_2 = A + B$
0	0	$0 + 0 = 0$	$0 + 0 = 0$
0	1	$0 + 1 = 1$	$0 + 1 = 1$
1	0	$1 + 0 = 1$	$1 + 0 = 1$
1	1	$1 + 0 = 1$	$1 + 1 = 1$

Quindi  $Z_1 = Z_2$  e l'equazione (3.11-8a) è verificata.

**ESEMPIO 3.11-2** Dimostrare la validità dell'Eq. (3.11-11b)

**SOLUZIONE** La verifica dell'Eq. (3.11-11b) risulta evidente dal confronto delle tavole di verità per  $(A + B)(\bar{A} + C)(B + C)$  e per  $(A + B)(\bar{A} + C)$  qui sotto riportate. Notiamo che vi sono otto diverse combinazioni delle variabili di ingresso, poichè  $A, B$  e  $C$  possono avere ciascuna, indipendentemente, uno o l'altro dei due valori possibili. Perciò  $A, B$  e  $C$  possono avere  $2 \cdot 2 \cdot 2 = 2^3$  differenti combinazioni di valori. Il metodo che si è seguito per ordinare la tavola di verità sarà spiegato nel Par. 3.13.

$A$	$B$	$C$	$Z_1 = (A + B)(\bar{A} + C)(B + C)$	$Z_2 = (A + B)(\bar{A} + C)$
0	0	0	$0 \cdot 1 \cdot 0 = 0$	$0 \cdot 0 = 0$
0	0	1	$0 \cdot 1 \cdot 1 = 0$	$0 \cdot 1 = 0$
0	1	0	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$
0	1	1	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$
1	0	0	$1 \cdot 0 \cdot 0 = 0$	$1 \cdot 0 = 0$
1	0	1	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$
1	1	0	$1 \cdot 0 \cdot 1 = 0$	$1 \cdot 0 = 0$
1	1	1	$1 \cdot 1 \cdot 1 = 1$	$1 \cdot 1 = 1$

Poichè  $Z_1 = Z_2$  per tutte le possibili combinazioni di  $A, B$  e  $C$ , il teorema risulta verificato.

Esaminiamo infine un altro teorema, noto col nome di *teorema di De Morgan*, che merita di essere messo in evidenza. Esso si applica ad un numero arbitrario di variabili e si presenta nelle sue forme duali come

$$\overline{A \cdot B \cdot C \cdots} = \bar{A} + \bar{B} + \bar{C} + \cdots \quad (3.11-12a)$$

$$\overline{A + B + C + \cdots} = \bar{A} \cdot \bar{B} \cdot \bar{C} \cdots \quad (3.11-12b)$$

In altri termini queste equazioni dicono che (1) il complemento di un prodotto di variabili è uguale alla somma dei complementi di ciascuna variabile e (2) il complemento di una somma di variabili è uguale al prodotto dei complementi di ciascuna variabile.

Nel Par. 3.5 è stata esposta la dimostrazione del teorema di De Morgan per due variabili in occasione della trattazione delle operazioni **NAND** e **NOR** [vedi Eq. (3.5-3) ed Eq. (3.5-9)]. L'estensione della dimostrazione del teorema con un numero qualsiasi di variabili viene lasciata come esercizio (Prob. 3.11-5).

### 3.12 UN ESEMPIO

Per illustrare l'applicazione dei teoremi del paragrafo precedente prendiamo in considerazione il seguente esempio.

Supponiamo che uno studente universitario consulti il regolamento dell'Università per sapere se abbia o no i titoli per frequentare un certo corso di elettronica. Viene a sapere che uno studente può frequentare quel corso se, e solo se, sono soddisfatte le seguenti condizioni:

- 1 ha superato almeno 20 esami ed è uno studente di ingegneria in corso, oppure
- 2 ha superato almeno 20 esami ed è uno studente di ingegneria ed il suo piano di studi è stato approvato, oppure
- 3 ha superato meno di 20 esami ed è uno studente di ingegneria fuori corso, oppure
- 4 è in corso ed il suo piano di studi è stato approvato, oppure
- 5 è uno studente di ingegneria ed il suo piano di studi non è ancora stato approvato.

Vediamo come si possono semplificare queste proposizioni. Introduciamo a tale scopo le variabili logiche  $A$ ,  $B$ ,  $C$ ,  $D$ , e  $Z$  ed associamole alle proposizioni nel modo seguente:

- $A$  = lo studente ha superato almeno 20 esami  
 $B$  = lo studente è uno studente di ingegneria  
 $C$  = lo studente è in corso  
 $D$  = lo studente è in possesso dell'approvazione del suo piano di studi  
 $Z$  = lo studente può frequentare il suddetto corso di elettronica.

Così ad esempio, il valore  $C = 1$  rappresenta il fatto che è vero che lo studente è in corso. In corrispondenza  $C = 0$ , oppure  $\bar{C} = 1$ , rappresenta la proposizione che lo studente è fuori corso.

Possiamo quindi esprimere tutte le condizioni con un'equazione algebrica logica:

$$Z = ABC + ABD + \bar{A}\bar{B}\bar{C} + CD + B\bar{D} \quad (3.12-1)$$

essendo sottinteso che ciascuna combinazione di valori delle variabili che dà  $Z = 1$  soddisfa le condizioni richieste.

Raccogliendo nel secondo e quinto termine dell'Eq. (3.12-1) il fattore comune  $B$ , come è indicato nell'Eq. (3.11-6b), abbiamo

$$Z = ABC + \bar{A}\bar{B}\bar{C} + CD + B(\bar{D} + DA) \quad (3.12-2)$$

Dall'Eq. (3.11-8a),  $\bar{D} + DA = \bar{D} + A$ ; eseguendo questa semplificazione e togliendo la parentesi dall'Eq. (3.12-2), abbiamo

$$Z = ABC + AB + \bar{A}\bar{B}\bar{C} + CD + B\bar{D} \quad (3.12-3)$$

Raccogliendo il fattore comune  $AB$  nei primi due termini dell'Eq. (3.12-3) e notando, come dice l'Eq. (3.11-3a) che  $C + 1 = 1$ , abbiamo

$$Z = AB + \bar{A}B\bar{C} + CD + B\bar{D} \quad (3.12-4)$$

Raccogliendo  $B$  nei primi due termini dell'Eq. (3.12-4) e ricordando, secondo l'Eq. (3.11-8a), che  $A + \bar{A}\bar{C} = A + \bar{C}$ , abbiamo

$$Z = AB + B\bar{C} + CD + B\bar{D} \quad (3.12-5)$$

Dall'Eq. (3.11-11a) notiamo che, data un'espressione  $CD + B\bar{D}$ , analoga agli ultimi due termini dell'Eq. (3.12-5), possiamo sommare il termine  $BC$  senza cambiare il valore dell'espressione. Sommando tale termine e combinandolo con il secondo termine dell'Eq. (3.12-5), abbiamo

$$Z = AB + B(\bar{C} + C) + CD + B\bar{D} \quad (3.12-6)$$

Poichè, secondo l'Eq. (3.11-5a) e l'Eq. (3.11-2b),  $\bar{C} + C = 1$  e  $B \cdot 1 = B$ , troviamo

$$Z = AB + B + CD + B\bar{D} \quad (3.12-7)$$

Raccogliendo ora  $B$  nel primo, secondo e quarto termine, risulta

$$Z = B(1 + A + \bar{D}) + CD \quad (3.12-8)$$

Usando l'Eq. (3.11-3a) che dice che  $1 + X = 1$  e ponendo nell'Eq. (3.12-8)  $X = A + \bar{D}$ , troviamo che

$$Z = B + CD \quad (3.12-9)$$

Risulta così evidente che la proposizione iniziale, piuttosto complicata, può essere semplificata nel seguente modo: «lo studente può frequentare il corso di elettronica se è uno studente di ingegneria, oppure (OR) se è uno studente in corso ed (AND) è in possesso dell'approvazione del suo piano di studi».

Il metodo di semplificazione qui adottato lascia un po' a desiderare perchè richiede una certa abilità ed una certa pratica nel combinare i termini e nel raccogliere i fattori comuni. Occorre inoltre saper sommare con artifici i termini al fine di semplificare il più possibile e saper scegliere i teoremi più adatti. Dal Par. 3.16 spiegheremo un metodo di semplificazione che utilizza un procedimento molto più sistematico e meccanico.

### 3.13 IL SISTEMA DI NUMERAZIONE BINARIO

Nel sistema di numerazione usuale, il *decimale*, si usano dieci cifre: 0, 1, 2, ..., 9. Per rappresentare un numero maggiore di 9 ci si avvale di una convenzione che assegna un significato particolare alla *posizione* o al *posto* occupato da una cifra. Per esempio, in base alle posizioni occupate da ciascuna cifra

nel numero 6903 si può valutare il significato numerico del numero suddetto nel seguente modo:

$$6\,903 = 6 \times 10^3 + 9 \times 10^2 + 0 \times 10^1 + 3 \times 10^0 \quad (3.13-1)$$

Si noti che nell'Eq. (3.13-1) il numero è espresso come somma di *potenze di dieci* moltiplicate per coefficienti opportuni. Nel sistema decimale, dieci è la *radice* o *base* del sistema.

Naturalmente è possibile, e spesso utile, lavorare con sistemi con basi diverse da dieci. Nei sistemi digitali è molto utile il sistema di numerazione con base *due*; questo sistema è chiamato sistema *binario* ed usa due cifre: 0 ed 1. Il vantaggio dell'impiego del sistema binario in relazione ai sistemi digitali sta nel fatto che si può stabilire una corrispondenza biunivoca fra le due cifre (numeriche) 0 ed 1 ed i due valori possibili (F o T) di una variabile logica, rappresentati con i simboli (non numerici) **0** ed **1**. In realtà la corrispondenza diventa a volte così stretta e così utile che non si fanno più distinzioni.

Nel sistema binario ciascuna cifra di un numero rappresenta il coefficiente di una potenza di *due* e non di *dieci* come nel sistema decimale. Per esempio il numero decimale 19 si scrive, in forma binaria, come 10011, poiché

$$10011 = 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 \quad (3.13-2a)$$

$$16 + 0 + 0 + 2 + 1 = 19 \quad (3.13-2b)$$

Nella Tab. 3.13-1 è riportato un breve elenco di numeri espressi sia in forma decimale che binaria.

L'Eq. (3.13-2) illustra la conversione di un numero dalla rappresentazione binaria a quella decimale, mentre la procedura di conversione dalla notazione

Tabella 3.13-1 Notazione binaria di alcuni numeri decimali.

Notazione decimale	Notazione binaria	Notazione decimale	Notazione binaria	Notazione decimale	Notazione binaria	Notazione decimale	Notazione binaria
0	00000	6	00110	12	01100	18	10010
1	00001	7	00111	13	01101	19	10011
2	00010	8	01000	14	01110	20	10100
3	00011	9	01001	15	01111	21	10101
4	00100	10	01010	16	10000	22	10110
5	00101	11	01011	17	10001	23	10111

Tabella 3.13-2 Conversione decimale-binario.

Divisione per 2	0	1	2	4	9	19 Decimale
Resto	1	0	0	1	1	Binario

decimale a quella binaria è descritta nella Tab. 3.13-2. La procedura è la seguente: il numero decimale (nel nostro caso 19) è posto all'estrema destra. Lo si divide per 2 e si scrive il *quoziente* a sinistra del dividendo; il *resto* va incolonnato con il quoziente. Si ripete l'operazione (per la seconda colonna si ha  $9/2$ , quindi il quoziente è 4 ed il resto 1) finché non si ottiene un quoziente uguale a 0. La successione di 1 e 0 nella seconda riga costituisce la rappresentazione binaria del numero decimale. In questo esempio si trova che il numero decimale 19 equivale a 10011 nel sistema binario.

**Conversione di numeri minori dell'unità** Un numero non intero può essere espresso con una notazione che fa uso della *virgola decimale*; per esempio, il numero 1,8125 ha il significato numerico di

$$1,8125 = 1 \times 10^0 + 8 \times 10^{-1} + 1 \times 10^{-2} + 2 \times 10^{-3} + 5 \times 10^{-4} \quad (3.13-3)$$

Analogamente possiamo esprimere un numero non intero usando la notazione con la *virgola binaria*. Quindi il numero binario, 1,1101 si esprime come

$$1,1101 = 1 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} + 0 \times 2^{-3} + 1 \times 2^{-4} \quad (3.13-4)$$

I *bit* a destra della virgola sono moltiplicati per  $2^{-n}$ , dove  $n$  rappresenta la «distanza» del bit stesso dalla virgola binaria.

La procedura per la conversione di un numero *minore* di 1 dalla forma decimale alla forma binaria è descritta nella Tab. 3.13-3. In essa viene eseguita la conversione dal numero decimale 0,8125 al numero binario 0,1101. La procedura è la seguente: si pone il numero decimale all'estremità *sinistra* (nel nostro caso 0,8125). Si *moltiplica* per due. Se il risultato è maggiore o uguale ad 1, si sottrae 1 dal prodotto e si scrive il risultato a destra del moltiplicando. Inoltre si pone un 1 incolonnato con il moltiplicando. Se il risultato del prodotto è invece minore di 1, si pone 0 nella colonna del moltiplicando. Si ripete il procedimento finché la differenza è zero. Nel nostro esempio troviamo che  $0,8125 = 0,1101$ . In generale, contrariamente alla situazione che si presenta nel nostro esempio, anche se il numero decimale ha un numero finito di cifre significative, la sua forma binaria può avere un numero illimitato di cifre.

### 3.14 CODICE BINARIO RIFLESSO O CODICE GREY

Il sistema binario presentato nel Par. 3.13 rappresenta i numeri con una successione di 0 e 1. Tale successione è «naturale» e facilmente comprensibile perché si basa sulla convenzione di assegnare ad ogni cifra un significato legato alla sua posizione, convenzione su cui si basa il più familiare sistema di numerazione decimale. Volendo, comunque, possiamo rappresentare un numero con una sequenza di 0 e 1 completamente arbitraria. Per evitare ambiguità naturalmente è necessario che a ciascun numero corrisponda una ed una sola sequenza. I sistemi di rappresentazione numerica diversi dalla rap-



presentazione naturale sono chiamati *codici* numerici poichè è necessario conoscere il «codice» per poter determinare il valore numerico rappresentato da una data sequenza. Per i sistemi digitali sono stati escogitati diversi codici binari, utili in molte applicazioni differenti. Esamineremo il *codice binario riflesso* o *codice Grey*, codice spesso usato nei sistemi digitali.

Tabella 3.13-3 Conversione decimale-binario per numeri minori di 1.

Decimale 0,8125	$0,8125 \times 2 = 1,625$ $1,625 - 1 = 0,625$	$0,625 \times 2 = 1,25$ $1,25 - 1 = 0,25$	$0,5 \times 2 = 1,0$ $1 - 1 = 0$	$0,25 \times 2 = 0,5$ $0,5$
Binario	1	1	0	1

Nel codice Grey i primi due numeri, zero e uno, sono rappresentati, come nel binario naturale, dalle cifre 0 e 1. I due numeri successivi, due e tre, sono espressi in una forma a cui si arriva con la procedura mostrata in Fig. 3.14-1a. Uno «specchio», rappresentato dalla linea tratteggiata, è posto sotto i primi due numeri e dà origine all'immagine riflessa indicata in figura. Ora si aggiunge la cifra 0 sopra lo specchio e la cifra 1 sotto lo specchio. In tal modo i numeri decimali 0, 1, 2, 3 sono rappresentati nel codice Grey rispettivamente come 00, 01, 11, 10. Ripetendo il procedimento di riflessione, possiamo estendere la rappresentazione dei numeri con il codice Grey. In Fig. 3.14-1b sono indicati i primi otto numeri in codice riflesso. Le due colonne a destra al di sopra dello specchio sono l'immagine riflessa delle due colonne a destra al

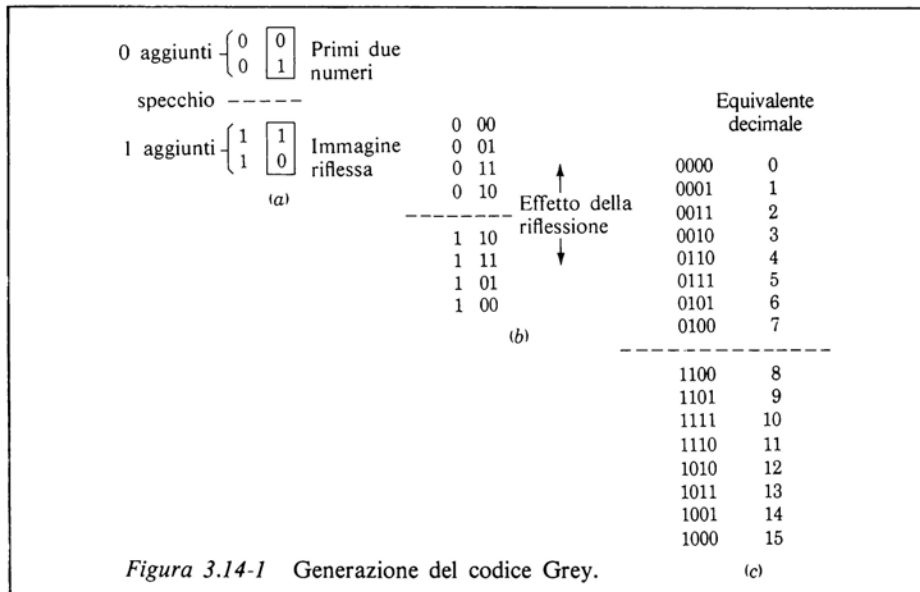


Figura 3.14-1 Generazione del codice Grey.

di sotto dello specchio. La colonna di sinistra è costituita da 0 sopra lo specchio e da 1 sotto di esso. La Fig. 3.14-1c riporta la rappresentazione in codice Grey dei primi 16 numeri decimali.

Una caratteristica particolarmente utile di tale codice consiste nel fatto che le rappresentazioni di due numeri successivi differiscono per una cifra sola. Ad esempio si noti che il numero 7 (decimale) = 0100 (Grey), mentre il numero 8 (decimale) = 1100 (Grey); si ha quindi una variazione solo nella prima cifra. Nel sistema binario naturale invece 7 (decimale) = 0111 (binario naturale) mentre 8 (decimale) = 1000 (binario naturale); si ha cioè la variazione di quattro cifre. Tale caratteristica del codice Grey risulta particolarmente utile in molti casi.

### 3.15 FORME CANONICHE PER LE FUNZIONI LOGICHE: SOMMA DI PRODOTTI CANONICA

Al fine di sviluppare un procedimento di semplificazione delle funzioni logiche, introduciamo ora le due *forme canoniche* con cui si può esprimere una funzione logica. Negli esempi seguenti è illustrata la prima di esse, cioè la *somma di prodotti canonica*.

**ESEMPIO 3.15-1** Data la funzione di quattro variabili

$$f(A, B, C, D) = (\bar{A} + BC)(B + CD) \quad (3.15-1)$$

la si esprima come *somma di prodotti*.

**SOLUZIONE** Usando la proprietà distributiva [Eq. (3.11-6b)], troviamo

$$f(A, B, C, D) = (\bar{A} + BC)B + (\bar{A} + BC)CD \quad (3.15-2a)$$

$$= \bar{A}B + BBC + \bar{A}CD + BCCD \quad (3.15-2b)$$

$$= \bar{A}B + BC + \bar{A}CD + BCD \quad (3.15-2c)$$

poichè dall'Eq. (3.11-4b)  $BB = B$ , ecc.

**ESEMPIO 3.15-2** Data la funzione di cinque variabili

$$f(A, B, C, D, E) = (A + \overline{BC})(\overline{D + BE}) \quad (3.15-3)$$

la si esprima come *somma di prodotti*.

**SOLUZIONE** Usando il teorema di De Morgan e la proprietà distributiva, troviamo:

$$f(A, B, C, D, E) = (A + \overline{BC})(\overline{D + BE}) \quad (3.15-4a)$$

$$= (A + \bar{B} + \bar{C})[\overline{D(BE)}] \quad (3.15-4b)$$

$$= (A + \bar{B} + \bar{C})[\overline{D(\bar{B} + E)}] \quad (3.15-4c)$$

$$= (A + \bar{B} + \bar{C})(\overline{B\bar{D}} + \overline{DE}) \quad (3.15-4d)$$

$$= A\bar{B}\bar{D} + A\bar{D}\bar{E} + \bar{B}\bar{D} + \bar{B}\bar{D}\bar{E} + \bar{B}\bar{C}\bar{D} + \bar{C}\bar{D}\bar{E} \quad (3.15-4e)$$

Questi esempi indicano come si possa scrivere una qualsiasi espressione logica in forma di *somma di prodotti*. Se compaiono complementate solo le variabili singole, come nel primo esempio, è necessaria solo la proprietà distributiva. Se invece il segno di complementazione compare su una combinazione di più variabili, come nel secondo esempio, è necessario ricorrere prima al teorema di De Morgan. In ogni caso è sempre possibile scrivere un'espressione logica come semplice somma di termini, in cui ciascun termine è il prodotto di alcune variabili, in forma complementata o no. Una variabile non deve mai comparire due volte in un prodotto; se nel corso delle moltiplicazioni si crea la ripetizione di una variabile, o di una variabile complementata, possiamo eliminare la ripetizione ricorrendo al teorema  $AA = A$  oppure  $\overline{A}\overline{A} = \overline{A}$ ; se poi troviamo in un termine il prodotto  $A\overline{A}$ , tutto il termine può essere eliminato, poichè  $A\overline{A} = 0$ .

Notiamo che nelle somme di prodotti riportate nelle Eq. (3.15-2c) ed Eq. (3.15-4e) non tutti i termini contengono lo stesso numero di variabili e nessun termine contiene tutte le variabili della funzione. Si può arrivare ad una più completa «canonizzazione» ottenendo un'espressione in cui *tutti* i termini contengono *tutte* le variabili, come è indicato nell'esempio seguente.

**ESEMPIO 3.15-3** Data la funzione di tre variabili

$$f(A, B, C) = A + \overline{B}C \quad (3.15-5)$$

in cui i singoli termini non contengono tutte le variabili, riscriverla in modo che tutte le tre variabili compaiano in ciascun termine.

**SOLUZIONE** Nel primo termine dell'Eq. (3.15-5) non compaiono nè  $B$  nè  $C$ . Allora moltiplicando tale termine per  $(B + \overline{B})(C + \overline{C})$  il valore della funzione non cambia, poichè  $B + \overline{B} = C + \overline{C} = 1$ , come dice l'Eq. (3.11-5a). Analogamente, poichè  $A$  non compare nel secondo termine dell'Eq. (3.15-5), moltiplichiamo questo termine per  $A + \overline{A}$ . L'Eq. (3.15-5) diventa

$$f(A, B, C) = A(B + \overline{B})(C + \overline{C}) + (A + \overline{A})\overline{B}C \quad (3.15-6)$$

Per la proprietà distributiva abbiamo:

$$f(A, B, C) = ABC + AB\overline{C} + A\overline{B}C + A\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C} \quad (3.15-7)$$

Eliminando la ripetizione del termine  $\overline{A}\overline{B}\overline{C}$ , troviamo

$$f(A, B, C) = ABC + AB\overline{C} + A\overline{B}C + \overline{A}\overline{B}C \quad (3.15-8)$$

La forma dell'Eq. (3.15-8), che è una somma di prodotti ciascuno dei quali contiene tutte le variabili, prende il nome di *somma di prodotti canonica*. Ciascun termine è chiamato *minterm* o *prodotto fondamentale*. Nel Par. 3.19 si comprenderà il significato di questa terminologia.

Il vantaggio della somma di prodotti canonica espressa dall'Eq. (3.15-8) sta nel fatto che certe informazioni sulla funzione logica appaiono immedia-

tamente evidenti da un suo esame. Poichè tale forma contiene una somma logica di termini, la funzione  $f$  vale  $f = 1$  se uno (o più) dei termini ha valore logico 1. Consideriamo dunque il primo termine dell'Eq. (3.15-8). Questo termine,  $ABC$ , essendo un prodotto, sarà uguale ad 1 solo quando  $A = 1$  e  $B = 1$  e  $C = 1$ . Quindi questo termine ci dice che  $f = 1$  quando  $A = 1$  e  $B = 1$  e  $C = 1$ . Analogamente la presenza del secondo termine,  $AB\bar{C}$ , ci dice che  $f = 1$  quando  $A = 1$  e  $B = 1$  e  $\bar{C} = 1$ , cioè  $A = 1$  e  $B = 1$  e  $C = 0$ . Ciascun minterm indica una combinazione di variabili in corrispondenza al valore 1 delle quali la funzione assume il valore logico 1. L'insieme dei minterm specifica tutte le combinazioni di valori delle variabili per cui la funzione vale 1. Con  $N$  variabili si possono avere  $2^N$  minterm; se compaiono tutti,  $f = 1$  in ogni caso.

Ciascun minterm corrisponde ad una riga della tavola di verità della funzione in corrispondenza della quale la funzione stessa vale 1. Supponiamo di esaminare una tavola di verità a tre variabili e di trovare una riga in cui  $f = 1$  quando  $A = 0$ ,  $B = 1$  e  $C = 0$ . Se  $f$  è espressa come somma di minterm, troveremo un minterm uguale a  $\bar{A}B\bar{C}$ . Il numero di minterm nell'espressione di una funzione  $f$  è uguale al numero di righe della tavola di verità in cui  $f = 1$ . Nel prossimo paragrafo esamineremo una seconda forma canonica con cui può venire espressa una funzione logica.

### 3.16 PRODOTTO DI SOMME CANONICO

Nella seconda forma canonica, il *prodotto di somme canonico*, una funzione è espressa come *prodotto* di termini, dove ciascun termine è costituito dalla somma di *tutte* le variabili, in forma complementata o no.

Nel paragrafo precedente siamo arrivati alla somma di prodotti canonica avvalendoci dell'Eq. (3.11-5a),  $A + \bar{A} = 1$  e della proprietà distributiva nella forma espressa dall'Eq. (3.11-6b). Possiamo ora scrivere l'altra forma canonica, il *prodotto di somme canonico*, usando le forme duali di queste due regole. Usiamo quindi la proprietà distributiva espressa nella forma  $A + BC = (A + B)(A + C)$  [vedi Eq. (3.11-6a)] e la regola  $A\bar{A} = 0$ . Per illustrare lo sviluppo del prodotto di somme canonico, consideriamo nuovamente la funzione a tre variabili dell'Eq. (3.15-5).

**ESEMPIO 3.16-1** Data la funzione logica di tre variabili

$$f(A, B, C) = A + \bar{B}C \quad (3.16-1)$$

esprimere  $f$  sotto forma di prodotto di somme canonico.

**SOLUZIONE** Usando la proprietà distributiva nella forma dell'Eq. (3.11-6a), abbiamo

$$f(A, B, C) = A + \bar{B}C \quad (3.16-2a)$$

$$= (A + \bar{B})(A + C) \quad (3.16-2b)$$

Poichè il primo fattore non contiene  $C$  ed il secondo non contiene  $B$ , sommiamo  $C\bar{C} = 0$  al primo e  $B\bar{B} = 0$  al secondo. Abbiamo ora:

$$f(A, B, C) = (A + \bar{B} + C\bar{C})(A + B\bar{B} + C) \quad (3.16-3a)$$

$$= (A + \bar{B} + C)(A + \bar{B} + \bar{C})(A + B + C)(A + \bar{B} + C) \quad (3.16-3b)$$

Per ottenere questo risultato si è tenuto conto che, in base all'Eq. (3.11-6a):

$$(A + \bar{B}) + C \cdot \bar{C} = [(A + \bar{B}) + C][(A + \bar{B}) + \bar{C}] \quad (3.16-4)$$

Poichè il primo ed il quarto fattore nell'Eq. (3.16-3b) sono uguali, e poichè  $XX = X$ , eliminiamo le ripetizioni ed otteniamo

$$f(A, B, C) = (A + \bar{B} + C)(A + \bar{B} + \bar{C})(A + B + C) \quad (3.16-5)$$

Ciascuno dei fattori dell'Eq. (3.16-5) costituisce un *maxterm* o *somma fondamentale*.

Proprio come la somma canonica mette in evidenza le combinazioni di valori delle variabili per cui  $f = 1$ , così il prodotto canonico, cioè la forma dell'Eq. (3.16-5), specifica le combinazioni di valori delle variabili per cui  $f = 0$ . Infatti  $f = 0$  se uno (o più) dei maxterm ha valore 0 ed il maxterm vale 0 solo quando *tutti* i termini della somma hanno valore 0. Quindi dal primo fattore dell'Eq. (3.16-5) vediamo che  $f = 0$  quando  $A = 0$  e  $\bar{B} = 0$  e  $C = 0$ , cioè quando  $A = 0$  e  $B = 1$  e  $C = 0$ .

Ciascun maxterm corrisponde ad una riga della tavola di verità della funzione in corrispondenza della quale la funzione stessa ha valore  $f = 0$ . Supponiamo ad esempio di esaminare una tavola di verità a tre variabili e di trovare una riga in cui  $f = 0$  e  $A = 0$ ,  $B = 1$  e  $C = 0$ ; se  $f$  fosse espressa come prodotto di maxterm troveremmo uno dei fattori uguale a  $(A + \bar{B} + C)$ . Il numero dei maxterm nell'espressione della funzione  $f$  è lo stesso del numero delle righe della tavola di verità in cui  $f = 0$ .

Riassumendo, quindi, una funzione logica può essere scritta come somma di prodotti canonici o come prodotto di somme canonici. Nel primo caso la funzione è espressa in termini di prodotti fondamentali (minterm) che specificano gli 1 della funzione; nel secondo caso essa è espressa in termini di somme fondamentali (maxterm) che specificano gli 0 della funzione.

La stessa funzione dell'Eq. (3.15-5) è espressa nell'Eq. (3.15-8) con prodotti fondamentali e nell'Eq. (3.16-5) con somme fondamentali. Possiamo facilmente verificare la differenza fra queste due forme. Osserviamo che, poichè sono presenti tre variabili, vi sono  $2^3 = 8$  combinazioni possibili. Risulta che vi sono 5 combinazioni per cui  $f = 1$  e perciò vi sono 5 prodotti fondamentali nell'Eq. (3.15-8). Da ciò si deduce che se  $f$  fosse espressa in termini di somme fondamentali, vi sarebbero  $8 - 5 = 3$  termini, come in effetti risulta dall'Eq. (3.16-5). Notiamo inoltre, a titolo di esempio, che la somma fondamentale  $A + \bar{B} + C$  significa che  $f = 0$  se  $A = 0$  e  $B = 1$  e  $C = 0$ . Se supponiamo di avere, con queste stesse combinazioni di valori delle variabili,  $f = 1$ , nell'Eq. (3.16-1) dovremo avere il termine  $\bar{A}B\bar{C}$ .

### 3.17 RAPPRESENTAZIONI DI FUNZIONI LOGICHE MEDIANTE PRODOTTI E SOMME FONDAMENTALI

La canonizzazione di una funzione logica, esaminata nei paragrafi precedenti, ci permette di introdurre una notazione abbreviata molto utile per esprimere le funzioni.

Consideriamo per esempio una funzione logica di tre variabili  $A, B, C$ . Conveniamo di scrivere sempre in quest'ordine le variabili nei prodotti fondamentali; cioè un certo prodotto si scriverà  $\overline{A}BC$  e mai  $\overline{B}AC$  o  $AC\overline{B}$ , ecc. Associamo poi la cifra binaria **0** a ciascuna variabile complementata e la cifra **1** a ciascuna variabile non complementata. Su questa base il prodotto  $\overline{A}BC$  sarà rappresentato dal numero 101 (binario) che corrisponde a 5 (decimale). Associamo quindi al minterm  $\overline{A}BC$  il simbolo  $m_5$ ; analogamente il minterm  $\overline{A}\overline{B}C$  diventa  $m_0$  e  $ABC$  diventa  $m_7$ .

Quando lavoriamo con maxterm, invertiamo la convenzione: associamo la cifra binaria **1** ad una variabile complementata, la cifra **0** ad una variabile non complementata. La somma fondamentale  $A + \overline{B} + C$  è quindi rappresentata dal numero 010 (binario) corrispondente a 2 (decimale). Associamo al maxterm  $A + \overline{B} + C$  il simbolo  $M_2$ . Analogamente il maxterm  $\overline{A} + \overline{B} + \overline{C}$  diventa  $M_7$  e  $A + B + C$  diventa  $M_0$ . La Tab. 3.17-1 riporta uno specchietto delle associazioni dei simboli ai relativi minterm e maxterm.

Con la nuova convenzione una funzione logica può venire rappresentata in maniera più comoda e conveniente. Supponiamo che in una funzione di tre variabili espressa con minterm siano presenti solo i minterm  $m_0, m_3, m_6$  ed  $m_7$ . Scriveremo quindi

$$f(A, B, C) = m_0 + m_3 + m_6 + m_7 \quad (3.17-1)$$

o, più semplicemente,

$$f(A, B, C) = \sum m(0, 3, 6, 7) \quad (3.17-2)$$

Analogamente se in una funzione espressa in termini di maxterm compaiono solo i maxterm  $M_0, M_2, M_3, M_7$ , scriveremo

$$f(A, B, C) = M_0 \cdot M_2 \cdot M_3 \cdot M_7 \quad (3.17-3)$$

o, più semplicemente,

$$f(A, B, C) = \prod M(0, 2, 3, 7) \quad (3.17-4)$$

Come ulteriore esempio sull'uso dei minterm, scriveremo una funzione indicando i minterm con simbologia binaria, decimale ed infine abbreviata:

$$f(A, B, C, D) = \overline{A}\overline{B}C\overline{D} + \overline{A}BC\overline{D} + A\overline{B}C\overline{D} + ABCD \quad (3.17-5)$$

0000	0110	1010	1111
0	6	10	15

$$f(A, B, C, D) = \sum m(0, 6, 10, 15) \quad (3.17-6)$$

Tabella 3.17-1 Designazione dei minterm e dei maxterm.

Variabili complementate (C) o non complementate (U)			Minterm e loro designazione	Maxterm e loro designazione
A	B	C		
C	C	C	$\bar{A}\bar{B}\bar{C} = m_0$	$\bar{A} + \bar{B} + \bar{C} = M_7$
C	C	U	$\bar{A}\bar{B}C = m_1$	$\bar{A} + \bar{B} + C = M_6$
C	U	C	$\bar{A}B\bar{C} = m_2$	$\bar{A} + B + \bar{C} = M_5$
C	U	U	$\bar{A}BC = m_3$	$\bar{A} + B + C = M_4$
U	C	C	$A\bar{B}\bar{C} = m_4$	$A + \bar{B} + \bar{C} = M_3$
U	C	U	$A\bar{B}C = m_5$	$A + \bar{B} + C = M_2$
U	U	C	$AB\bar{C} = m_6$	$A + B + \bar{C} = M_1$
U	U	U	$ABC = m_7$	$A + B + C = M_0$

Come esempio sull'uso dei maxterm proponiamo:

$$f(A, B, C, D)$$

$$= (A + B + C + D)(A + \bar{B} + C + \bar{D})(\bar{A} + B + \bar{C} + \bar{D})(\bar{A} + \bar{B} + \bar{C} + \bar{D})$$

0000

0101

1011

1111

0

5

11

15

(3.17-7)

$$f(A, B, C, D) = \prod M(0, 5, 11, 15) \quad (3.17-8)$$

Esiste una relazione di tipo complementare tra una funzione espressa in termini di minterm e la stessa espressa in termini di maxterm. Supponiamo di avere una funzione di tre variabili tale che, quando  $A = 1$ ,  $B = 0$  e  $C = 1$  valga  $f = 0$ . Quindi quando  $f$  è espressa come somma di minterm, il minterm  $A\bar{B}C$ , cioè  $m_5$  (101), non è presente. Invece, poiché per questa stessa combinazione di variabili  $f = 0$ , comparirà il maxterm  $\bar{A} + B + \bar{C}$ , cioè  $M_5$ . In generale, se non è presente il minterm  $m_k$ , sarà presente il maxterm  $M_k$ , e viceversa. Ad esempio, se una funzione di tre variabili, con 8 combinazioni di valori delle variabili numerate da 0 a 7, è scritta come  $f = \sum m(0, 3, 6, 7)$ , questa stessa funzione può venire scritta anche come  $f = \prod M(0, 3, 6, 7)$ .

Analogamente, supponiamo di esprimere una funzione  $f$  mediante minterm. Scriviamo poi una funzione  $g$  corrispondente alla  $f$ , ottenuta sostituendo a ciascun minterm di  $f$  un maxterm contraddistinto dallo stesso numero. Gli 0 di  $g$  saranno gli 1 di  $f$  e viceversa, per cui risulta  $g = \bar{f}$ . Ad esempio, per tre variabili, se

$$f = \sum m(0, 3, 6, 7) \quad \text{allora} \quad \bar{f} = \prod M(0, 3, 6, 7) \quad (3.17-9)$$

Queste relazioni fra minterm e maxterm di una stessa funzione e della funzione complementata hanno una precisa corrispondenza nelle tavole di ve-

rità. Il fatto che il maxterm  $M_k$  compaia in una funzione se non è presente il minterm  $m_k$ , corrisponde al fatto che le righe in cui  $f$  non è 1 devono essere righe in cui  $f = 0$ . Analogamente una funzione  $f$  e la sua complementata  $\bar{f}$  hanno tavole di verità in cui gli 0 e gli 1 sono scambiati.

### 3.18 RAPPRESENTAZIONE DELLE FUNZIONI LOGICHE CON LA MAPPA DI KARNAUGH

Una mappa di Karnaugh (mappa K) è un diagramma costituito da caselle nelle quali si può rappresentare ciascuna delle righe di una tavola di verità. L'utilità della mappa K consiste nel fatto che la particolare disposizione delle caselle permette la semplificazione immediata di un'espressione logica. Nei paragrafi seguenti vedremo come si realizza tale semplificazione. In questo paragrafo spiegheremo solo la relazione tra la mappa K e la tavola di verità, in particolare nel caso di una funzione  $f(A, B)$  di due variabili.

In Fig. 3-18-1a è rappresentata una mappa K per una funzione di due variabili  $f(A, B)$ , mentre in Fig. 3-18-1b è rappresentata una tavola di verità a due variabili. La colonna destinata ai valori della funzione è lasciata in bianco poichè per ora ci interessa la tavola, non il suo uso per definire una specifica funzione  $f$ . Le righe della tavola sono state numerate con numeri decimali, numeri corrispondenti al significato numerico degli 0 e 1 contenuti nelle righe stesse; pertanto la riga contenente  $AB = 10$  è considerata come riga  $10 = 2$  (decimale), ecc. La mappa K in Fig. 3-18-1a presenta quattro caselle, ciascuna delle quali corrisponde, come indicano le frecce, ad una riga della tavola di verità. Le caselle della mappa K sono state numerate in due modi equivalenti. Il numero decimale della riga corrispondente è stato scritto in un angolo della casella, mentre le righe e le colonne sono state identificate con cifre binarie. Di conseguenza, ad esempio, la casella 2 si trova all'intersezione della colonna  $A = 1$  con la riga  $B = 0$ , cioè è identificata da  $AB = 10 (=2)$  che corrisponde alla riga 2 della tavola di verità.

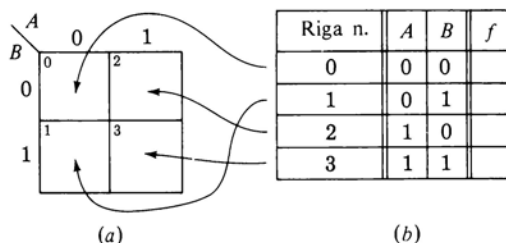


Figura 3.18-1 Relazione fra la mappa di Karnaugh (a) e la tavola di verità (b).



A questo punto la mappa K può essere usata in luogo della tavola di verità. La corrispondenza è illustrata in Fig. 3.18-2; data una funzione  $f(A, B)$  abbiamo trasferito i valori di ciascuna riga sulla mappa K, nella casella appropriata. Quindi la mappa e la tavola di verità danno le stesse informazioni.

La funzione definita in Fig. 3-18-2 può essere scritta sotto forma di prodotti fondamentali; poichè nelle righe 0 e 3 compaiono degli **1** possiamo scrivere che:

$$f(A, B) = \bar{A}\bar{B} + AB = m_0 + m_3 \quad (3.18-1)$$

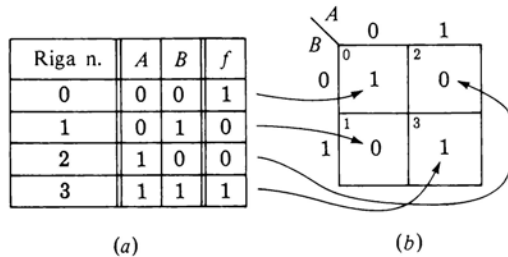


Figura 3.18-2 La mappa K fornisce le stesse informazioni della tavola di verità.

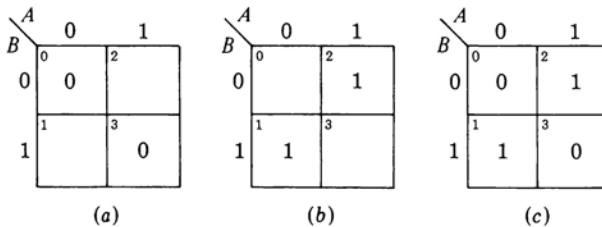


Figura 3.18-3 La funzione  $f(A, B) = (A + B)(\bar{A} + \bar{B})$  è rappresentata in (a) mediante i maxterm ed in (b) mediante i minterm. In (c) compaiono sia i maxterm che i minterm.

Analogamente la funzione può essere scritta in termini di somme fondamentali e, poichè gli **0** compaiono nella riga 1 e 2, troviamo:

$$f(A, B) = (A + \bar{B})(\bar{A} + B) = M_1 M_2 \quad (3.18-2)$$

Nelle Eq. (3.18-1) e (3.18-2) abbiamo espresso la funzione come somma di prodotti fondamentali e come prodotto di somme fondamentali, tenendo conto della posizione degli **0** e **1** nella tavola di verità o, equivalentemente, nella mappa K. Si può invertire tale procedura. Dati i minterm di una funzione, possiamo rappresentarla sulla mappa K ponendo gli **1** nelle caselle corrispondenti; oppure dati i maxterm, possiamo rappresentare la funzione ponendo

gli **0** nelle caselle corrispondenti. Per rappresentare una funzione possiamo scrivere sulla mappa K contemporaneamente gli **0** e gli **1**, ma, per semplicità, è meglio scrivere solo gli **1** oppure solo gli **0**. Dove non c'è un **1** si sottintende uno **0** e viceversa.

Ad esempio, compiliamo la mappa K per la funzione  $f(A, B) = (A + B)(\bar{A} + \bar{B})$ . Risulta:

$$f(A, B) = (A + B)(\bar{A} + \bar{B}) = M_0 M_3 \quad (3.18-3)$$

ed anche

$$f(A, B) = (A + B)(\bar{A} + \bar{B}) = A\bar{B} + \bar{A}B = m_2 + m_1 \quad (3.18-4)$$

L'Eq. (3.18-3) genera la mappa K rappresentata in Fig. 3.18-3a, mentre l'Eq. (3.18-4) genera la mappa equivalente rappresentata in Fig. 3.18-3b. Chiaramente la Fig. 3.18-3c in cui compaiono sia gli **0** che gli **1**, è equivalente alle altre due.

In relazione all'inserimento dei minterm e dei maxterm nella mappa K, bisogna notare un particolare: la casella in cui si deve scrivere il minterm  $m_i$  è la stessa in cui bisogna scrivere il maxterm  $M_i$ . Quindi se una funzione  $f$  presenta un certo maxterm, per esempio  $\bar{A} + B = M_2$ , si deve scrivere uno **0** nella casella identificata dal numero 2 (decimale), cioè con coordinate per la riga e la colonna  $A = 1$  e  $B = 0$ . Se una funzione  $g$  ha il minterm  $A\bar{B} = m_2$ , si scrive un **1** nella stessa casella.

### 3.19 MAPPE DI KARNAUGH PER DUE, TRE, QUATTRO VARIABILI

In Fig. 3.19-1 è illustrata un'altra forma per la mappa K a due variabili. Notiamo in particolare che i numeri d'ordine delle caselle sono conformi al codice Grey binario riflesso di cui abbiamo parlato nel Par. 3.14. Il motivo di questo particolare ordine di numerazione verrà spiegato più avanti; questo

$$AB = \begin{array}{cc} 00 & 01 & 11 & 10 \\ \begin{array}{c} 0 \\ 1 \end{array} & \begin{array}{c} 1 \\ 3 \end{array} & \begin{array}{c} 2 \\ 3 \end{array} & \begin{array}{c} 0 \\ 2 \end{array} \end{array}$$

Figura 3.19-1 Mappa K per due variabili.

$\backslash$ A	0	1
B	0	1
0	0	1
1	0	0

(a)

$\backslash$ A	0	1
B	0	1
0	1	1
1	0	1

(b)

Figura 3.19-2 (a) Mappa K per  $f(A, B) = A\bar{B}$ ; (b) Mappa K per  $g(A, B) = A + \bar{B}$ .

ordine di numerazione fa sì che le designazioni dei minterm e dei maxterm procedano secondo la successione 0, 1, 3, 2 anzichè 0, 1, 2, 3.

A questo punto siamo in grado di comprendere il significato dei vocaboli minterm (prodotto fondamentale) e maxterm (somma fondamentale). Supponiamo di avere ad esempio la funzione  $f(A, B) = A\bar{B}$ , formata cioè da un solo minterm. In Fig. 3.19-2a è rappresentata la mappa K corrispondente. Abbiamo inserito anche gli 0 che normalmente vengono tralasciati. Osserviamo che un minterm inserisce un 1 nel *minimo* numero possibile di caselle della mappa (cioè in definitiva in una sola casella della mappa). Supponiamo ora di avere, per esempio, la funzione  $g(A, B) = A + \bar{B}$ , costituita cioè da un solo maxterm; in Fig. 3.19-2b è rappresentata la mappa K corrispondente con l'indicazione degli 1 che normalmente non sono riportati. Notiamo che un maxterm inserisce un 1 nel *massimo* numero possibile di caselle della mappa, cioè in tutte tranne una.

In Fig. 3.19-3 è rappresentata una mappa K per tre variabili. Le caselle sono state identificate con il numero d'ordine del minterm (o del maxterm) che rappresentano. La numerazione è tale che il valore della variabile  $A$  costituisce la cifra più significativa mentre  $C$  corrisponde alla cifra meno significativa.

In Fig. 3.19-4 è illustrata una mappa K per quattro variabili. La numerazione è ancora conforme alla convenzione secondo cui  $A$  rappresenta la cifra più significativa e  $D$  la meno significativa. Notiamo che nella numerazione delle colonne l'ultima ad essere numerata è la terza e così pure nella numerazione delle righe.

Si possono tracciare mappe K per più variabili: una mappa a 5 variabili presenta  $2^5 = 32$  caselle ed una mappa a 6 variabili presenta  $2^6 = 64$  caselle. Ci riserviamo di tracciare tali mappe K nel Par. 3.22; ora passiamo ad esaminare come le mappe K possano essere impiegate per la semplificazione delle espressioni logiche.

### 3.20 SEMPLIFICAZIONE DELLE FUNZIONI LOGICHE CON LE MAPPE DI KARNAUGH

La caratteristica essenziale di una mappa K è costituita dal fatto che caselle adiacenti, orizzontalmente e verticalmente ma non diagonalmente, corrispondono a minterm, o a maxterm, che differiscono per una sola variabile, poichè essa compare complementata in un termine e non complementata nell'altro.

		AB			
		00	01	11	10
C	0	0	2	6	4
	1	1	3	7	5

Figura 3.19-3 Mappa K per tre variabili.

		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

Figura 3.19-4 Mappa K per quattro variabili.

Proprio per questo motivo si usa il codice Grey riflesso per numerare le colonne in Fig. 3.19-3, le righe e le colonne in Fig. 3.19-4. Per capire l'utilità di tale caratteristica consideriamo a titolo di esempio i minterm  $m_8$  ed  $m_{12}$  che sono adiacenti orizzontalmente nella mappa di Fig. 3.19-4. Abbiamo

$$m_8(8 = 1000) = A\bar{B}\bar{C}\bar{D} \quad (3.20-1)$$

$$m_{12}(12 = 1100) = AB\bar{C}\bar{D} \quad (3.20-2)$$

Questi due minterm differiscono solo per il fatto che  $B$  compare complementato in un termine e non complementato nell'altro. Questi minterm possono pertanto essere combinati per dare

$$A\bar{B}\bar{C}\bar{D} + AB\bar{C}\bar{D} = A\bar{C}\bar{D}(\bar{B} + B) = A\bar{C}\bar{D} \quad (3.20-3)$$

I due termini, ciascuno con quattro variabili, sono stati sostituiti da un termine solo con tre variabili. La variabile che compariva complementata in un termine e non complementata nell'altro è stata eliminata. Se i termini dell'Eq. (3.20-3) comparissero insieme con altri termini di una funzione logica, dovremmo confrontare ciascun termine con tutti gli altri per poter individuare le semplificazioni da effettuare. Invece scrivendo gli 1 nelle apposite caselle di una mappa K, come in Fig. 3.20-1, ci si rende conto immediatamente della possibilità di combinare insieme questi due minterm, poichè essi corrispondono a *caselle adiacenti*. Il grande vantaggio offerto dalla mappa K consiste nel fatto che, grazie ad una visualizzazione schematica, essa permette una facile identificazione delle combinazioni di minterm che possono essere semplificate.

Pertanto un principio generale valido per le mappe K è che *ogni coppia di minterm adiacenti può essere sintetizzata in un solo termine presentante una*

		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

Figura 3.20-1 I minterm di caselle adiacenti possono essere combinati insieme.

*variabile in meno rispetto ai minterm stessi.* Questo termine si trova eliminando nei minterm adiacenti la variabile che compare in forma negata in uno dei minterm e in forma non negata nell'altro. Applicando questa regola ad  $m_8$  ed  $m_{12}$  della Fig. 3.20-1 notiamo che per entrambi i minterm  $C = 0$ ,  $D = 0$  e  $A = 1$ , mentre  $B$  vale: in  $m_8$   $B = 0$ , in  $m_{12}$   $B = 1$ . Quindi i due minterm vengono combinati dando come risultato:

$$m_8 + m_{12} = A\bar{C}\bar{D} \quad (3.20-4)$$

La combinazione dei minterm è illustrata sulla mappa mediante una linea chiusa che abbraccia gli 1 delle due celle adiacenti. Analogamente dalla mappa di Fig. 3.20-1 si deduce che

$$m_2 + m_3 = \bar{A}\bar{B}C \quad (3.20-5)$$

Proseguendo, si osservi che i termini «contiguo» o «adiacente» non si riferiscono solo a caselle geometricamente vicine ma anche a caselle che, pur non essendo geometricamente vicine, rappresentano minterm o maxterm che differiscono fra loro per un'unica variabile. Pertanto ciascuna casella della co-

		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

Figura 3.20-2 Adiacenza fra righe e colonne periferiche di una mappa K.

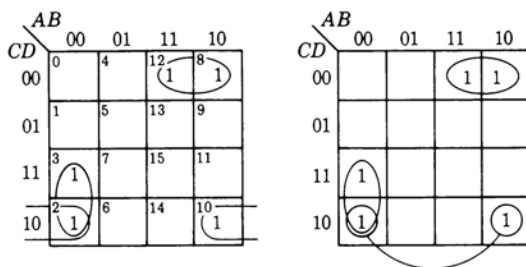


Figura 3.20-3 Due modi alternativi per indicare il raggruppamento di caselle non geometricamente adiacenti.

lonna di estrema sinistra risulta adiacente alla casella della colonna di estrema destra che si trova sulla stessa riga. Quindi  $m_0$  è adiacente ad  $m_8$ ,  $m_1$  è adiacente ad  $m_9$ , ecc. Analogamente la riga superiore è adiacente alla riga inferiore, sicchè  $m_0$  è adiacente ad  $m_2$ ,  $m_4$  è adiacente ad  $m_6$ , ecc.

Consideriamo ora una mappa K con gli 1 disposti come in Fig. 3.20-2. Tale configurazione è la stessa di Fig. 3.20-1, con l'aggiunta di  $m_{10}$ . Il min-term  $m_{10}$  può essere combinato sia con  $m_2$  che con  $m_8$ . Nel primo caso troviamo

$$m_2 + m_{10} = \bar{B}\bar{C}\bar{D} \quad (3.20-6)$$

Nel secondo caso troviamo

$$m_8 + m_{10} = A\bar{B}\bar{D} \quad (3.20-7)$$

Se usiamo la combinazione indicata dall'Eq. (3.20-6), tenendo conto delle Eq. (3.20-4) e (3.20-5), la funzione rappresentata nella mappa K di Fig. 3.20-2 risulta:

$$f(A, B, C, D) = \sum m(2, 3, 8, 10, 12) = A\bar{C}\bar{D} + \bar{A}\bar{B}C + \bar{B}\bar{C}\bar{D} \quad (3.20-8)$$

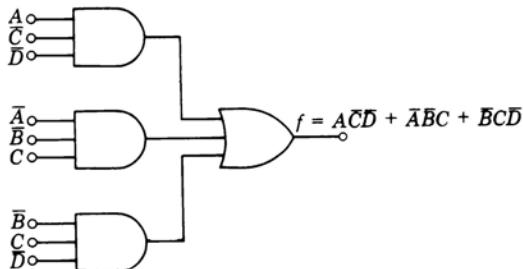


Figura 3.20-4 Realizzazione a porte dell'Eq. (3.20-8).

In Fig. 3.20-3 sono illustrati, usando due notazioni equivalenti, i raggruppamenti che portano a tale risultato.

Se usiamo la combinazione indicata dall'Eq. (3.20-7) troviamo

$$f(A, B, C, D) = \sum m(2, 3, 8, 10, 12) = A\bar{C}\bar{D} + \bar{A}\bar{B}C + A\bar{B}\bar{D} \quad (3.20-9)$$

Entrambi i risultati, quello dell'Eq. (3.20-8) e quello dell'Eq. (3.20-9) sono ugualmente accettabili ed equivalenti sotto l'aspetto del risparmio dei componenti. Entrambi richiedono una sola porta OR e tre porte AND a tre terminali di ingresso. In Fig. 3.20-4 è illustrata la realizzazione della funzione così come è espressa nell'Eq. (3.20-8), utilizzando porte AND e OR.

Desideriamo dare una breve spiegazione sul seguente punto: per arrivare all'Eq. (3.20-8) mediante la combinazione illustrata in Fig. 3.20-3, abbiamo usato due volte il minterm  $m_2$ , una volta associato ad  $m_3$  ed una volta associato ad  $m_{10}$ . Per arrivare all'Eq. (3.20-9) si deve invece usare due volte il minterm  $m_8$ . È permesso considerare più volte un minterm perchè, considerando due volte per esempio  $m_2$ , abbiamo semplicemente applicato il teorema espresso dall'Eq. (3.11-4a), che in questo caso si scrive:

$$m_2 = \bar{A}\bar{B}C\bar{D} = \bar{A}\bar{B}C\bar{D} + \bar{A}\bar{B}C\bar{D} + \dots$$

### 3.21 RAGGRUPPAMENTI MULTIPLI SU UNA MAPPA K

Abbiamo visto che è possibile raggruppare due caselle adiacenti di una mappa K col risultato di ottenere un termine da cui è eliminata una variabile. Analogamente si possono combinare  $2^n$  caselle adiacenti per ottenere un unico termine da cui sono eliminate  $n$  variabili. In Fig. 3.21-1 sono illustrati tipici raggruppamenti di quattro caselle. In Fig 3.21-1a le combinazioni  $m_1 + m_5$  e  $m_3 + m_7$  danno come risultato:

$$m_1 + m_5 = \bar{A}\bar{C}\bar{D} \quad (3.21-1)$$

$$m_3 + m_7 = \bar{A}CD \quad (3.21-2)$$

sicchè

$$(m_1 + m_5) + (m_3 + m_7) = \bar{A}\bar{C}\bar{D} + \bar{A}CD = \bar{A}D(\bar{C} + C) = \bar{A}D \quad (3.21-3)$$

Naturalmente si sarebbe ottenuto lo stesso risultato procedendo, per il raggruppamento, nell'ordine  $(m_1 + m_3) + (m_5 + m_7)$ .

Analogamente, dalla Fig. 3.21-1b, abbiamo:

$$f(A, B, C, D) = \sum m(1, 5, 9, 13) = \bar{C}D \quad (3.21-4)$$

Inoltre nella Fig. 3.21-1c i termini che si trovano negli angoli della mappa sono considerati adiacenti e quindi

$$f(A, B, C, D) = (m_0 + m_2) + (m_8 + m_{10}) = \bar{A}\bar{B}\bar{D} + A\bar{B}\bar{D} = \bar{B}\bar{D} \quad (3.21-5)$$

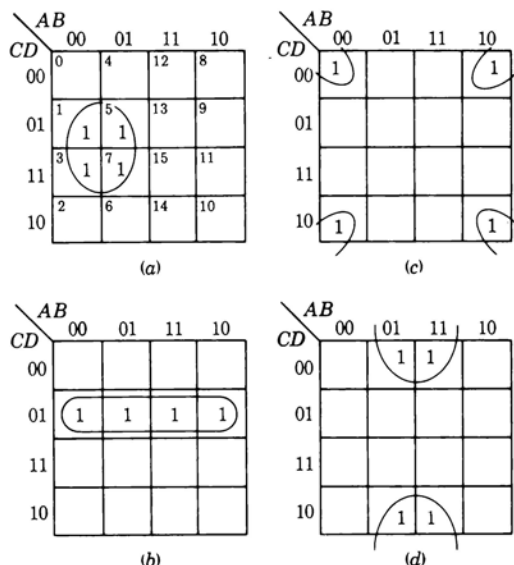


Figura 3.21-1 Raggruppamenti di quattro caselle.

Tale risultato è stato ottenuto considerando che i quattro termini *non* differiscono per quanto riguarda  $\overline{B}\overline{D}$ . Infine consideriamo la Fig. 3.21-1d che illustra un ultimo esempio di raggruppamento; è facilmente dimostrabile che

$$f(A, B, C, D) = \sum m(4, 6, 12, 14) = B\overline{D} \quad (3.21-6)$$

In Fig. 3.21-2 sono rappresentati tipici raggruppamenti di otto caselle. In queste figure gli otto termini differiscono l'uno dall'altro per i valori di tutte le variabili tranne una; in Fig. 3.21-2a  $f = \overline{A}$ , mentre in Fig. 3.21-2b,  $f = \overline{D}$ . Un raggruppamento di ordine ancora maggiore sarebbe quello di sedici caselle. Nel caso di quattro variabili il fatto di avere sedici caselle della mappa K con-

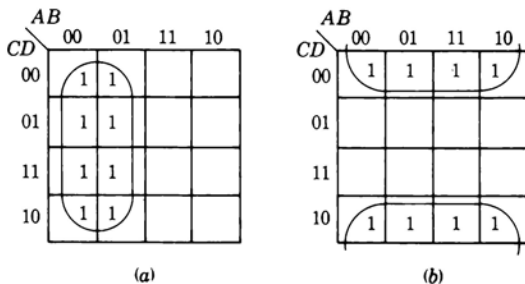


Figura 3.21-2 Raggruppamenti di otto caselle.



tenenti **1**, significherebbe che la funzione è  $f = 1$ , indipendentemente da qualsiasi variabile. Tali raggruppamenti di sedici caselle hanno invece senso in una mappa K a cinque variabili, presentante quindi trentadue caselle, ecc. (Par. 3.22).

### 3.22 MAPPE DI KARNAUGH PER CINQUE E PER SEI VARIABILI

Supponiamo, nell'impostare una mappa K per cinque variabili, di seguire la stessa procedura che ci ha portati dalla mappa ad una variabile fino a quella a quattro variabili. Otterremo una mappa a cinque variabili come quella illustrata in Fig. 3.22-1. Abbiamo aggiunto una variabile e costruito due mappe a quattro variabili affiancate. Nell'ordinamento delle righe abbiamo seguito il codice binario riflesso. Questa mappa conserva tutte le caratteristiche delle mappe precedenti. Le caselle geometricamente vicine continuano ad essere adiacenti, così come la riga superiore con la riga inferiore e la colonna all'estrema sinistra con la colonna all'estrema destra. Tuttavia ora, come si può verificare, le celle simmetriche rispetto alla linea verticale centrale (la linea tratteggiata di Fig. 3.22-1) sono da considerare anch'esse adiacenti. Ad esempio  $m_7$  è adiacente ad  $m_{23}$ ,  $m_{13}$  è adiacente ad  $m_{29}$ , ecc. Contemporaneamente continuano a sussistere le adiacenze valide per la mappa a quattro variabili; quindi  $m_1$  è adiacente a  $m_9$ ,  $m_2$  è adiacente a  $m_{10}$ , ecc.

Naturalmente si deve trarre il maggior vantaggio possibile dall'adiacenza dei minterm ed il merito della mappa K sta proprio nel fatto che permette di individuare «ad occhio» i minterm adiacenti. Tenendo conto delle nuove adiacenze, la mappa di Fig. 3.22-1 può essere usata correttamente per il caso di cinque variabili. Esiste comunque un'altra configurazione che facilita l'immediata individuazione delle celle adiacenti. Tale configurazione, più comune, è illustrata in Fig. 3.22-2. Tutte le relazioni di adiacenza viste per le mappe a quattro variabili sono valide sia per la sezione di sinistra, corrispondente ad  $A = 0$ , che per la sezione di destra, corrispondente ad  $A = 1$ . Inoltre ciascuna casella della sezione con  $A = 0$  è adiacente alla corrispondente casella della

		ABC							
		000	001	011	010	110	111	101	100
DE	00	0	4	12	8	24	28	20	16
	01	1	5	13	9	25	29	21	17
	11	3	7	15	11	27	31	23	19
	10	2	6	14	10	26	30	22	18

Figura 3.22-1 Una possibile rappresentazione di una mappa K a cinque variabili.

		$A = 0$				$A = 1$			
$DE$	$BC$	00	01	11	10	00	01	11	10
		0	4	12	8	16	20	28	24
00									
01		1	5	13	9	17	21	29	25
11		3	7	15	11	19	23	31	27
10		2	6	14	10	18	22	30	26

Figura 3.22-2 Mappa K a cinque variabili.

sezione con  $A = 1$ . Ad esempio  $m_5$  è adiacente ad  $m_{21}$ ,  $m_{15}$  è adiacente ad  $m_{31}$ , ecc. Per vedere meglio questi legami di adiacenza, possiamo immaginare di sovrapporre le due sezioni e di considerare adiacenti le caselle dei due piani che si corrispondono verticalmente.

Seguendo lo stesso criterio che ci ha permesso di arrivare alla mappa a cinque variabili, in Fig. 3.22-3 riportiamo una mappa a sei variabili. Per ciascuna delle sottosezioni a quattro variabili sono valide le solite relazioni di adiacenza. Inoltre sono da considerarsi adiacenti le caselle di sottosezioni diverse che si corrispondono orizzontalmente e verticalmente. Ad esempio  $m_5$  è adiacente ad  $m_{21}$  e ad  $m_{37}$ ;  $m_{63}$  è adiacente ad  $m_{31}$  e  $m_{47}$ , ecc.

La mappa di Karnaugh ha il merito di permettere l'identificazione immediata dei termini adiacenti. Quando però il numero delle variabili diventa troppo elevato, diciamo sette o più, la mappa K diventa così estesa da porre

		$B = 0$				$B = 1$			
$EF$	$CD$	00	01	11	10	00	01	11	10
		0	4	12	8	16	20	22	24
$A = 0$	00								
	01	1	5	13	9	17	21	29	25
	11	3	7	15	11	19	23	31	27
	10	2	6	14	10	18	22	30	26
$A = 1$	00	32	36	44	40	48	52	60	56
	01	33	37	45	41	49	53	61	57
	11	35	39	47	43	51	55	63	59
	10	34	38	46	42	50	54	62	58

Figura 3.22-3 Mappa K a sei variabili.

in serio dubbio la sua validità come mezzo rapido per la ricerca di termini adiacenti. Per questo motivo nel caso di molte variabili si preferiscono procedure tabulari.

Nei paragrafi successivi illustreremo parecchie applicazioni della mappa K. Per semplificare i calcoli limiteremo il nostro studio a casi con al massimo quattro variabili.

### 3.23 USO DELLE MAPPE DI KARNAUGH

Quando una funzione è espressa in forma canonica mediante i minterm si può usare la mappa K per semplificarla applicando i seguenti principi:

- 1 I raggruppamenti di caselle (minterm) che si scelgono devono essere tali da includere ciascuna casella almeno una volta. Come si è visto, una certa casella può però far parte di più combinazioni differenti.
- 2 Ciascun raggruppamento deve interessare il maggior numero possibile di caselle in modo che tutte le caselle siano incluse nel minor numero possibile di raggruppamenti.

I raggruppamenti a volte sono chiamati *prodotti* e a volte *implicanti primi*. Può però capitare che non sia necessario utilizzare tutti gli implicanti primi possibili per includere almeno una volta tutte le caselle. Nell'esempio di Fig. 3.20-3 si vede proprio questo caso. Qui gli implicanti primi sarebbero  $p_1 = m_2 + m_3$ ,  $p_2 = m_8 + m_{12}$ ,  $p_3 = m_2 + m_{10}$  e  $p_4 = m_8 + m_{10}$ , ma la funzione in questione potrebbe essere espressa come  $f = p_1 + p_2 + p_3$  oppure come  $f = p_1 + p_2 + p_4$ . In entrambi i casi non si può fare a meno di  $p_1$  perchè diversamente non si terrebbe conto di  $m_3$ . Per questo motivo  $p_1$  è chiamato *implicante primo essenziale*. Analogamente  $p_2$  è essenziale perchè senza  $p_2$  non si terrebbe conto di  $m_{12}$ . Poichè invece siamo liberi di scegliere o di non scegliere  $p_3$ , esso è un implicante non essenziale. Un discorso analogo vale per  $p_4$ .

Una funzione espressa come somma di implicanti primi richiede, per ogni implicante, una porta AND, come nella configurazione di Fig. 3.20-4. Inoltre il numero degli ingressi di ciascuna porta diminuisce al crescere del numero di caselle raggruppate per determinare l'implicante primo corrispondente. L'ottimizzazione di una struttura a porte si realizza innanzi tutto minimizzando il numero delle porte; fra strutture differenti con ugual numero di porte si considera migliore la struttura con il minor numero di ingressi.

La preoccupazione di trovare su una mappa K implicanti primi che comprendano il maggior numero possibile di caselle ci espone ad un rischio. Questa situazione è illustrata in Fig. 3.23-1: si sarebbe tentati di combinare  $m_5 + m_7 + m_{13} + m_{15}$ , come indicato dalla linea tratteggiata; così facendo dovremmo aggiungere altri quattro implicanti primi per tener conto dei quattro 1 rimanenti. Ci troveremmo allora a considerare di nuovo tutte le caselle del primo raggruppamento a quattro, per cui la prima combinazione risulterebbe

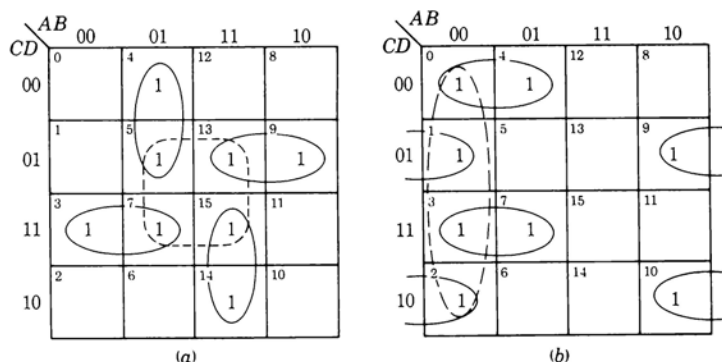


Figura 3.23-1 Esempi di inutili raggruppamenti di quattro caselle.

$$(a) f = (m_4 + m_5) + (m_3 + m_7) + (m_{14} + m_{15}) + (m_9 + m_{13}) \\ = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{C}D + ABC + A\bar{C}D$$

$$(b) f = (m_0 + m_4) + (m_1 + m_5) + (m_3 + m_7) + (m_2 + m_{10}) \\ = \bar{A}\bar{C}\bar{D} + \bar{B}\bar{C}D + \bar{A}CD + \bar{B}C\bar{D}$$

rebbe superflua. La funzione definitiva è scritta sotto la mappa K. In Fig. 3.23-1b è illustrato un esempio analogo.

Si potrà ottenere l'espressione minima per una funzione logica, evitando il rischio di cui è detto, applicando alla mappa K il seguente algoritmo.

- 1 Circondare e considerare come implicanti primi essenziali gli 1 di tutte le caselle che non possono essere combinate con altre.
- 2 Individuare le caselle che possono essere combinate con una soltanto delle altre in *un solo modo*. Circondare questi raggruppamenti di due caselle. Una casella che può entrare in un raggruppamento a due, ma in *più di un modo* deve essere per il momento trascurata.
- 3 Individuare le caselle che possono essere combinate con altre tre caselle in *un sol modo*. Se *non tutte* le quattro caselle così considerate sono già state coperte da un raggruppamento a due, circondare le quattro caselle. Anche in questo caso una casella che può essere compresa in un raggruppamento a quattro *in più di un modo* deve essere per il momento trascurata.
- 4 Ripetere il procedimento per gruppi di otto caselle, ecc.
- 5 Se alla fine restano ancora delle caselle scoperte, queste possono essere combinate fra loro o con altre caselle già coperte, in modo piuttosto arbitrario; naturalmente le caselle restanti dovranno essere incluse nel minor numero possibile di gruppi.

Questo algoritmo è illustrato praticamente nei due esempi seguenti. Nel primo esempio la soluzione viene determinata seguendo passo passo l'algorit-

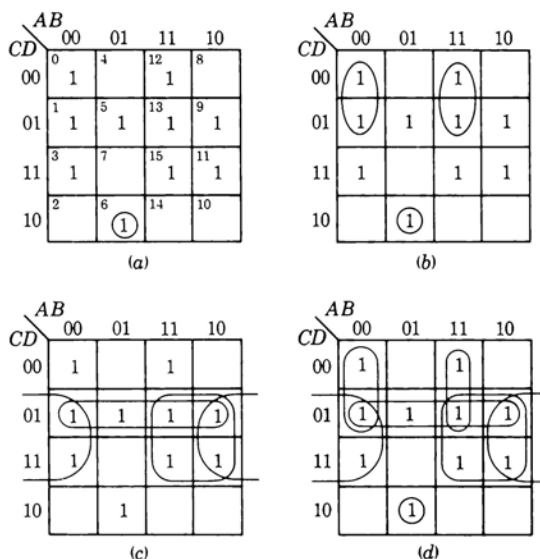


Figura 3.23-2 Mappa K relativa all'Esempio 3.23-1.

mo. Nel secondo esempio un semplice esame della mappa consente di soddisfare le condizioni espresse al punto 5.

**ESEMPIO 3.23-1** Data una funzione di quattro variabili

$$f(A, B, C, D) = \sum m(0, 1, 3, 5, 6, 9, 11, 12, 13, 15) \quad (3.23-1)$$

minimizzarla usando una mappa K.

**SOLUZIONE** In Fig. 3.23-2a è rappresentata la mappa K relativa alla funzione dell'Eq. (3.23-1). Notiamo che  $m_6$  non può essere combinato con nessuna altra casella. Perciò lo circondiamo e lo consideriamo come implicante primo essenziale. Notiamo poi che  $m_0$  ed  $m_{12}$  possono essere inclusi in gruppi di due caselle in un solo modo; quindi circondiamo ciascuno dei due gruppi come indicato in Fig. 3.23-2b. Trascuriamo le altre caselle che potrebbero essere raggruppate due a due in vari modi. Osserviamo ora che  $m_3, m_5, m_{13}, m_{15}$  possono essere inclusi ciascuno in un gruppo di quattro caselle in un solo modo; inoltre i raggruppamenti a quattro che così si ottengono comprendono altre caselle delle quali non tutte sono già state coperte dalle combinazioni a due. Perciò circondiamo questi tre gruppi di quattro caselle come indicato in Fig. 3.23-2c. In Fig. 3.23-2d sono indicati tutti i raggruppamenti: possiamo constatare che si è tenuto conto di tutte le caselle. Da questa mappa ricaviamo:

$$f(A, B, C, D) = \bar{A}BC\bar{D} + \bar{A}\bar{B}\bar{C} + ABC\bar{C} + \bar{C}D + \bar{B}D + AD \quad (3.23-2)$$

**ESEMPIO 3.23-2** Data la funzione a quattro variabili

$$f(A, B, C, D) = \sum m(0, 2, 3, 4, 5, 7, 8, 9, 13, 15) \quad (3.23-3)$$

minimizzarla utilizzando una mappa K.

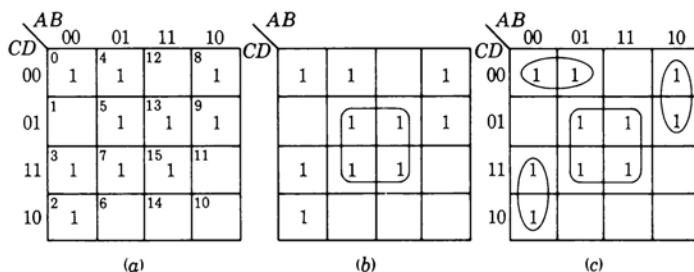


Figura 3.23-3 Mappa K relativa all'Esempio 3.23-2.

**SOLUZIONE** In Fig. 3.23-3a è rappresentata la mappa K per la funzione indicata dall'Eq. (3.23-3). Applicando i punti 1 e 2 dell'algoritmo non si riesce ad ottenere alcun risultato. Le quattro celle  $m_0, m_7, m_{13}, m_{15}$  soddisfano la condizione espressa al punto 3. Applicando il procedimento indicato al punto 3 si arriva al raggruppamento illustrato in Fig. 3.23-3b. Il punto 4 non è applicabile, tuttavia si vede che alcune celle non sono state ancora prese in considerazione; allora, in accordo con il punto 5, le combiniamo arbitrariamente. È ovvio che le combinazioni indicate in Fig. 3.23-3c determinano il minor numero possibile di implicanti primi. La soluzione che si ricava direttamente dalla Fig. 3.23-3c è:

$$f(A, B, C, D) = \overline{A}\overline{C}\overline{D} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + BD \quad (3.23-4)$$

Consideriamo ora un problema in cui la funzione è espressa mediante i suoi **0** anziché i suoi **1**, cioè mediante i suoi *maxterm* anziché i suoi *minterm*. In questo caso bisogna scrivere nella mappa K gli **0** in luogo degli **1** e la soluzione sarà espressa in forma di prodotto di somme anziché di somma di prodotti.

Per i *maxterm* è ancora valido l'algoritmo usato per raggruppare i *minterm*; si noti però un cambiamento nella terminologia. In corrispondenza al termine *implicante primo*, definito come un prodotto facente parte della somma che esprime la funzione, abbiamo l'*implicato primo*, definito come una somma facente parte del prodotto che esprime la funzione.

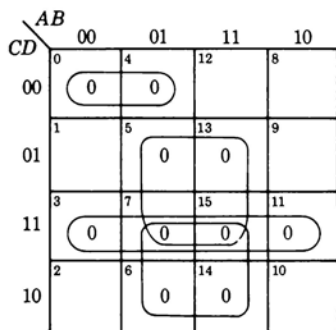


Figura 3.23-4 Mappa K relativa all'Esempio 3.23-3.

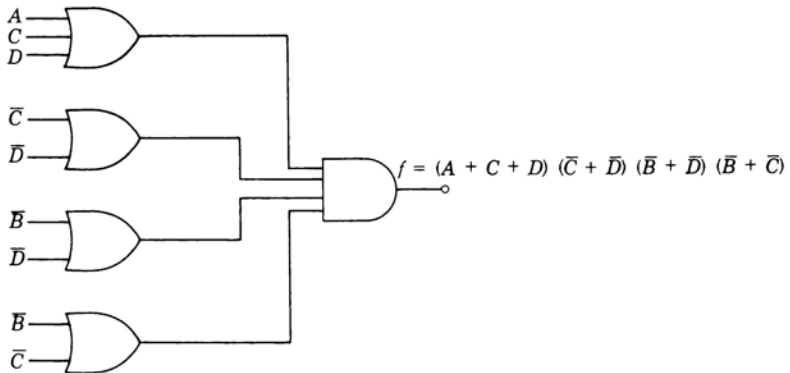


Figura 3.23-5 Realizzazione a porte dell'Eq. (3.23-6).

**ESEMPIO 3.23-3** Data la funzione a quattro variabili

$$f(A, B, C, D) = \prod M(0, 3, 4, 5, 6, 7, 11, 13, 14, 15) \quad (3.23-5)$$

minimizzarla utilizzando una mappa K.

**SOLUZIONE** In Fig. 3.23-4 è rappresentata la mappa K. L'applicazione dell'algoritmo determina unicamente i raggruppamenti indicati. Dalla mappa risulta

$$f(A, B, C, D) = (A + C + D)(\bar{C} + \bar{D})(\bar{B} + \bar{D})(\bar{B} + \bar{C}) \quad (3.23-6)$$

In Fig. 3.23-5 è illustrata la realizzazione circuitale dell'Eq. (3.23-6) mediante porte AND e OR. Notiamo che ciascun termine dell'Eq. (3.23-6) richiede una porta OR e che tutte le uscite delle porte OR sono combinate in una porta AND. È utile un confronto della Fig. 3.23-5 con la Fig. 3.20-4 dove, per realizzare circuitalmente una funzione espressa come somma di prodotti, l'ordine delle porte AND e OR è invertito.

### 3.24 USO DELLA MAPPA K QUANDO LA FUNZIONE NON È ESPRESSA MEDIANTE I MINTERM

Il discorso precedente sull'impiego delle mappe suggerisce, quando si voglia compilare la mappa di una funzione, di esprimere la funzione stessa in termini di somma di minterm (o prodotto di maxterm). In linea di principio ciò è perfettamente valido. In pratica però, se la funzione non è espressa in questa forma, non è necessario espanderla nella sua forma canonica con procedimento algebrico. L'espansione necessaria per far comparire i minterm si può effettuare inserendo direttamente i termini della funzione nella mappa K. Ad esempio, supponiamo di voler rappresentare in una mappa K la funzione

$$f(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + B\bar{C}D + \bar{A}\bar{C} + A \quad (3.24-1)$$

in cui solo il primo termine è un minterm. Come si vede in Fig. 3.24-1a il primo termine viene riportato direttamente nella mappa. Il secondo termine

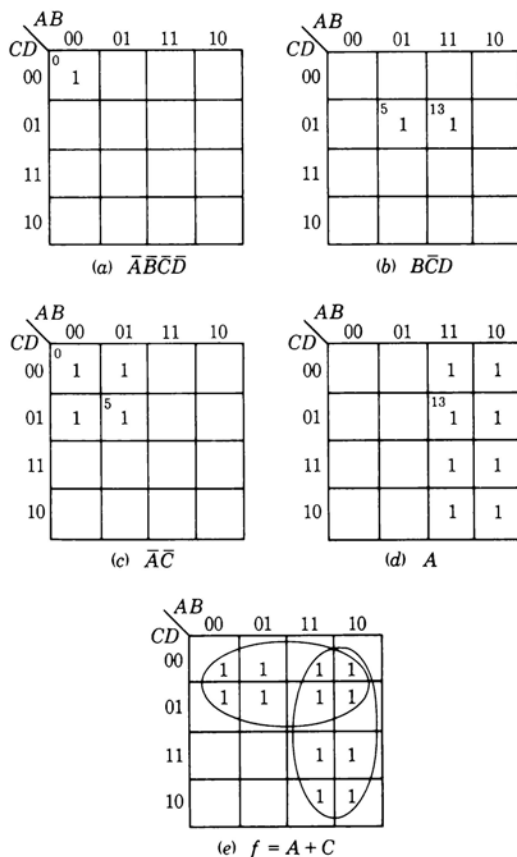


Figura 3.24-1 Mappa K di una funzione non esplicitamente espressa in termini di min-term.

$B\bar{C}D$  corrisponde nella mappa alla locazione con  $B = 1$ ,  $C = 0$ ,  $D = 1$  ed è indipendente da  $A$ ; perciò lo si riporta nelle caselle in cui  $B = 1$ ,  $C = 0$  e  $D = 1$  per entrambi i valori di  $A$ , come è indicato in Fig. 3.24-1b. Analogamente il terzo termine viene ripetuto nelle caselle in cui  $A = 0$ ,  $C = 0$  e per i due valori sia di  $B$  che di  $D$ , come si può vedere in Fig. 3.24-1c. Infine il termine  $A$  viene scritto nelle caselle in cui  $A = 1$  per i due valori di ciascuna delle altre variabili, come è illustrato in Fig. 3.24-1d. Combinando le mappe relative a ciascun termine si ottiene la mappa K completa, rappresentata in Fig. 3.24-1e. Troviamo che

$$f(A, B, C, D) = A + \bar{C} \quad (3.24-2)$$



Tabella 3.24-1 Tavola di verità relativa all'Esempio 3.8-1.

<i>J</i>	<i>D</i>	<i>G</i>	<i>C</i>	<i>L</i>	<i>J</i>	<i>D</i>	<i>G</i>	<i>C</i>	<i>L</i>
0	0	0	0	0	1	0	0	0	1
0	0	0	1	0	1	0	0	1	1
0	0	1	0	0	1	0	1	0	0
0	0	1	1	1	1	0	1	1	0
0	1	0	0	0	1	1	0	0	1
0	1	0	1	0	1	1	0	1	0
0	1	1	0	1	1	1	1	0	0
0	1	1	1	1	1	1	1	1	0

Notiamo che in parecchi casi, per esempio nel caso dei minterm  $m_0$ ,  $m_5$  ed  $m_{13}$ , c'è un 1 nelle mappe relative a più di un termine. Ciò non comporta però alcun inconveniente poichè, come si è detto, un minterm sommato a se stesso è equivalente al minterm stesso.

**ESEMPIO 3.24-1** Con riferimento all'Esempio 3.8-1, compilare una tavola di verità che rappresenti tutti i casi possibili. Indicare il verificarsi del danno con  $L = 1$ . Riportare le 16 combinazioni sulla mappa K e semplificare. Dimostrare che la soluzione trovata per l'Esempio 3.8-1 è effettivamente corretta ed espressa nella forma più semplice.

**SOLUZIONE** Innanzi tutto impostiamo la tavola di verità di Tab. 3.24-1. Notiamo che nella prima riga  $L = 0$  poichè non si può verificare alcun danno quando il contadino, il cane, la capra ed i cavoli sono nella fattoria nord. Dalla quarta riga si vede invece che il danno si verifica, cioè  $L = 1$ , quando il contadino è nella fattoria nord mentre la capra ed i cavoli si trovano nella fattoria sud. In modo analogo si determina il valore di  $L$  per tutte le altre righe.

Ora riportiamo ciascuna riga in cui  $L = 1$  direttamente sulla mappa K, come indicato in Fig. 3.24-2. Per capire come si deve procedere nel compilare la mappa, prendiamo la quarta riga della tavola di verità. Qui  $J = 0$ ,  $D = 0$ ,  $G = 1$ ,  $C = 1$ . Quindi scegliamo la colonna in cui  $JD$  sono 00 ed individuiamo la casella all'intersezione di questa colonna con la riga  $GC = 11$ . In modo analogo si scelgono le altre caselle.

La funzione  $L$  espressa in minterm risulta:

$$L = \bar{J}GC + \bar{J}DG + J\bar{G}\bar{C} + J\bar{D}\bar{G} \quad (3.24-3)$$

il che è identico al risultato ottenuto nell'Esempio 3.8-1.

<i>JD</i> <i>GC</i>	00	01	11	10
00			1	1
01				1
11	1	1		
10		1		

Figura 3.24-2 Mappa K relativa all'Esempio 3.24-1.

### 3.25 SINTESI USANDO PORTE NAND O NOR

Se esprimiamo una funzione logica come somma di prodotti, la sua realizzazione fisica è costituita da un certo numero di porte  $\text{AND}$  seguite in cascata da una porta  $\text{OR}$ , come è illustrato in Fig. 3.20-4. Ciascuna variabile di ingresso viene trasmessa prima attraverso una porta  $\text{AND}$ , che costituisce pertanto nella struttura a porte un elemento del primo ordine (o del primo livello), poi attraverso una porta  $\text{OR}$ , che costituisce un elemento del secondo ordine. La struttura rappresentata in Fig. 3.20-4 è quindi spesso denominata sistema a due *ordini* (a due *livelli*) di porte  $\text{AND-OR}$ . Se invece esprimiamo una funzione logica come prodotto di somme, arriviamo ad una struttura a due *ordini* di porte  $\text{OR-AND}$ , come si vede in Fig. 3.23-5, dove le porte di ingresso sono  $\text{OR}$  e la porta del secondo ordine è una porta  $\text{AND}$ . Si noti che talvolta strutture a più ordini di porte possono essere più semplici di strutture a due soli ordini. Tuttavia per progettare sistemi a più ordini non esiste una procedura semplice come quella che porta a sistemi a due ordini. Inoltre quanto minore è il numero degli ordini, tanto più breve è il tempo di propagazione attraverso la struttura.

Abbiamo notato che qualsiasi operazione logica può essere realizzata utilizzando solo porte  $\text{NAND}$  oppure solo porte  $\text{NOR}$  ed abbiamo visto che esistono validi motivi pratici per impiegare proprio le porte  $\text{NAND}$  O  $\text{NOR}$ . Vediamo ora come si possa realizzare fisicamente una funzione usando soltanto porte  $\text{NAND}$  oppure soltanto porte  $\text{NOR}$ . Descriveremo il procedimento con un esempio.

Consideriamo la funzione logica  $Z$  la cui mappa  $K$  è indicata in Fig. 3.25-1a. Esprimendola come somma di prodotti otteniamo

$$Z = \bar{A}B + A\bar{C} \quad (3.25-1)$$

Esprimendola come prodotto di somme otteniamo

$$Z = (A + B)(\bar{A} + \bar{C}) \quad (3.25-2)$$

In Fig. 3.25-1b viene illustrata la realizzazione circuitale a due ordini di porte  $\text{AND-OR}$ , mentre in Fig. 3.25-1c è illustrata la realizzazione a due ordini di porte  $\text{OR-AND}$ . Applicando due volte il teorema di De Morgan alla somma di prodotti dell'Eq. (3.25-1), otteniamo

$$\bar{Z} = \overline{\bar{A}B + A\bar{C}} = (\overline{\bar{A}B})(\overline{A\bar{C}}) \quad (3.25-3a)$$

$$Z = \bar{\bar{Z}} = (\overline{\overline{\bar{A}B}})(\overline{\overline{A\bar{C}}}) \quad (3.25-3b)$$

che viene realizzata impiegando solo porte  $\text{NAND}$  come è illustrato in Fig. 3.25-1d. Si noti che il circuito di Fig. 3.25-1d è perfettamente analogo a quello di Fig. 3.25-1b, ad eccezione del fatto che ciascuna porta è sostituita da

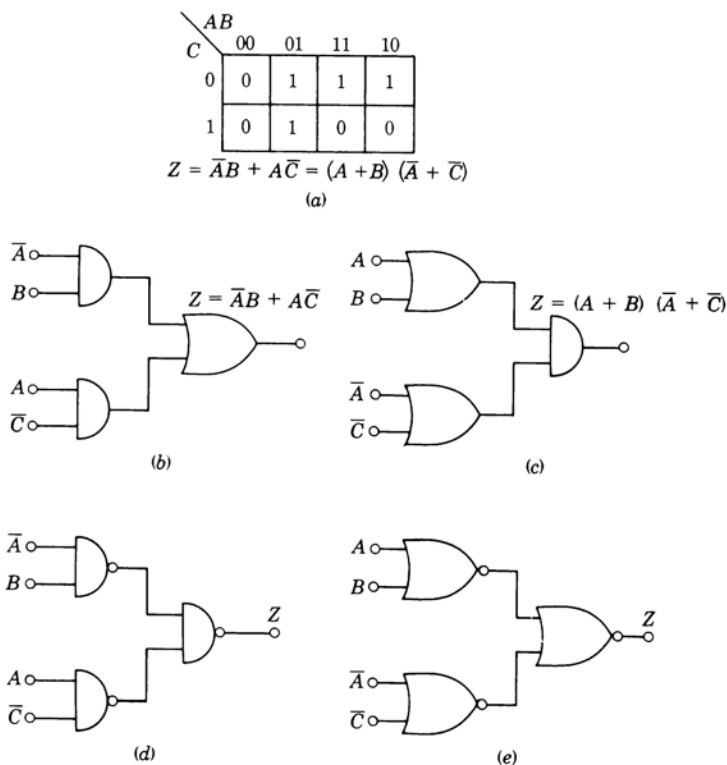


Figura 3.25-1 (a) Mappa K per  $Z$ ; (b) circuito AND-OR per  $Z$ ; (c) circuito OR-AND; (d) circuito con sole porte NAND; (e) circuito con sole porte NOR.

una porta  $NAND$ . Applicando due volte il teorema di De Morgan al prodotto di somme dell'Eq. (3.25-2), otteniamo

$$\bar{Z} = \overline{(A+B)(\bar{A} + \bar{C})} = (\overline{A+B}) + (\overline{\bar{A} + \bar{C}}) \quad (3.25-4a)$$

$$\bar{Z} = Z = \overline{(A+B)} + (\bar{A} + \bar{C}) \quad (3.25-4b)$$

che viene realizzata impiegando solo porte  $NOR$  come è illustrato in Fig. 3.25-1e. Si osservi che il circuito di Fig. 3.25-1e è perfettamente analogo a quello di Fig. 3.25-1c ad eccezione del fatto che ciascuna porta è sostituita da una porta  $NOR$ .

In conclusione, per arrivare ad un circuito a porte  $NAND$  si comincia con l'esprimere  $Z$  come somma di prodotti. Si disegna la corrispondente configurazione a due ordini AND-OR e si sostituiscono *tutte* le porte con porte  $NAND$ . Per arrivare ad un circuito a porte  $NOR$ , si comincia con l'esprimere  $Z$  come

		AB			
		00	01	11	10
CD	00	0	4	12	8
	01	1	5	13	9
	11	3	7	15	11
	10	2	6	14	10

Figura 3.26-1 Una funzione non completamente definita.

prodotto di somme; si disegna la corrispondente configurazione a due ordini OR AND ed infine si sostituiscono *tutte* le porte con porte NOR.

### 3.26 FUNZIONI NON COMPLETAMENTE DEFINITE

Una funzione logica  $f$  viene definita specificando, per ogni possibile combinazione delle variabili, se la funzione assume il valore  $f = 1$  oppure  $f = 0$ . Tale informazione permette di riportare immediatamente i minterm, o i maxterm, sulla mappa K e quindi permette di esprimere la funzione nella sua forma più semplice.

Supponiamo ora di iniziare a scrivere nella forma più semplice una funzione  $f$  specificata per alcune (ma non tutte) combinazioni delle variabili. In tal caso si possono trovare parecchie funzioni differenti in grado di soddisfare le specifiche date. Tali funzioni differiscono fra loro nei valori che assumono per le combinazioni di variabili che non sono specificate. Sorge quindi il problema di arrivare direttamente alla funzione più semplice tra tutte le possibili.

In pratica, la specificazione incompleta può derivare da due motivi. Talvolta, semplicemente, è *indifferente* quale valore assumerà la funzione per alcune combinazioni di variabili. In altri casi si sa che certe combinazioni di variabili *non si verificheranno mai*, e quindi si possono considerare indifferenti i valori corrispondenti della funzione.

Per illustrare la procedura di semplificazione mediante l'impiego della mappa K di una funzione non completamente specificata, consideriamo la funzione definita come:

$$f(A, B, C, D) = \sum m(1, 2, 5, 6, 9) + d(10, 11, 12, 13, 14, 15) \quad (3.26-1)$$

In questa equazione la  $d$  sta per «*don't care*» («indifferente»), sicché la funzione è  $f = 1$  in corrispondenza dei minterm 1, 2, ..., mentre non è specificata per

le combinazioni di variabili corrispondenti ai minterm, 10, 11, .... Nella mappa K, come si vede in Fig. 3.26-1, scriviamo **1** in corrispondenza ai minterm e *X* in corrispondenza ai *don't care*. Il procedimento che si segue a questo punto è di interpretare la *X* come **1** se ciò può determinare una semplificazione, altrimenti di ignorarla. Trascurando le *X* la mappa di Fig. 3.26-1 darebbe:

$$f = (m_1 + m_5) + (m_1 + m_9) + (m_2 + m_6) \quad (3.26-2a)$$

$$= \bar{A}\bar{C}D + \bar{B}\bar{C}D + \bar{A}C\bar{D} \quad (3.26-2b)$$

Proviamo ora ad interpretare come **1** le *X* in  $m_{10}$ ,  $m_{13}$ ,  $m_{14}$ . Otteniamo una semplificazione della funzione, che diventa:

$$f = (m_1 + m_5 + m_9 + m_{13}) + (m_2 + m_6 + m_{10} + m_{14}) \quad (3.26-3a)$$

$$= \bar{C}D + C\bar{D} \quad (3.26-3b)$$

Le rimanenti *X* in  $m_{11}$ ,  $m_{12}$ ,  $m_{15}$  non servono nè a ridurre il numero dei termini della funzione nè a ridurre il numero delle variabili in un termine, perciò vengono ignorate, cioè considerate come se fossero **0**.



## CAPITOLO 4

# LOGICA RESISTORE-TRANSISTORE (RTL) E LOGICA AD INIEZIONE INTEGRATA (IIL)

Iniziamo la trattazione delle porte logiche (dal Cap. 4 al Cap. 8) esaminando la porta in *logica resistore-transistore* (RTL: *resistor-transistor logic*). Attualmente questo tipo di porta non è molto usato nella progettazione dei sistemi digitali, tuttavia per diversi motivi costituisce un ottimo punto di partenza per lo studio delle porte logiche. Innanzi tutto l'elegante semplicità della RTL permette di sviluppare concetti fondamentali validi anche per altre famiglie logiche. Inoltre la porta RTL è stata storicamente la prima ad essere impiegata in modo estensivo e tuttora sono in funzione numerose installazioni realizzate con porte di questo tipo. Infine dalla RTL deriva, almeno da un punto di vista topologico, la *logica ad iniezione integrata* (IIL: *integrated-injection logic*), che costituisce una delle famiglie logiche più recenti sul mercato degli integrati LSI.

### 4.1 LA PORTA IN LOGICA RESISTORE-TRANSISTORE (RTL)

Una porta RTL ad  $N$  ingressi (Fig. 4.1-1) è costituita da  $N$  transistori con gli emettitori collegati ad una massa comune ed i collettori collegati, attraverso un resistore di collettore comune  $R_c$ , alla tensione di alimentazione  $V_{CC}$ . Le tensioni di ingresso  $V_i$  ( $i = 1, 2, \dots, N$ ), che rappresentano i livelli logici, sono applicate alle basi attraverso i resistori  $R_b$ . Ragionando in *logica positiva*, si può verificare che la porta illustrata in figura realizza la funzione logica NOR.

Siano  $V_L$  e  $V_H$  le tensioni che rappresentano i due possibili valori di una variabile logica. I pedici  $L$  ed  $H$  stanno per «basso» (*low*) e «alto» (*high*); cioè  $V_L < V_H$ . In logica positiva  $V_L$  corrisponde al valore «falso» della variabile logica, cioè al livello logico 0. La tensione  $V_H$  corrisponde al valore «vero», cioè al livello logico 1. In una porta RTL  $V_L$  deve essere sufficientemente bassa da mandare in interdizione il transistore alla cui base è applicata, mentre  $V_H$  deve essere tale da mandare il transistore in saturazione. Si noti che  $V_L$  e  $V_H$  non sono tensioni univocamente definite; è sufficiente che  $V_L$  si mantenga *minore di* una certa tensione fissa e  $V_H$  *maggiore di* una certa altra tensione fissa. Nel nostro caso,  $V_L$  deve essere minore di  $V_\gamma$ , la tensione di

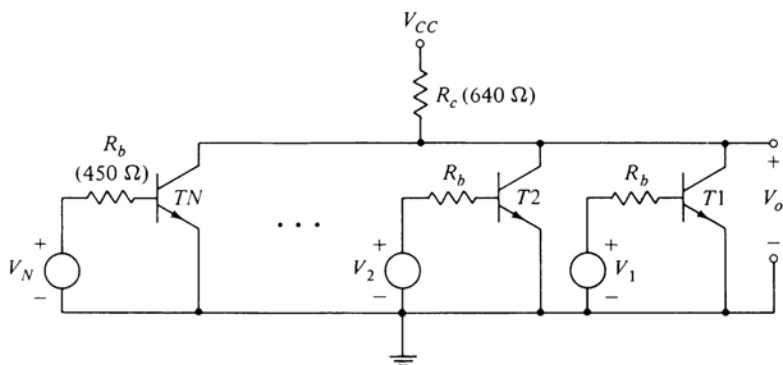


Figura 4.1-1 Porta RTL ad  $N$  ingressi. I componenti delle porte di media potenza che si trovano in commercio presentano i valori indicati in parentesi.

## 4.2 LA PORTA IN LOGICA A TRANSISTORI IN ACCOPPIAMENTO DIRETTO (DCTL)

soglia, mentre  $V_H$  deve essere maggiore o uguale alla tensione che, applicata ad  $R_b$ , porta il transistor in saturazione.

La Tab. 4.1-1 riporta la tavola di verità per una porta a due ingressi espressa in due forme equivalenti: una con i valori logici BASSO (LOW) e ALTO (HIGH), l'altra con i valori logici 0 e 1. Entrambe le forme sono comunemente adottate.

## 4.2 LA PORTA IN LOGICA A TRANSISTORI IN ACCOPPIAMENTO DIRETTO (DCTL)

Le prime porte del tipo rappresentato in Fig. 4.1-1 venivano realizzate in modo più semplice omettendo i resistori di base  $R_b$ . Poiché i terminali di ingresso erano collegati direttamente alle basi, tali porte presero il nome di porte in logica a transistori in accoppiamento diretto (DCTL: *direct-coupled transistor logic*). Le porte DCTL, come le RTL, realizzano la funzione NOR. Parleremo brevemente di queste porte, mettendo in evidenza un loro difetto fondamentale, a causa del quale oggi non vengono quasi più usate.

Come si è visto nel Par. 3.10, l'operazione NOR è funzionalmente completa,

Tabella 4.1-1

$V_1$	$V_2$	$V_o$	$V_1$	$V_2$	$V_o$
L	L	H	0	0	1
L	H	L	0	1	0
H	L	L	1	0	0
H	H	L	1	1	0



cioè tutte le funzioni logiche possono essere realizzate usando unicamente la funzione NOR. In un sistema digitale anche semplice è probabile che gli ingressi di una porta NOR debbano essere pilotati dalle uscite di altre porte NOR e che l'uscita della porta in questione debba a sua volta pilotare altre porte NOR. La configurazione di Fig. 4.2-1, comprendente la porta DCTL G11 nel riquadro tratteggiato, è una rappresentazione esemplare della situazione in cui solitamente si viene a trovare una porta.

Consideriamo con attenzione la porta G11: essa riceve la tensione di ingresso  $V_i$  dalla porta G0 che è chiamata a comandare anche uno degli ingressi di ciascuna delle altre  $N-1$  porte, da G12 a G1N. Analogamente la porta G11 deve pilotare un ingresso di ciascuna delle  $N$  porte da G21 a G2N. Gli altri terminali di ingresso ricevono i loro segnali da altre sorgenti, non indicate nel disegno. Se qualche porta ha più ingressi di quelli necessari, occorre *collegare a massa* i terminali inutilizzati. I transistori corrispondenti allora si interdicono e non interferiscono nel funzionamento della porta.

Calcoliamo ora i livelli di tensione presenti agli ingressi e alle uscite delle porte DCTL di Fig. 4.2-1. Supponiamo che gli ingressi di G0 siano ad un livello di tensione tanto basso da tenere tutti i transistori in interdizione; allora il collettore comune di G0 sarà alto e porterà i transistori  $T_1, T_2, \dots, T_N$  in saturazione. Come si è fatto notare in precedenza (Par. 1.1.), a temperatura ambiente la tensione fra base ed emettitore  $V_{\gamma}$  di un transistor in saturazione vale 0,75 V. Quindi la tensione che corrisponde allo stato 1 dell'uscita di G0 è  $V_{\gamma} = 0,75$  V. La corrente che arriva alle basi di  $T_1, T_2, \dots, T_N$  è fornita dal generatore  $V_{CC}$  attraverso il resistore  $R_c$ . In questa trattazione supponiamo  $R_c$  sufficientemente piccolo da permettere il passaggio di una corrente in grado di portare in saturazione tutti i transistori  $T_1, T_2, \dots, T_N$ . La corrente in  $R_c$  è uguale a

$$\frac{V_{CC} - V_{\gamma}}{R_c} = \frac{V_{CC} - 0,75}{R_c}$$

e la corrente di base di ciascun transistor vale  $I_B = (V_{CC} - 0,75)/NR_c$ , se  $T_1, T_2, T_N$  sono identici. Abbiamo supposto che la corrente sia in grado di saturare  $T_1, \dots, T_N$ . Si noti che la tensione di collettore della porta G0 non sale oltre il valore  $V_{\gamma} = 0,75$  V.

Con almeno uno degli ingressi di G11 a livello 1, il livello sull'uscita di G11 è 0, poiché  $V_{CE} = V_{CE}(\text{sat})$ . Tale valore è tipicamente compreso fra 0,1 e 0,2 V, a seconda della corrente che scorre nel resistore  $R_c$  della porta. Poiché, come abbiamo visto, la tensione di soglia per un transistor al silicio è  $V_{\gamma} = 0,65$  V, la tensione  $V_{CE}(\text{sat}) = 0,1$  oppure 0,2 V applicata all'ingresso della porta successiva è sufficientemente bassa da interdire il transistor corrispondente.

Si osservi che l'ampiezza del segnale logico, cioè il salto fra la tensione

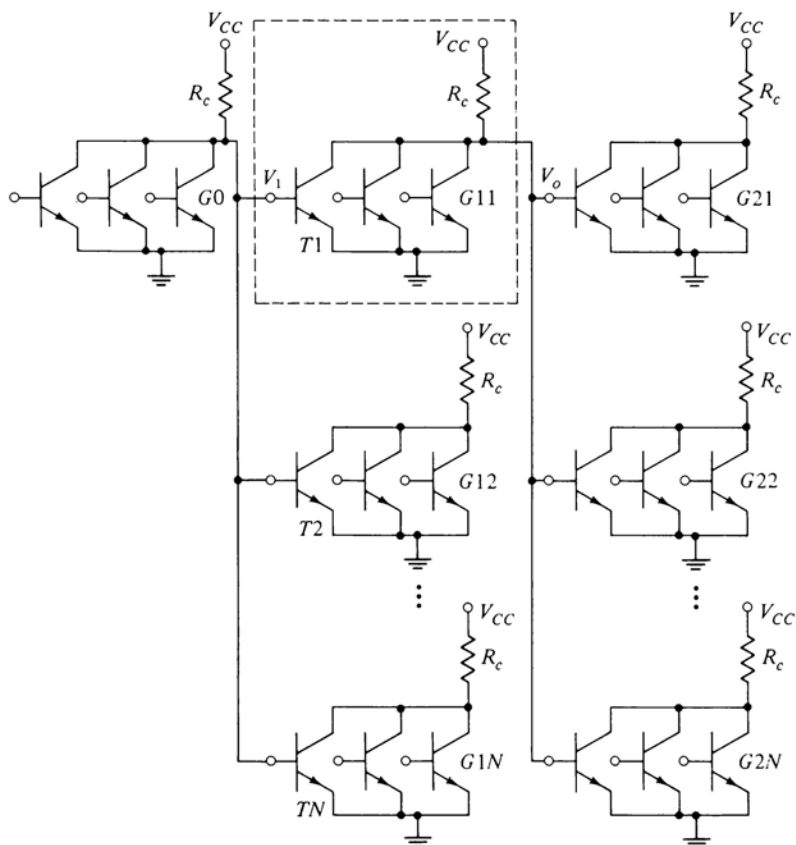


Figura 4.2-1 Porta NOR DCTL con un fan-out di  $N$ .

corrispondente all'1 logico e la tensione corrispondente allo 0 logico, è dell'ordine di  $0,75 - 0,1 = 0,65$  V.

**Caratteristica di ingresso-uscita della DCTL** I risultati fin qui ottenuti sono chiaramente sintetizzati dalla *caratteristica (ideale) di ingresso-uscita* rappresentata dalla curva a tratto pieno di Fig. 4.2-2. Essa rappresenta l'andamento della tensione di uscita  $V_o$  della porta G11 in funzione della tensione di ingresso  $V_i$  applicata a uno dei suoi transistori; gli altri ingressi della porta sono tenuti a livello basso, cioè gli altri transistori sono tenuti in interdizione.

In corrispondenza al punto 1,  $V_i$  si trova al suo valore minimo, pari a  $V_{CE(sat)} = 0,1 \div 0,2$  V, a seconda della tensione di saturazione di G0. Con questo valore della tensione di ingresso,  $V_o$  è uguale a 0,75 V, a causa del carico costituito dalle porte G21, G22, ecc. Al crescere di  $V_i$ , T1 rimane in

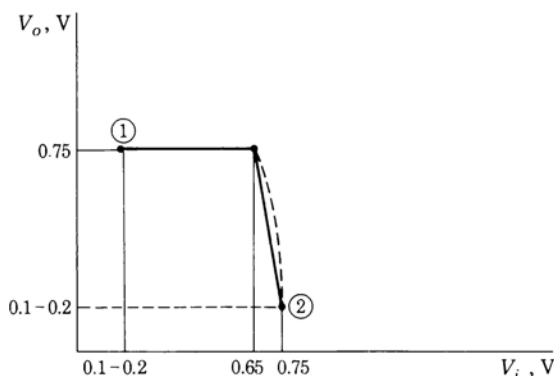


Figura 4.2-2 Caratteristica di ingresso-uscita della porta NOR DCTL.

interdizione finchè  $V_i$  non raggiunge la tensione di soglia, che, a temperatura ambiente, vale 0,65 V. Quando  $V_i$  passa da 0,65 V a 0,75 V,  $T_1$  passa dall'interdizione alla saturazione, come è mostrato in figura.  $V_i$  non può superare il valore 0,75 V, per cui il diagramma termina in corrispondenza di questa tensione (punto 2).

La curva tratteggiata in Fig. 4.2-2 costituisce una caratteristica di ingresso-uscita più vicina alla realtà. Come si è notato (vedi Par. 1.7), nella regione attiva la corrente di collettore  $I_C$  di un transistor è circa uguale alla corrente di emettitore  $I_E$ , la quale è legata alla tensione  $V_{BE}$  dall'equazione del diodo [Eq. (1.7-3)]. Quindi, poichè  $V_{BE} = V_i$ , si ha

$$I_C \approx I_E \approx I_{E0} e^{V_i/V_T} \quad (4.2-1)$$

Per valori di  $V_o$  minori di 0,65 V, le correnti di base dei transistori pilotati da  $G_{11}$  si riducono a zero e possiamo scrivere

$$V_o = V_{CC} - R_c I_C = V_{CC} - R_c I_{E0} e^{V_i/V_T} \quad (4.2-2)$$

Pertanto la caratteristica ingresso-uscita è una curva esponenziale decrescente la cui pendenza aumenta progressivamente. Per valori di  $V_o$  compresi fra 0,65 e 0,75 V, l'Eq. (4.2-2) è meno esatta, perchè non tiene conto della caratteristica tensione-corrente dei circuiti base-collettore dei transistori pilotati.

### 4.3 ACCAPARRAMENTO DI CORRENTE NELLE PORTE DCTL

Le porte DCTL presentano un inconveniente che va sotto il nome di *accaparramento di corrente* (*current hogging*). Per comprendere questo fenomeno teniamo presente che transistori dello stesso tipo, anche se forniscono so-

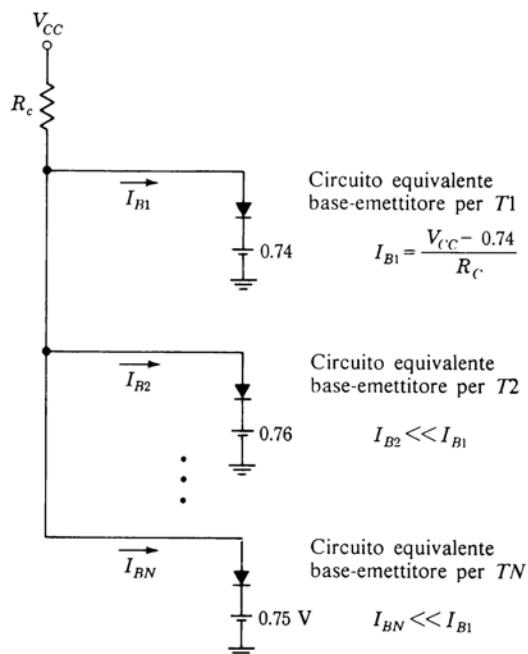


Figura 4.3-1 Circuito equivalente per illustrare l'accaparramento di corrente nella DCTL.

stanzialmente le stesse prestazioni, non sono mai perfettamente identici fra di loro.

Supponiamo allora, riferendoci alla Fig. 4.2-1, che l'uscita della porta  $G0$  sia al livello logico 1;  $T1$ ,  $T2$  ecc. dovrebbero trovarsi tutti in saturazione. Supponiamo, ad esempio, che quando  $T1$  raggiunge la zona di saturazione, presenti una tensione base-emettitore  $V_{BE} = 0,74$  V; supponiamo ancora che per mandare in saturazione  $T2$  sia necessaria invece una  $V_{BE} = 0,76$  V, mentre una  $V_{BE} = 0,74$  V lasci questo transistor in zona attiva. Questa diversità di valori può essere causata non solo dal fatto che si tratta di due transistori distinti, ma anche dal fatto che  $T1$  e  $T2$  possono essere fisicamente situati su due circuiti integrati diversi e lavorare quindi a due temperature diverse. Questa diversità fra le temperature, a sua volta, può essere dovuta alla diversa dislocazione dei due integrati e ad una eventuale diversità della potenza in essi dissipata.

In ogni caso, come si vede dalla Fig. 4.3-1 che mostra il circuito di uscita di  $G0$  ed i circuiti equivalenti base-emettitore dei transistori  $T1$ ,  $T2$ , ...,  $TN$ , il transistor  $T1$  assorbe la maggior parte della corrente fornita attraverso  $R_c$ .

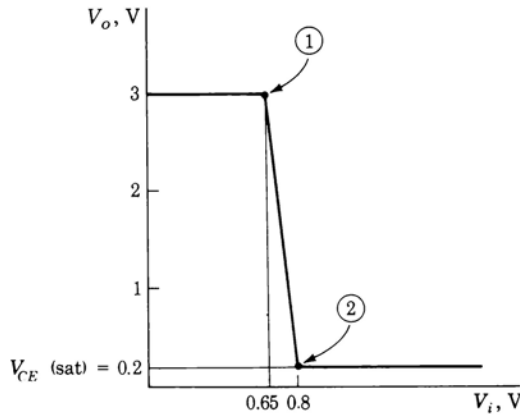


Figura 4.4-1 Caratteristica in tensione di ingresso-uscita con  $T_2$  interdetto.

da  $V_{CC}$ , mentre i transistori che hanno tensioni  $V_{BE} > 0,74$  V, come  $T_2$ , non vengono alimentati a sufficienza e non riescono a raggiungere la saturazione. Questo fenomeno di accaparramento della corrente, caratteristico della DCTL, spiega perché attualmente l'impiego di questa famiglia logica non sia molto diffuso.

#### 4.4 LOGICA RESISTORE-TRANSISTORE (RTL)

Il problema dell'accaparramento di corrente nelle porte DCTL viene facilmente risolto ponendo un resistore in serie alla base di ciascun transistor, come nella porta RTL di Fig. 4.1-1 (vedi Prob. 4.1-1). In una porta di media potenza si trova che  $R_c = 640 \, \Omega$  ed  $R_b = 450 \, \Omega$ , come è indicato fra parentesi in Fig. 4.1-1. La tensione di alimentazione è tipicamente  $V_{CC} = 3$  V.

In Fig. 4.4-1 è illustrata la caratteristica di ingresso-uscita di una porta RTL. Si è rappresentata l'uscita  $V_o$  in funzione di un ingresso  $V_i$ , con tutti gli altri ingressi ad un valore di tensione tale da interdire i transistori corrispondenti. Riferendoci alla Fig. 4.4-1 notiamo che se  $V_i$  è minore della tensione di soglia, che a temperatura ambiente vale 0,65 V,  $T_1$  è interdetto e  $V_o = V_{CC} = 3$  V.

Quando  $V_i$  supera 0,65 V,  $T_1$  entra in zona attiva e  $V_o$  diminuisce fino a che  $T_1$  non va in saturazione. È utile calcolare il valore minimo di  $V_i$  sufficiente a portare  $T_1$  in saturazione. Poniamo  $V_{CE(sat)} = 0,2$  V,  $h_{FE} = 50$  ed  $h_{FC} = 0,1$ . Dalla Fig. 1.10-1 troviamo che  $\sigma = I_C / 50 I_B = 0,85$ ; se  $R_c = 640 \, \Omega$  si ricava dalla Fig. 4.1-1 la corrente di collettore di  $T_1$ , che risulta

$$I_C = \frac{3 - 0.2}{640} = 4.4 \text{ mA} \quad (4.4-1)$$

da cui

$$I_B = \frac{4.4 \times 10^{-3}}{50(0.85)} \approx 0.1 \text{ mA} \quad (4.4-2)$$

Conoscendo  $I_B$  e ponendo  $V_{BE}(T1) = V_T = 0.75 \text{ V}$ , poiché  $T1$  è in saturazione, si può calcolare  $V_i$ . Riferendoci alla Fig. 4.1-1 si ha

$$V_i = 450I_B + V_{BE} = 450(0.1 \times 10^{-3}) + 0.75 \approx 0.8 \text{ V} \quad (4.4-3)$$

Un ulteriore aumento di  $V_i$  provoca solo una piccola variazione di  $V_o = V_{CE}$ , in quanto in saturazione  $V_{CE}$  risulta compreso fra 0,1 e 0,2 V. Come si vede in Fig. 4.4-1, per  $V_i = 0,8 \text{ V}$ ,  $V_o$  scende a 0,2 V; per  $V_i > 0,8 \text{ V}$  si è idealizzata la curva, trascurando le piccole variazioni di  $V_o$ . La curva è stata idealizzata anche nel tratto fra il punto 1 ed il punto 2, sostituendo alla curva esponenziale il tratto rettilineo.

**Tipi di porte NOR RTL** Come si è già detto, le porte NOR RTL a circuito integrato disponibili in commercio hanno per i resistori  $R_c$  ed  $R_b$  rispettivamente i valori tipici di 640  $\Omega$  e 450  $\Omega$ . Esiste anche una porta NOR RTL a bassa potenza con  $R_c = 3,6 \text{ k}\Omega$  ed  $R_b = 1,5 \text{ k}\Omega$ . Un inconveniente di quest'ultimo tipo di porta è che, impiegando resistori di valore più elevato, il suo funzionamento risulta più lento, cioè il tempo di propagazione risulta più lungo. Infatti in questo caso tutte le capacità parassite e le capacità insite nei componenti attivi impiegano più tempo per caricarsi e scaricarsi, essendo associate a resistenze di valore più elevato.

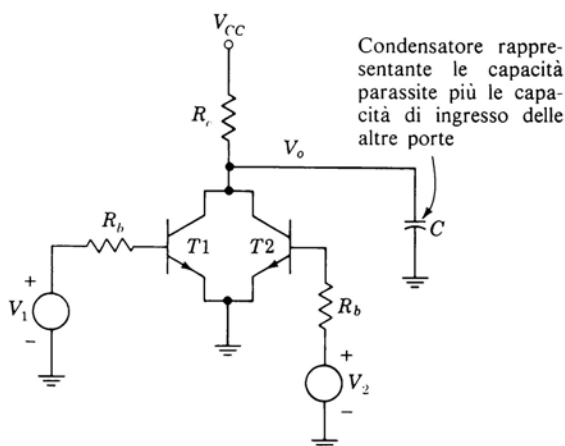


Figura 4.4-2 Porta RTL a due ingressi con carico capacitivo.

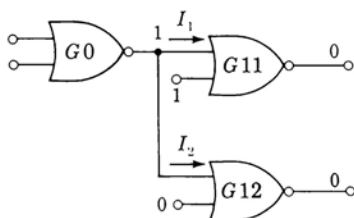


Figura 4.5-1 Porta NOR G0 che pilota le porte NOR G11 e G12.

**Resistori di pull-up** Il resistore di collettore  $R_c$  della porta RTL è chiamato spesso *resistore di pull-up passivo*. La ragione di questa denominazione si spiega se ci si riferisce alla Fig. 4.4-2, in cui la porta RTL pilota un carico capacitivo  $C$ . Questa capacità è data in parte dalle capacità parassite ed in parte dalla capacità della giunzione base-emettitore delle porte successive.

Poniamo inizialmente  $V_1$  alto e  $V_2$  basso sicchè  $T1$  è in saturazione e  $T2$  è in interdizione e  $V_o$  è allo stato 0. Supponiamo ora che  $V_1$  passi allo stato 0;  $T1$  si interdice e  $V_o$  sale verso  $V_{CC}$  con una costante di tempo  $\tau = R_c C$ ; diciamo che  $V_o$  è «tirato su» (*pulled up*) a  $V_{CC}$  dal resistore di pull-up  $R_c$ . Poichè  $R_c$  è un componente passivo, diciamo che la porta RTL di figura impiega un *pull-up passivo*. Esistono anche circuiti di pull-up attivi, sia per la RTL che per le altre famiglie logiche di cui parleremo più avanti. Il funzionamento del pull-up attivo è rimandato al Par. 4.7, dove verrà trattato il buffer RTL.

## 4.5 IL FAN-OUT

In un sistema logico reale di solito una porta NOR è chiamata a pilotare un certo numero di altre porte simili (che si dipartono a «ventaglio» dalla porta pilota). Il numero di porte pilotate da una singola porta costituisce il *fan-out* di questa porta.

Il fan-out risulta limitato dall'esigenza di fornire, quando l'uscita di una porta è al livello logico 1, corrente sufficiente a portare in saturazione i transistori di tutte le porte pilotate. Questa corrente viene fornita da  $V_{CC}$  attraverso il resistore di collettore  $R_c$  della porta pilota ed il suo valore è determinato semplicemente dalla legge di Ohm.

È interessante notare che quando una porta, con la sua limitata disponibilità di corrente, pilota un certo numero di altre porte, fra le porte pilotate quelle che assorbono più corrente sono proprio le porte che, in realtà, ne hanno meno bisogno.

Per chiarire questo punto esaminiamo la configurazione di Fig. 4.5-1, in cui la porta G0 presenta l'uscita al livello logico 1 e pilota le due porte G11 e

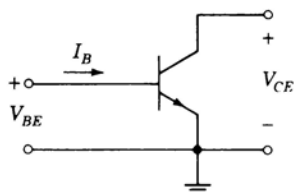


Figura 4.5-2 Definizione della corrente  $I_B$  e della tensione  $V_{BE}$ .

G12. La porta G0 fornisce una corrente  $I_1$  alla base del transistore di G11 ed una corrente  $I_2$  alla base del transistore di G12. L'altro ingresso di G11 si trova al livello logico 1 per cui l'uscita della porta verrebbe a trovarsi al livello logico 0 anche se alla porta non venisse fornita la corrente  $I_1$ . In tal senso la corrente  $I_1$  è «sprecata». Viceversa il secondo ingresso di G12 si trova al livello logico 0, per cui  $I_2$  è indispensabile per portare l'uscita di G12 al livello logico 0. Lascia pertanto un po' perplessi scoprire che la corrente «sprecata»  $I_1$  è maggiore di  $I_2$ .

Per verificare questa affermazione consideriamo la caratteristica tensione-corrente vista fra base e massa di un transistore ad emettitore comune. Questa caratteristica rappresenta  $I_B$ , corrente di base, in funzione della tensione base-emettitore  $V_{BE}$ . La corrente e la tensione sono indicate in Fig. 4.5-2. Dalle equazioni di Ebers-Moll (1.7-3) e (1.7-4) troviamo che, se il transistore è nella sua regione attiva, la corrente di base  $I_B = I_E - I_C$  è legata a  $V_{BE}$  dalla relazione approssimata

$$I_B = \frac{I_{E0}(1 - \alpha_N)}{1 - \alpha_N \alpha_I} e^{V_{BE}/V_T} \quad (4.5-1)$$

Per arrivare a questa equazione si è tenuto conto del fatto che  $e^{V_{BE}/V_T} \gg 1$  e  $e^{V_{BC}/V_T} \ll 1$ . Poichè  $\alpha_I$  è piccolo ( $\alpha_I \approx 0,1$  o anche meno), si può ragionevolmente introdurre un'ulteriore approssimazione e scrivere

$$I_B = I_{E0}(1 - \alpha_N) e^{V_{BE}/V_T} \quad (4.5-2)$$

Infine, poichè  $1 - \alpha_N = 1/(h_{FE} + 1) \approx 1/h_{FE}$ , in zona attiva si ha

$$I_B = \frac{I_{E0}}{h_{FE}} e^{V_{BE}/V_T} \quad (4.5-3)$$

Supponiamo ora che il transistore venga portato al massimo grado di saturazione con  $\sigma \equiv I_C/h_{FE}I_B = 0$ . Verifichiamo allora, mediante le Eq. (1.7-3) e (1.7-4), che

$$I_B = I_{E0} e^{V_{BE}/V_T} \quad (4.5-4)$$



Le equazioni (4.5-3) e (4.5-4) si giustificano nel seguente modo. Quando il transistor è nella zona in cui  $\sigma = 0$ , la corrente di collettore può essere trascurata in confronto alla corrente di base: ciò equivale a considerare il terminale di collettore aperto. In tal caso guardando nel transistor fra base ed emettitore vediamo un semplice diodo, cioè la giunzione base-emettitore, la cui caratteristica tensione-corrente è descritta proprio dall'equazione del diodo (4.5-4). Quando il transistor è invece in zona attiva, la frazione  $h_{FE}/(1 + h_{FE})$  della corrente proveniente dalla giunzione di emettitore prosegue verso il collettore, mentre la corrente di base viene ad essere costituita dalla frazione  $1/(1 + h_{FE}) \approx 1/h_{FE}$  della corrente di emettitore. La corrente di base perciò è ancora descritta dall'equazione del diodo, divisa però per il fattore  $h_{FE}$ , come indicato nell'equazione (4.5-3).

La tensione di soglia  $V_\gamma$  di un diodo è stata definita come la tensione in corrispondenza alla quale la corrente del diodo comincia ad assumere valori significativi. Risulta allora evidente che la tensione di soglia del diodo descritto dall'Eq. (4.5-3) è più elevata di quella del diodo descritto dall'Eq. (4.5-4), poichè nel primo caso la corrente è divisa per il fattore  $h_{FE}$ . Poichè

$$\frac{1}{h_{FE}} = \exp\left(\ln \frac{1}{h_{FE}}\right) = \exp(-\ln h_{FE}) \quad (4.5-5)$$

possiamo scrivere l'Eq. (4.5-3) nella forma

$$I_B = I_{E0} \exp\left[\frac{V_{BE} - V_T \ln h_{FE}}{V_T}\right] \quad (4.5-6)$$

Il diagramma dell'Eq. (4.5-6) è lo stesso di quello dell'Eq. (4.5-4), ad eccezione di una traslazione lungo l'asse delle ascisse nel verso delle  $V_{BE}$  positive di una quantità pari a  $V_T \ln h_{FE} = 0,1$  V, per  $V_T = 25$  mV e  $h_{FE} = 55$ . Quindi, per questi valori tipici, la tensione di soglia del circuito di base di un transistor in zona attiva sarà maggiore di circa 0,1 V della tensione di soglia del transistor portato alla massima saturazione.

Consideriamo ora la Fig. 4.5-3 in cui sono rappresentati due transistori in parallelo, come nel caso di una porta NOR a due ingressi. Supponiamo che T2 sia interdetto. La caratteristica tensione-corrente di ingresso di T1 è allora descritta dall'Eq. (4.5-3), non avendo T2 alcun effetto.

Supponiamo ora viceversa che T2 sia in saturazione con  $V_{CE} = 0,2 \div 0,1$  V. In questo caso, quando  $V_1$ , salendo per portare T1 fuori dalla zona di interdizione, arriva a  $V_{BE1} = 0,65$  V, la giunzione di collettore viene anch'essa a trovarsi polarizzata direttamente. Cioè con  $V_{BE1} = 0,65$  V e, diciamo,  $V_{CE} = 0,2$  V,  $V_{BC} = 0,65 - 0,2 = +0,45$  V. Pertanto T1 si viene a trovare o in saturazione o in interdizione, ma *mai in zona attiva*. Pertanto quando T1 è

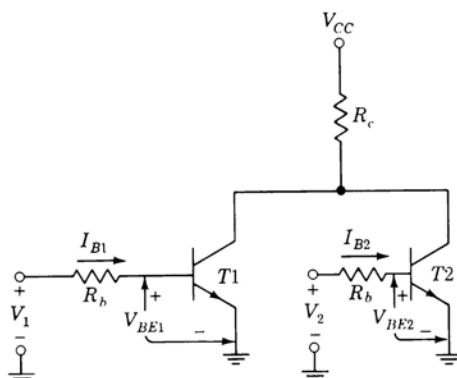


Figura 4.5-3 La caratteristica tensione-corrente d'ingresso di  $T1$  dipende dalle condizioni di lavoro di  $T2$ .

ON, la caratteristica tensione-corrente di ingresso di  $T1$  è espressa dall'Eq. (4.5-4).

A questo punto consideriamo la situazione rappresentata in Fig. 4.5-4, che risulta essere la più sfavorevole. Una porta  $G0$  pilota uno dei due transistori delle  $N$  porte NOR. In tutte le porte, eccetto una, il transistore disposto in parallelo al transistore pilotato si trova in saturazione. I transistori  $T12, T13, \dots, T1N$  allora o si trovano in interdizione o si trovano in saturazione. Solo il transistore  $T11$  può lavorare in zona attiva. Mettiamoci in questa condizione, che è la più sfavorevole, e calcoliamo il fan-out consentito.

Come abbiamo visto, la corrente di base  $I_{B1}$  necessaria per pilotare  $T11$  è data dall'Eq. (4.4-2) e vale  $100 \mu\text{A}$ . Possiamo fare un calcolo approssimato di  $I_{B2}, \dots, I_{BN}$  tenendo presente che le tensioni di base di  $T12, T13, \dots, T1N$  sono inferiori alla tensione di base di  $T11$  di  $0,1 \text{ V}$ . Poichè  $V_o$  è comune a tutti i transistori, ciascuna corrente  $I_{B2}, \dots, I_{BN}$  sarà allora maggiore di  $I_{B1}$  di una quantità pari a  $0,1/R_b = 0,1/450 = 220 \mu\text{A}$ . Perciò  $I_{B2}, \dots$  è

$$I_{B2} = 100 + 220 = 320 \mu\text{A} \quad (4.5-7)$$

Abbiamo anche calcolato, come risulta dall'Eq. (4.4-3), che a temperatura ambiente  $V_o$  [chiamato  $V_i$  nell'Eq. (4.4-3)] è pari a  $0,8 \text{ V}$ . La massima corrente che può essere fornita dalla porta pilota è  $I_o$ , data da

$$I_o = \frac{V_{CC} - V_o}{R_c} = \frac{3 - 0,8}{640} = 3,4 \text{ mA} \quad (4.5-8)$$

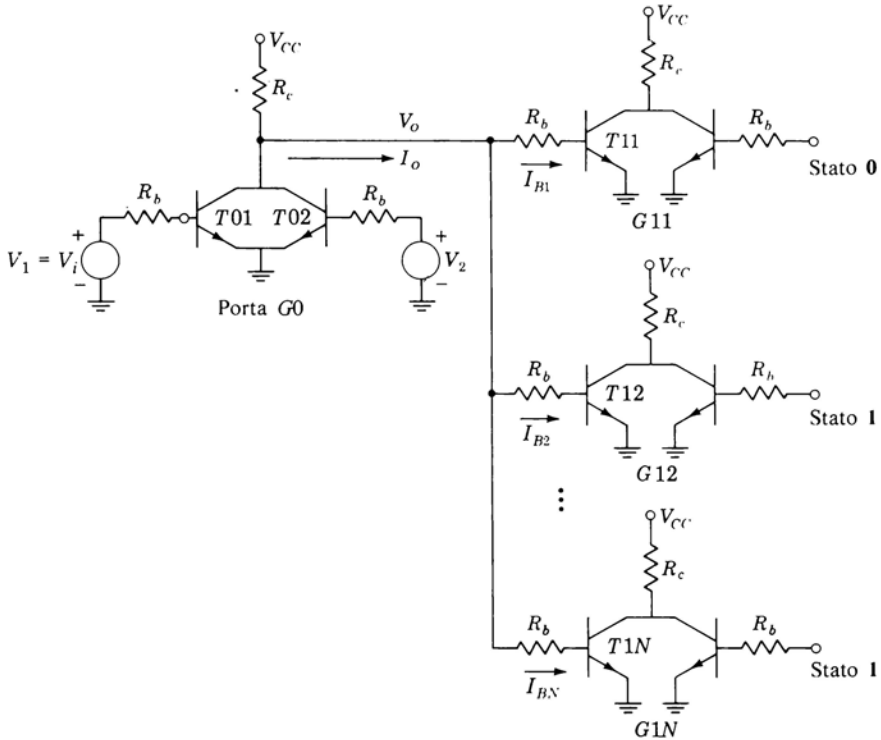


Figura 4.5-4 La porta G0 pilota  $N$  porte a due ingressi. In tutti i casi, eccetto uno, i transistori disposti in parallelo ai transistori pilotati da G0 sono in saturazione.

Se il fan-out è  $N$ , allora

$$I_o = I_{B1} + I_{B2} + \dots + I_{BN} \quad (4.5-9a)$$

e

$$3.400 = 100 + (N - 1)320 \quad (4.5-9b)$$

Si trova così che, a temperatura ambiente,

$$N = 11 \quad (4.5-10)$$

A temperature inferiori il fan-out si riduce. Ciò si deduce dal fatto che il coefficiente termico della tensione  $V_{BE}$  è negativo ( $-2 \text{ mV/}^\circ\text{C}$ ) ed  $h_{FE}$  diminuisce al diminuire della temperatura. A  $-55^\circ\text{C}$   $h_{FE}$  si riduce alla metà del suo valore a temperatura ambiente. Con il valore di  $h_{FE}$  così ridotto, è facile verificare che a  $-55^\circ\text{C}$  il fan-out si riduce a circa  $N = 7$ .

Esiste ancora un'altra causa che riduce ulteriormente, anche se di poco, il fan-out. Riferendoci alla Fig. 4.5-4, si è supposto che quando  $V_o$  si trova a livello logico 1, i transistori  $T01$  e  $T02$ , essendo interdetti, non assorbono corrente. In pratica invece questi transistori, quando sono interdetti, possono assorbire, nel caso peggiore, anche  $75 \mu A$  ciascuno di corrente di dispersione (vedi Par. 4.9). Supponiamo, ad esempio, che  $G0$  sia una porta a tre ingressi. In questo caso la corrente di perdita viene ad essere pari a  $3(75) = 225 \mu A$ . Il fatto che questa corrente di perdita venga sottratta alla corrente disponibile per pilotare le porte successive viene a ridurre di una unità il fan-out.

Pertanto in base a tutte le considerazioni precedentemente fatte e tenendo conto anche della dispersione dei valori dei parametri dei transistori e dei resistori da un esemplare all'altro di uno stesso circuito integrato, non ci deve sorprendere che le case costruttrici specifichino per il fan-out delle porte NOR RTL un valore prudenziale  $N = 5$ .

#### 4.6 CARATTERISTICA DI INGRESSO-USCITA DELLA PORTA RTL CON CARICO SULL'USCITA

Lavorando con le porte logiche torna spesso utile poter disporre del diagramma della tensione di uscita  $V_o$  in funzione della tensione di ingresso  $V_i$  di una porta che pilota un certo numero di carichi. Tale caratteristica di trasferimento riassume in un'unica figura un gran numero di informazioni circa i punti di lavoro, l'ampiezza del segnale logico (cioè la differenza fra le tensioni corrispondenti agli stati logici 1 e 0) e la compatibilità fra le tensioni di ingresso e di uscita della porta. Questa caratteristica fornisce inoltre la misura dell'immunità della porta al rumore e indica gli effetti delle variazioni della temperatura e della tensione di alimentazione.

Calcoleremo e tratteremo la caratteristica di trasferimento per una porta RTL con un fan-out di 5; cioè, riferendoci alla Fig. 4.5-4, rappresenteremo  $V_o$  in funzione di  $V_i$  considerando  $N = 5$  e supponendo che  $T02$  sia interdetto. Supporremo anche che in ciascuna delle porte pilotate tutti i transistori, ad eccezione di quelli connessi con  $G0$ , siano interdetti. Si noti che in queste condizioni la base di tutti i transistori di destra delle porte da  $G11$  a  $G1N$  deve essere tenuta allo stato 0 e non, come è indicato in figura, allo stato 1.

Quando la tensione  $V_i = 0$  V, l'uscita  $V_o$  della porta  $G0$  è allo stato 1, per cui tutte le porte pilotate sono in saturazione. Come si è detto nel Par. 1.9, supporremo che un transistor in saturazione, visto tra base ed emettitore, possa essere rappresentato come un generatore di tensione  $V_\sigma = 0,75$  V (a temperatura ambiente) o più in generale [vedi Eq. (1.2-1)] come un generatore di tensione di valore

$$V_\sigma = 0.75 - (2 \times 10^{-3})(T - 25^\circ C) \quad (4.6-1)$$

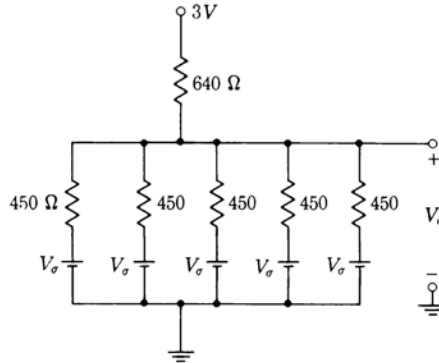


Figura 4.6-1 Circuito equivalente per calcolare  $V_o$  quando  $G0$  è OFF.

In Fig. 4.6-1 è rappresentato il circuito equivalente per il calcolo della tensione  $V_o$  della porta  $G0$ ; si è sottinteso che tutti i transistori pilotati siano identici. Applicando le leggi di Kirchhoff al circuito di Fig. 4.6-1, troviamo che (poichè  $450/5 = 90 \Omega$ )

$$V_o = \frac{3}{640 + 90} 90 + \frac{V_\sigma}{640 + 90} 640 \quad (4.6-2)$$

Le specifiche dei transistori sono normalmente date per tre diversi valori di temperatura:  $-55^\circ\text{C}$ ,  $25^\circ\text{C}$  (temperatura ambiente) e  $+125^\circ\text{C}$ . Il valore più basso e quello più alto rappresentano le temperature limite di funzionamento, mentre la temperatura ambiente rappresenta la condizione tipica di lavoro. Il valore di  $V_o$  per queste tre temperature viene ricavato dalle Eq. (4.6-1) e (4.6-2) e risulta essere:

$$V_o = \begin{cases} 0.85 \text{ V} & T = 125^\circ\text{C} \\ 1.03 \text{ V} & T = 25^\circ\text{C} \\ 1.17 \text{ V} & T = -55^\circ\text{C} \end{cases} \quad (4.6-3)$$

La tensione  $V_i$ , salendo da 0 V, raggiunge un punto in corrispondenza del quale  $T01$  entra in zona attiva. Come si è già detto nel Par. 1.2, accettiamo per il punto di soglia il valore

$$\begin{aligned} V_{BE} = V_y &= 0.65 - (2 \times 10^{-3})(T - 25^\circ) \\ &= \begin{cases} 0.45 & T = 125^\circ\text{C} \\ 0.65 & T = 25^\circ\text{C} \\ 0.81 & T = -55^\circ\text{C} \end{cases} \end{aligned} \quad (4.6-4)$$

Aumentando ancora  $V_i$ , troviamo che  $V_o$  diminuisce ed alla fine scende a  $V_{CE(sat)}$  che supponiamo, come al solito, compreso fra 0,2 e 0,1 V. La tensione fra base ed emettitore dei transistori in saturazione della porta G0 sarà di nuovo  $V_{BE} = V_{\gamma}$ .

La tensione di ingresso, in corrispondenza della quale T01 della porta G0 entra in saturazione, è già stata calcolata nell'Eq. (4.4-3) e vale  $V_i = 0,8$  V a temperatura ambiente. Mediante l'Eq. (4.6-1) possiamo analogamente ricavare  $V_i$  per le altre temperature:

$$V_i = \begin{cases} 0.6 \text{ V} & T = 125^\circ\text{C} \\ 0.8 \text{ V} & T = 25^\circ\text{C} \\ 0.96 \text{ V} & T = -55^\circ\text{C} \end{cases} \quad (4.6-5)$$

Utilizzando i risultati delle Eq. (4.6-3), (4.6-4) e (4.6-5), possiamo costruire i grafici di Fig. 4.6-2. Per capire come sono stati ottenuti, cominciamo a considerare  $T = 25^\circ\text{C}$ . Per  $V_i \leq 0,65$  V (tensione di soglia),  $V_o = 1,03$  V [Eq. (4.6-3)]. Il valore della tensione di soglia è dato dall'Eq. (4.6-4). Il valore di  $V_i$  necessario per avere  $V_o = 0,2$  V (saturazione) è  $V_i = 0,8$  V, ricavato dall'Eq. (4.6-5). Il valore massimo di  $V_i$  è 1,03 V, che si ottiene supponendo che G0 sia pilotata da un'altra porta (non indicata) che presenti per  $V_o$  gli stessi valori di G0. Per la stessa ragione vediamo che  $V_i$  non può scendere sotto il valore 0,2 V, valore che si ha quando la porta che comanda G0 è in saturazione.

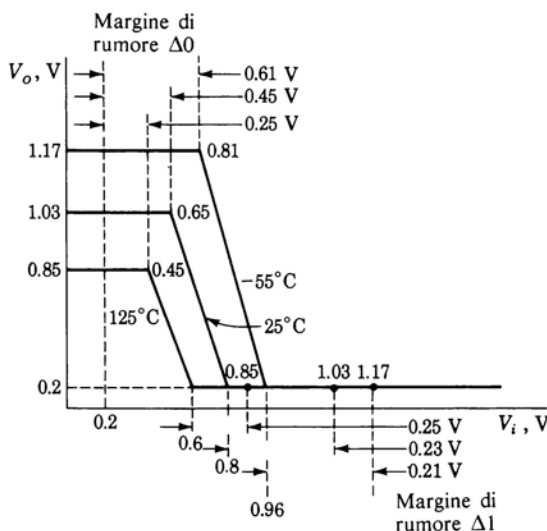


Figura 4.6-2 Caratteristiche di ingresso-uscita.

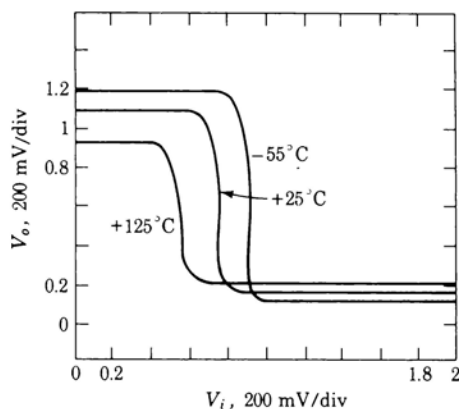


Figura 4.6-3 Caratteristiche di trasferimento tipiche di una porta RTL con fan-out = 5 per tre diverse temperature.

Queste curve naturalmente sono ideali e solo indicative. Comunque approssimano in maniera più che soddisfacente i diagrammi effettivi, per cui sono ritenute valide anche nei casi reali. Confrontiamo le curve di Fig. 4.6-2 con quelle di Fig. 4.6-3, ricavate sperimentalmente. Queste ultime indicano una certa dipendenza dalla temperatura della tensione collettore-emettitore del transistor in saturazione; ciò è spiegabile poichè, riferendoci all'Eq. (1.10-3), si vede che  $V_{CE}(\text{sat})$  è proporzionale a  $V_T = kT/q$  e quindi  $V_{CE}(\text{sat})$  aumenta all'aumentare della temperatura. Nei diagrammi ideali non si è tenuto conto di questa dipendenza, poichè la variazione è piccola. Notiamo inoltre che, mentre noi abbiamo supposto  $V_o(\text{sat}) = 0,2 \text{ V}$  a temperatura ambiente, la caratteristica di Fig. 4.6-3 indica un valore di  $0,16 \text{ V}$ . Partendo da  $V_{CE}(\text{sat}) = 0,16 \text{ V}$  a temperatura ambiente ed essendo  $0^\circ\text{C} = 273^\circ\text{K}$ , otteniamo

$$V_{CE}(\text{sat}, 125^\circ\text{C}) = \left[ \frac{273 + 125}{273 + 25} \right] 0,16 = 0,21 \text{ V} \quad (4.6-6)$$

e analogamente  $V_{CE}(\text{sat}, -55^\circ\text{C}) = 0,12 \text{ V}$ . Questi due risultati concordano con i valori di Fig. 4.6-3.

**Margine di rumore** Le curve di Fig. 4.6-2 sono molto utili poichè indicano le fasce di valori di tensione di ingresso e uscita corrispondenti ai livelli logici **0** e **1**. Teniamo presente che di solito la tensione di ingresso di una porta è la tensione di uscita della porta precedente. Pertanto, quando all'uscita di una porta, e quindi all'ingresso della porta successiva, è presente il livello logico **0**, questo livello corrisponderà alla tensione  $V_{CE}(\text{sat}) \approx 0,2 \text{ V}$ . Dalla Fig. 4.6-2 si

può notare che il valore 0,2 V è sufficientemente basso da rappresentare correttamente il livello logico 0. Infatti per tutti i valori di temperatura considerati in Fig. 4.6-2 il transistor della porta pilotata risulterà interdettato e quindi l'uscita della porta sarà a livello alto. Si noti inoltre che questo valore  $V_{CE}(\text{sat}) = 0,2$  V garantisce che il transistor sia in interdizione con un certo *margin di sicurezza*. Infatti, anche nel caso più sfavorevole, che si ha per  $T = 125^\circ\text{C}$ , fra  $V_i = V_{CE}(\text{sat})$  e la minima tensione di ingresso in grado di portare il transistor in zona attiva, cioè  $V_i = 0,45$  V, esiste una differenza di  $0,45 - 0,20 = 0,25$  V. Segnato il valore  $V_{CE}(\text{sat}) = 0,2$  V sull'asse delle ascisse di Fig. 4.6-2, possiamo indicare i margini di sicurezza per le tre temperature come è mostrato in figura. Questo margine di sicurezza viene anche chiamato *margine di rumore relativo ad un ingresso che si trova al livello logico 0* e viene indicato con  $\Delta 0$ . Risulta che

$$\Delta 0 = 0.65 - k(T - 25^\circ\text{C}) - V_{CE}(\text{sat}) = 0.45 - k(T - 25^\circ\text{C}) \quad (4.6-7)$$

dove  $k = 2$  mV/ $^\circ\text{C}$ .

Notiamo che  $\Delta 0$  diminuisce al crescere della temperatura.

La sensibilità termica di  $\Delta 0$  è in realtà un po' superiore a quella che si ottiene dall'Eq. (4.6-7), poichè, come si vede in Fig. 4.6-3,  $V_o = V_{CE}(\text{sat})$  aumenta un poco con la temperatura. Perciò la linea verticale tratteggiata condotta per l'ascissa  $V_i = V_{CE}(\text{sat}) = 0,2$  V di Fig. 4.6-2 dovrebbe essere sostituita da tre linee, una per ogni valore di temperatura. Così facendo si verrebbe a ridurre ancora di più il  $\Delta 0$  corrispondente alla temperatura di  $125^\circ\text{C}$ , che è già il margine più basso. In effetti questa riduzione progressiva di  $\Delta 0$  al crescere della temperatura costituisce un inconveniente dei circuiti RTL.

Esaminiamo ora in Fig. 4.5-4 il caso in cui  $V_i$  è salita ad un valore tale da portare in saturazione il transistor T01. In questo caso, naturalmente, più è alta la tensione  $V_i$  e più è certa la saturazione di T01. Abbiamo notato nel Par. 4.5 che il fan-out della porta che pilota G0 limita il valore a cui può salire  $V_i$ , così come il fan-out di G0 limita il valore massimo di  $V_o$ . Più alto è il fan-out e più bassa è la tensione che si viene ad avere. Si deve quindi considerare come massima tensione di ingresso disponibile per pilotare una porta non la tensione di uscita di una porta senza carico, ma la tensione di uscita di una porta con il massimo fan-out permesso. Si sono tracciati i diagrammi di Fig. 4.6-2 per un fan-out = 5 proprio perchè questo valore è nominalmente il massimo consentito per le porte RTL. Le tensioni di uscita (1,17, 1,03 e 0,85 V), per un fan-out = 5, costituiscono naturalmente le tensioni di ingresso disponibili per portare il transistor successivo in saturazione.

Segnamo ora questi valori della tensione di uscita sull'asse delle ascisse di Fig. 4.6-2. Il margine di rumore  $\Delta 1$  relativo ad un ingresso che si trova a livello 1 può essere ricavato come indicato nella figura. Così, per  $T = -55^\circ\text{C}$ ,



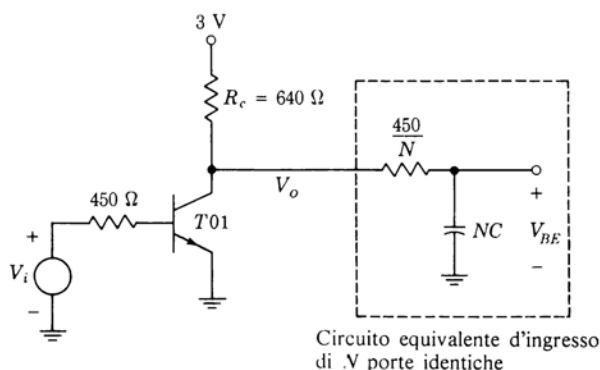


Figura 4.6-4 Circuito equivalente per calcolare il tempo di salita di  $V_{BE}$ .

l'uscita è 1,17 V e il valore minimo in grado di portare il transistore successivo in saturazione è 0,96 V. Il margine di rumore è quindi  $\Delta I = 1,17 - 0,96 = 0,21$  V. Notiamo dalla Fig. 4.6-2 che i margini di rumore  $\Delta I$  non dipendono in modo sensibile dalla temperatura.

**Tempo di salita** Il tempo di salita della porta  $G0$  è influenzato dal numero delle porte pilotate da  $G0$ . Per spiegare questa affermazione supponiamo che, in Fig. 4.5-4,  $V_i$  sia allo stato 1 e  $V_o$  sia allo stato 0. I transistori da  $T11$  a  $T1N$  sono interdetti e la giunzione base-emettitore di ciascuno di essi si presenta come una capacità. Consideriamo questa capacità come un condensatore vero e proprio  $C$ . In Fig. 4.6-4 abbiamo rappresentato il circuito equivalente di  $G0$  e delle porte da essa pilotate quando  $V_i$  è nello stato 1 (con  $V_o$  nello stato 0). Abbiamo supposto identiche le  $N = 5$  porte pilotate.

Facciamo commutare di colpo  $V_i$  dallo stato 1 allo stato 0. Il transistore  $T01$  si interdice e le tensioni base-emettitore di  $T11, \dots, T1N$  salgono con una costante di tempo

$$\tau = \left( R_c + \frac{450}{N} \right) NC = (640N + 450)C \quad (4.6-8)$$

Generalmente le case costruttrici specificano per  $C$  il valore  $C \approx 5$  pF, per cui, con  $N = 5$ ,  $\tau = 18$  ns. Nel prossimo paragrafo vedremo che una porta RTL con un circuito di pull-up attivo può avere, per lo stesso valore di  $\tau$ , un fan-out notevolmente più elevato.

Si dovrebbe ancora tenere presente che la capacità di ingresso di un transistore non è costante, ma è funzione della corrente di base, per cui il valore della costante di tempo che abbiamo ricavato è valido più come valore indicativo che come valore esatto.

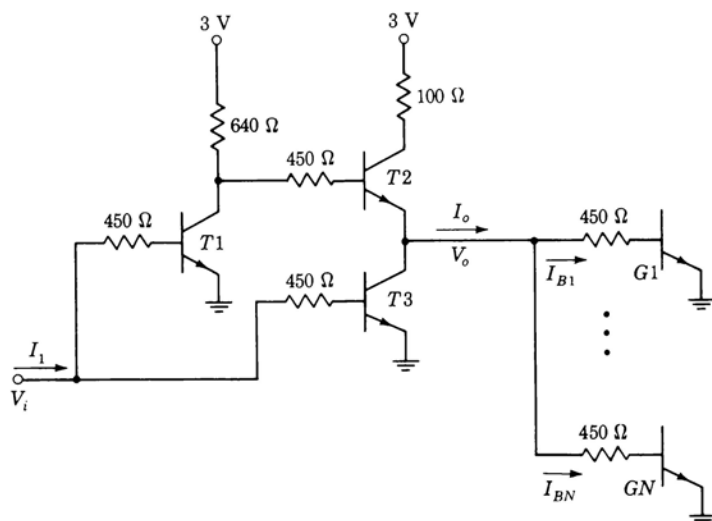


Figura 4.7-1 Invertitore buffer RTL con  $N$  porte di carico.

## 4.7 BUFFER RTL

Le porte RTL esaminate nei paragrafi precedenti impiegavano un *pull-up passivo*  $R_c$ . Ciò limitava la corrente di uscita disponibile per il pilotaggio delle porte successive ad un valore minore di  $V_{CC}/R_c$ . Il *buffer* è una porta RTL che impiega un *pull-up attivo* in modo da avere un'impedenza di uscita molto bassa. La corrente di uscita di un buffer è quindi notevolmente più elevata di quella di una porta normale; di conseguenza, mentre una porta RTL ordinaria ha un fan-out di 5, il buffer presenta un fan-out di 25. Inoltre, dal momento che il buffer presenta una bassa impedenza d'uscita, il *tempo di salita*, con carico capacitivo, risulta notevolmente più breve del tempo di salita di una porta con pull-up passivo.

In Fig. 4.7-1 è rappresentato un tipico buffer RTL. Il transistor  $T_2$  costituisce il pull-up attivo e sostituisce il resistore  $R_c$ , cioè il pull-up passivo, della porta NOR ordinaria. Il transistor  $T_1$  funge da invertitore logico: quando  $V_i$  è a 0, l'uscita di  $T_1$  è a 1, e viceversa. Così i livelli logici alle basi di  $T_2$  e  $T_3$  sono sempre opposti, per cui quando uno dei transistori è in conduzione l'altro è interdetto e viceversa. Quando  $T_2$  è OFF, la sua corrente di collettore è nulla;  $T_3$  è al massimo della saturazione con  $\sigma = I_C/h_{FE} I_B = 0$  e (come si può vedere in Fig. 1.10-1) la sua tensione  $V_{CE}(\text{sat}) = 60 \text{ mV}$ .

Utilizzando il circuito di Fig. 4.7-2 possiamo calcolare la corrente di uscita  $I_o$  quando  $T_3$  è OFF e  $T_2$  è ON e il buffer pilota  $N$  porte. Cominciamo col supporre che  $T_2$  sia in zona attiva, con  $V_{BE}(T_2) = 0,7 \text{ V}$  e assumiamo  $h_{FE} =$

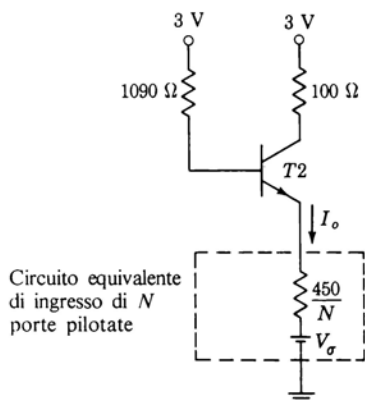


Figura 4.7-2 Circuito equivalente del buffer quando  $V_i$  è allo 0 logico.

50. A temperatura ambiente, come al solito, prendiamo  $V_\sigma = 0,75$  V. Applicando la legge di Kirchhoff alla maglia che comprende la giunzione base-emettitore di  $T2$ , troviamo:

$$I_o = \frac{3 - 0,7 - 0,75}{1090/50 + 450/N} = \frac{7,1 \times 10^{-2}}{1 + 20,6/N} \quad (4.7-1)$$

Se invece supponiamo che  $T2$  sia in saturazione, abbiamo  $V_{BE} = 0,75$  V e  $V_{CE} = 0,2$  V. In questo caso troviamo (vedi Prob. 4.7-4) che:

$$I_o(\text{sat}) = \frac{21,8 \times 10^{-3}}{1 + 4,9/N} \quad (4.7-2)$$

Per sapere se  $T2$  è in saturazione o in zona attiva, dobbiamo solo confrontare le due correnti: se  $I_o(\text{sat}) > I_o$ , il transistor non è in saturazione, mentre se  $I_o(\text{sat}) < I_o$ , il transistor è in saturazione. Si può verificare che il transistor non è in saturazione per  $N = 1$  ed è in saturazione per  $N \geq 2$ .

Il buffer è normalmente impiegato per pilotare un numero elevato di porte. Assumeremo allora  $N \geq 2$ , per cui  $T2$  risulta in saturazione. Poiché  $I_o(\text{sat})$  va a pilotare  $N$  porte, la corrente di ingresso di ciascuna di esse è  $I_{B1} = I_{B2} = I_{BN} = I_B$ , dove

$$I_B = \frac{I_o(\text{sat})}{N} = \frac{21,8 \times 10^{-3}}{N + 4,9} \quad (4.7-3)$$

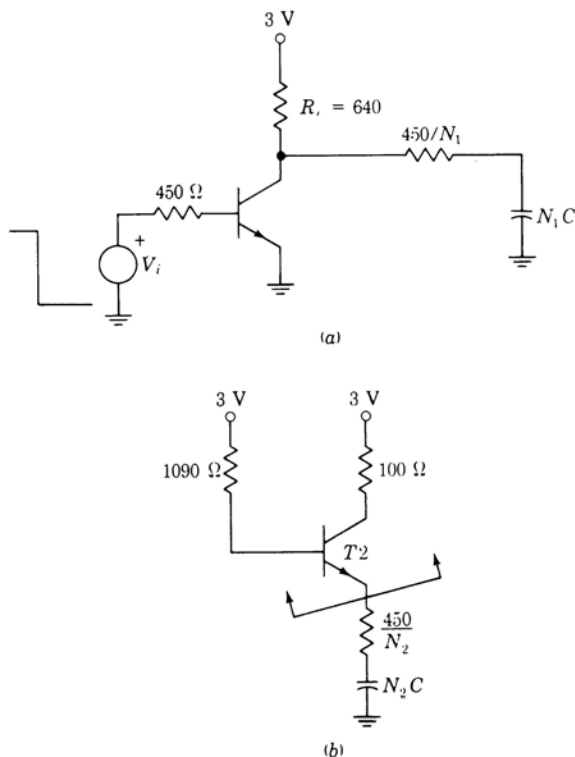


Figura 4.7-3 (a) Circuito della porta RTL per determinare la costante di tempo  $\tau$ . (b) Circuito equivalente del buffer subito dopo che  $T_1$  e  $T_3$  si sono interdetti.

Per poter confrontare il fan-out del buffer con quello di una porta RTL normale, prendiamo  $I_B = 320 \mu\text{A}$ , come nell'Eq. (4.5-7). Si avrà allora

$$\frac{21.8 \times 10^{-3}}{N + 4.9} \geq 0.32 \times 10^{-3} \quad (4.7-4a)$$

e 
$$N \leq 65 \quad (4.7-4b)$$

Si noti che nell'Eq. (4.5-10) si era trovato  $N = 11$ ; si è perciò migliorato il fan-out di un fattore 6. Le specifiche delle case costruttrici indicano prudenzialmente, come valore massimo del fan-out per un buffer,  $N = 25$ , che è un valore 5 volte maggiore di quello specificato per una porta RTL normale.

Confrontiamo ora il tempo di salita di un buffer con quello di una porta NOR con pull-up passivo. Il tempo di salita di una porta è proporzionale alla costante di tempo  $RC$  della porta e del carico. In Fig. 4.7-3a è illustrato il circuito equivalente di una porta RTL che pilota  $N_1$  porte RTL identiche (vedi Par. 4.6). Abbiamo rappresentato la giunzione base-emettitore di ciascun transistor con un condensatore  $C$ . La costante di tempo  $\tau_1$  vale

$$\tau_1 = \left( 640 + \frac{450}{N_1} \right) N_1 C = (640N_1 + 450)C \quad (4.7-5)$$

In Fig. 4.7-3b è illustrato il circuito equivalente di un buffer che pilota  $N_2$  porte RTL, immediatamente dopo che la tensione di ingresso  $V_i$  è passata dallo stato 1 allo stato 0.  $T1$  e  $T3$  sono interdetti, mentre  $T2$  è in saturazione. Poichè  $T2$  è in saturazione, l'impedenza vista guardando nel suo emettitore è costituita soltanto dal resistore di collettore da  $100 \Omega$ . Perciò la costante di tempo è

$$\tau_2 \approx \left( 100 + \frac{450}{N_2} \right) N_2 C = (100N_2 + 450)C \quad (4.7-6)$$

Se vogliamo che il tempo di salita del buffer e quello della porta RTL normale siano uguali, lo devono essere anche le costanti di tempo. Per ottenere la relazione fra  $N_1$  ed  $N_2$  uguagliamo le Eq. (4.7-5) e (4.7-6) ed abbiamo

$$640N_1 = 100N_2 \quad (4.7-7a)$$

da cui 
$$N_2 = 6.4N_1 \quad (4.7-7b)$$

che è circa lo stesso rapporto ottenuto con le considerazioni in regime statico fatte precedentemente.

**Limitazione della corrente** Riferendoci alla Fig. 4.7-2 notiamo che, con  $T2$  in saturazione, la corrente di collettore è limitata dal resistore di collettore da  $100 \Omega$ . La funzione di questo resistore è quella di consentire a  $T2$  di andare in saturazione e contemporaneamente di limitare la potenza dissipata.

Per approfondire l'argomento, supponiamo che  $T2$  sia in saturazione, sicchè  $V_{CE} \approx 0,2 \text{ V}$ . Allora con  $N = 25$ ,  $I_o(\text{sat}) = 18 \text{ mA}$ . Possiamo dimostrare (vedi Prob. 4.7-3) che  $I_B = 1 \text{ mA}$ , sicchè  $I_C = 17 \text{ mA}$ . Così la potenza dissipata sul collettore di  $T2$  vale  $P_C = 3,4 \text{ mW}$ . Se però il resistore da  $100 \Omega$  fosse cortocircuitato,  $T2$  non riuscirebbe ad entrare nella regione di saturazione, poichè  $V_{CB} > 0$ . Allora dall'Eq. (4.7-1) risulterebbe  $I_o(N = 25) = 39 \text{ mA}$ , e dalla Fig. 4.7-2 si otterrebbe

$$V_{CE} = 3 - (450/25)(39 \times 10^{-3}) - V_g = 1.55 \text{ V} \quad (4.7-8)$$

La potenza dissipata sarebbe, in questo caso, pari a 60 mW, che costituisce un notevole aumento rispetto a prima ed è, in ogni caso, una dissipazione piuttosto forte per un transistor di un circuito integrato.

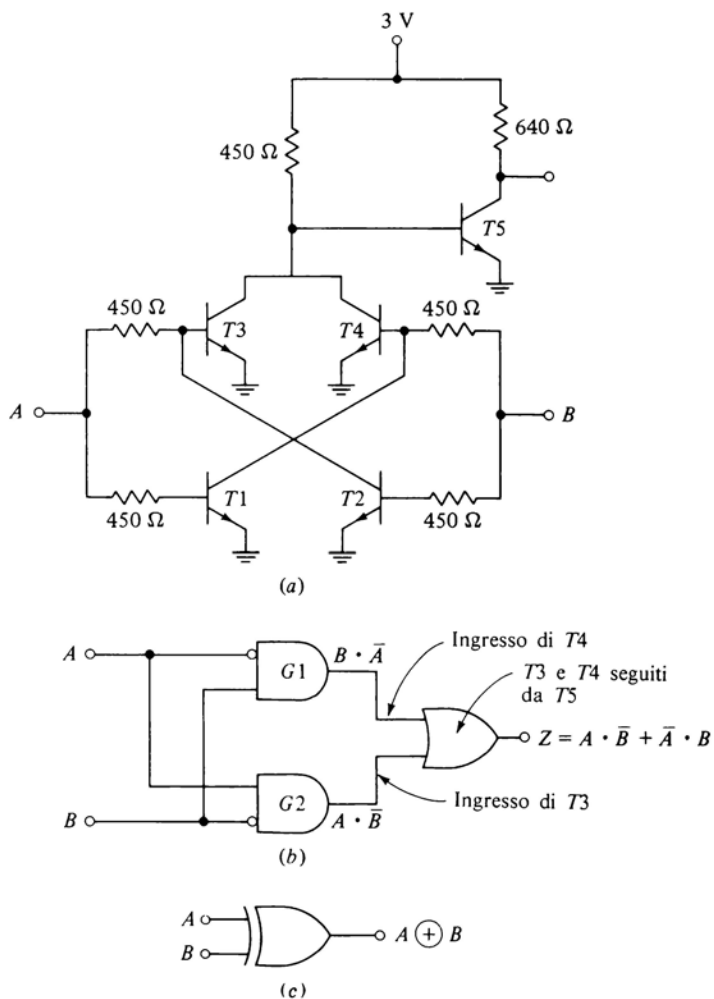


Figura 4.8-1 (a) Circuito OR ESCLUSIVO RTL. (b) Rappresentazione a porte logiche e (c) simbolo dell'OR ESCLUSIVO.

#### 4.8 PORTA OR ESCLUSIVO RTL

La porta OR ESCLUSIVO è stata introdotta nel Par. 3.10 ed è stata definita come un dispositivo che realizza la funzione

$$Z = \bar{A} \cdot B + A \cdot \bar{B} \equiv A \oplus B \quad (4.8-1)$$

In Fig. 4.8-1a è rappresentato un circuito RTL che realizza questa operazione logica. Il funzionamento del circuito è il seguente: supponiamo che  $B$  sia nello stato logico 0, per cui  $T2$  è OFF. Allora all'ingresso di  $T3$  è presente soltanto  $A$ . Se però  $B$  è nello stato 1,  $T2$  è in saturazione e  $T3$  è interdetto. Quindi l'ingresso di  $T3$  è dato da  $A \cdot \bar{B}$ . In modo analogo si dimostra che l'ingresso di  $T4$  è  $\bar{A} \cdot B$ . Queste due operazioni logiche sono rappresentate rispettivamente dalle porte  $G2$  e  $G1$  di Fig. 4.8-1b.

Riferendoci alla Fig. 4.8-1a, vediamo che  $T3$  e  $T4$  realizzano la funzione logica NOR. Il transistor  $T5$  inverte l'uscita NOR realizzando così una porta OR. Tutto questo è rappresentato in Fig. 4.8-1b. L'uscita di  $T5$  risulta così essere  $Z = A \cdot \bar{B} + \bar{A} \cdot B$ , come richiesto.

#### 4.9 SPECIFICHE FORNITE DAI COSTRUTTORI

Questo paragrafo è dedicato all'esame delle specifiche fornite dalle case costruttrici per le porte RTL.

Esistono quattro tipi fondamentali di porte RTL: la porta di media potenza (MRTL), in cui  $R_c = 3,6 \text{ k}\Omega$  ed  $R_b = 1,5 \text{ k}\Omega$ ; il buffer, disponibile a bassa e a media potenza; la porta OR ESCLUSIVO. In Fig. 4.9-1 sono indicate alcune delle caratteristiche principali di ciascun tipo di porta, a temperatura ambiente, cioè  $25^\circ\text{C}$ , e per casi tipici. Le specifiche corrispondenti a  $-55^\circ\text{C}$  e  $+125^\circ\text{C}$  sono pure disponibili nei manuali forniti dalle case costruttrici.

**Corrente di ingresso,  $I_{in}$**  È la massima corrente che può essere assorbita da un ingresso. Abbiamo calcolato [Eq. (4.5-7)] che questa corrente è di circa  $320 \mu\text{A}$ . I costruttori prudenzialmente danno per  $I_{in}$ , nel caso più sfavorevole, il valore di  $435 \mu\text{A}$ . Questo valore concorda con il valore  $N = 5$  specificato per il fan-out.

**Corrente di uscita,  $I_{AN}$**  È la minima corrente disponibile per pilotare altre porte, con un fan-out di  $N$ . Vediamo dalla Fig. 4.9-1 che, per una porta MRTL,  $I_{AS} = 2,54 \text{ mA}$ . Poiché  $I_{in} = 435 \mu\text{A}$ , ci si aspetterebbe  $I_{AS} = 5I_{in}$ . Invece  $5I_{in} = 5 \times 435 \mu\text{A} = 2,18 \text{ mA}$ . La differenza fra i due valori,  $2,54 - 2,18 = 0,36 \text{ mA}$ , costituisce un ulteriore margine di sicurezza, anche in vista di un'eventuale corrente di perdita.

**Corrente di perdita** Quando l'ingresso di un transistor è a livello logico 0, ci aspetteremmo una corrente di collettore nulla. Ciò non sempre si verifica poiché la tensione base-emettitore è sempre leggermente positiva. Per esem-

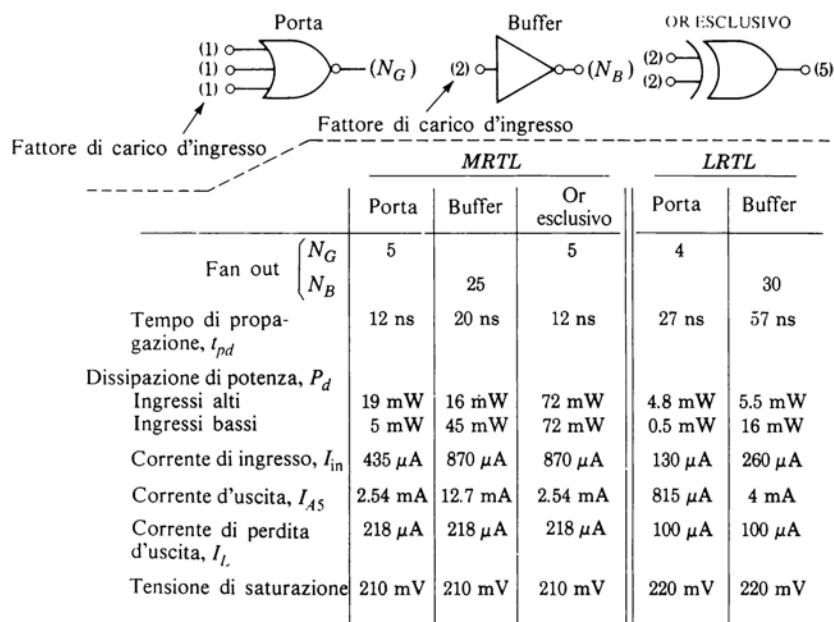


Figura 4.9-1 Specifiche della casa costruttrice.

pio, se il transistor è pilotato da una porta in saturazione, la tensione base-emettitore del transistor coincide con la tensione di saturazione della porta precedente. Nel caso più sfavorevole la tensione di saturazione può arrivare fino a 0,4 V. Come si può vedere in Fig. 4.9-1, il costruttore garantisce una corrente di perdita  $I_L < 218 \mu\text{A}$  per le porte e i buffer MRTL e una  $I_L < 100 \mu\text{A}$  per le porte e i buffer LRTL.

**Fattori di carico di ingresso e di uscita** Per dare un'indicazione sul fan-out di porte, buffer, ecc., i costruttori in molti casi introducono i *fattori di carico* relativi ai terminali di ingresso e di uscita. Questi fattori di carico sono dei numeri interi proporzionali (se è il caso, approssimati nel senso di garantire maggior sicurezza) alla corrente richiesta da un ingresso o alla corrente disponibile ad un'uscita. Come si vede in Fig. 4.9-1, il fattore di carico relativo ad un ingresso di una porta MRTL è 1 ed il fattore di carico di uscita è  $N_G = 5$ . Questi numeri indicano che la corrente di uscita è almeno 5 volte (ma meno di 6 volte) la corrente richiesta dall'ingresso. Di conseguenza il fan-out consentito è pari a 5. Notiamo che un buffer ha un fattore di carico di ingresso di 2, per cui una porta può pilotare fino a 2 buffer ma non 3. Il fan-out di una porta LRTL è 4 e quindi i fattori di carico di ingresso e di uscita sono rispettivamente 1 e 4.



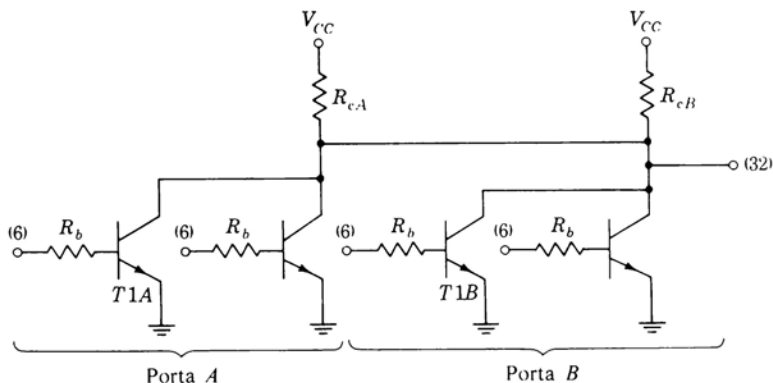


Figura 4.10-1 Disposizione in parallelo di due porte situate sullo stesso chip.

I fattori di carico si modificano quando vengono usate insieme porte MRTL e LRTL; i fattori di carico della porta LRTL rimangono 1 e 4, mentre quelli della porta MRTL diventano 3 e 16. Questi numeri indicano che una porta MRTL può non solo pilotare altre 5 porte MRTL, ma insieme anche una porta LRTL, poichè  $16 = 5 \times 3 + 1$ . In generale, nel collegare le porte si deve soltanto osservare che il fattore di carico di uscita della porta pilota sia uguale o maggiore della somma dei fattori di carico di ingresso delle porte pilotate.

#### 4.10 DISPOSIZIONE IN PARALLELO DI PORTE RTL

Per aumentare il numero degli ingressi disponibili, possiamo collegare più porte RTL in parallelo. Esaminiamo come i fattori di carico di ingresso e di uscita vengano modificati da questo tipo di collegamento.

In Fig. 4.10-1 è illustrata una configurazione parallelo di due porte; in essa i terminali di uscita delle due porte *A* e *B* sono collegati insieme ed i terminali superiori dei resistori di collettore  $R_{cA}$  ed  $R_{cB}$  sono connessi all'alimentazione  $V_{CC}$ . Di conseguenza la porta risultante lavora con una resistenza di collettore  $R_c/2$ . Tenendo presente che il carico applicabile ad una porta RTL è determinato dalla corrente disponibile all'uscita e che questa corrente viene fornita da  $V_{CC}$  attraverso il resistore di collettore, possiamo concludere che in questa configurazione circuitale, poichè il valore del resistore risulta dimezzato, il fattore di carico di uscita risulterà raddoppiato. Le porte MRTL, che già hanno un fattore di carico d'uscita di 16, collegate in coppia come in Fig. 4.10-1 verranno ad avere un fattore di carico pari a 32. Con questo collegamento si è quindi raddoppiato sia il fattore di carico di uscita che il numero dei terminali di ingresso della porta.

Tutti questi vantaggi si pagano con il fatto che, come è indicato in Fig. 4.10-1, bisogna moltiplicare per 2 anche il fattore di carico di ingresso, che viene così ad essere di 6 anziché di 3. Ciò è dovuto al fatto che, essendosi dimezzato il valore della resistenza di collettore, la corrente di saturazione di collettore si è raddoppiata, per cui anche la corrente di base necessaria per portare il transistor in saturazione viene ad essere raddoppiata (a parità di  $\sigma$  e della tensione di saturazione). Analogamente, se poniamo in parallelo  $N$  porte, il fattore di carico di uscita diventa  $16N$  e quello di ingresso  $3N$ .

Queste considerazioni sono valide se le porte che vengono collegate in parallelo fanno parte dello stesso circuito integrato, cioè si trovano sulla stessa piastrina di silicio (*chip*). Quando invece appartengono a chip diversi, il fattore di carico di ingresso deve essere considerato maggiore di  $3N$ , per il motivo che ora spiegheremo.

Una caratteristica dei circuiti integrati è che i valori dei resistori di uno stesso circuito presentano una notevole dispersione da un chip all'altro. Così da un esemplare all'altro  $R_c$  ed  $R_b$  di una porta RTL possono assumere valori notevolmente diversi. Viceversa è sostanzialmente piccola la dispersione dei valori del rapporto  $R_c/R_b$ . Questa sostanziale uniformità del rapporto fra le resistenze è un fattore di compensazione per il funzionamento di una porta presa singolarmente. Infatti supponiamo che, in una certa porta,  $R_b$  sia molto maggiore del suo valore tipico. Allora, in condizioni di funzionamento normali, la corrente di base del transistor di questa porta sarà minore del suo valore tipico. D'altra parte, se  $R_b$  è maggiore del normale, lo sarà anche  $R_c$ , per cui la corrente di saturazione di collettore sarà minore; ne consegue che la corrente di base, anche se minore, sarà ancora sufficiente a portare il transistor in saturazione. Analogamente, se  $R_c$  è minore del valore tipico, la corrente di saturazione sarà maggiore del suo valore tipico. Però il corrispondente minor valore di  $R_b$  provoca un aumento della corrente di base, che consente così il corretto funzionamento della porta. Facciamo notare infine che se i resistori di una porta si discostano dai loro valori tipici in una certa direzione, tutti i resistori delle altre porte contenute *nello stesso chip* si discostano dai loro valori tipici nella stessa direzione.

Prendiamo ora in considerazione il caso in cui le porte poste in parallelo si trovino su chip *differenti*. In questo caso il resistore di una porta può essere maggiore del suo valore tipico ed il corrispondente dell'altra porta può essere minore del suo valore tipico. Supponiamo, per esempio, che nella Fig. 4.10-1 il resistore di collettore della porta  $A$  (indicato con  $R_{cA}$ ) sia più alto e che quello della porta  $B$ , cioè  $R_{cB}$ , sia più basso. Supponiamo ora di voler far commutare l'uscita della porta complessiva al livello logico  $0$ , portando il transistor  $T1A$  in saturazione. Poiché  $R_{cB}$  è minore di  $R_{cA}$ , il parallelo di  $R_{cA}$  con  $R_{cB}$  è minore di  $R_{cA}/2$ . Perciò, quando la porta  $B$  è collegata in parallelo con la porta  $A$ , la corrente richiesta per portare  $T1A$  in saturazione è *più che raddoppiata* rispetto a prima. Di conseguenza il fattore di carico relativo al-

l'ingresso di  $T1A$  è più che raddoppiato, nella configurazione parallelo, e deve essere considerato maggiore di 6. In altre parole possiamo dire che per soddisfare la maggior richiesta di corrente da parte della base di  $T1A$  dobbiamo assicurare all'ingresso di  $T1A$  una tensione più elevata. Si può ottenere ciò riducendo il carico della porta pilota. Aumentando il fattore di carico di ingresso per la porta  $A$ , raggiungiamo proprio lo scopo desiderato.

Riferendoci ancora alla Fig. 4.10-1 e supponendo ancora  $R_{cB} < R_{cA}$ , se il segnale pilota viene applicato alla base di  $T1B$  anziché a quella di  $T1A$ , potremmo assegnare al fattore di carico di questo ingresso un valore inferiore a 6. Però quando si collegano in parallelo le porte, a meno di esaminare preventivamente con particolare cura gli integrati, non è possibile sapere quale porta abbia resistori con valori maggiori di quelli tipici e quale resistori con valori minori di quelli tipici. Quindi non rimane che assegnare un'«extra-margine» di sicurezza al fattore di carico di *ciascun* ingresso di *tutte* le porte.

Per quanto riguarda questo «extra-margine» dei fattori di carico di ingresso, possiamo attenerci alle specifiche fornite dai costruttori che basano i loro dati sulla conoscenza delle tolleranze di fabbricazione. Per la MRTL, quando si collegano in parallelo due porte di chip diversi, il costruttore raccomanda di aumentare il fattore di carico di ingresso tipicamente di 0,75. Quindi in Fig. 4.10-1 dovremo assegnare ai fattori di carico di ingresso il valore 6,75. Come ultima considerazione supponiamo di voler collegare in parallelo  $N$  porte, di cui  $N_A$  poste sul chip  $A$  ed  $N_B$  poste sul chip  $B$  (con  $N = N_A + N_B$ ). Generalizzando le considerazioni precedenti, possiamo dire che il fattore di carico per gli ingressi sul chip  $A$  vale  $3N + 0,75N_B$  e per quelli sul chip  $B$  vale  $3N + 0,75N_A$ .

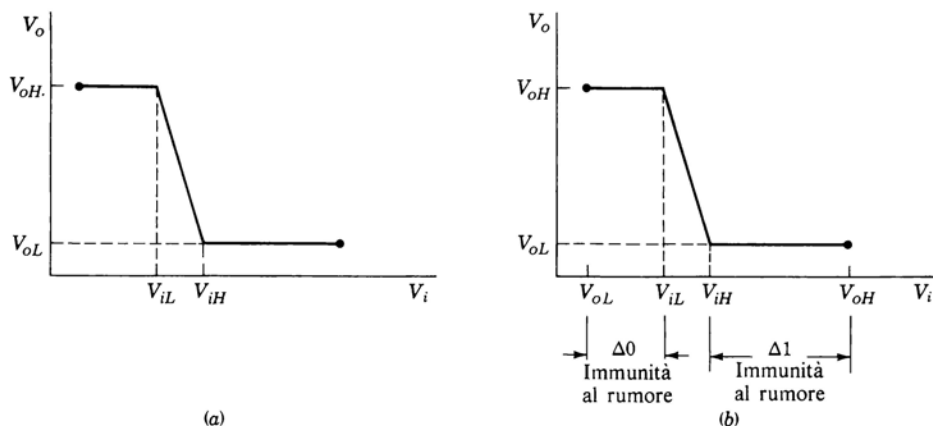


Figura 4.11-1 Caratteristica di ingresso-uscita indicante (a) i parametri nel caso più sfavorevole e (b) i margini di immunità al rumore  $\Delta 0$  e  $\Delta 1$ .

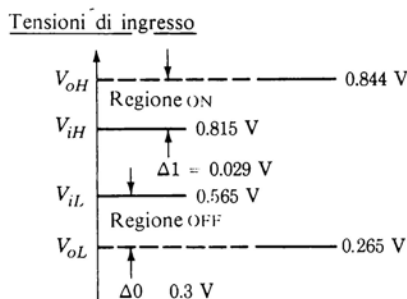


Figura 4.11-2 Margini di rumore specificati dal costruttore.

#### 4.11 SPECIFICHE SULLE TENSIONI DI LAVORO

La Fig. 4.6-2 indica le variazioni della tensione di uscita in funzione della tensione di ingresso di una porta RTL con un fan-out di 5, una tensione di alimentazione  $V_{CC} = 3 \text{ V}$  e a temperature di  $-55$ ,  $+25$ ,  $+125^\circ \text{C}$ . La figura però non tiene conto della dispersione dei valori dei parametri dei transistori e dei resistori dovuta alle tolleranze di fabbricazione. Per tener conto di ciò i costruttori specificano i parametri  $V_{oH}$ ,  $V_{iH}$ ,  $V_{oL}$ ,  $V_{iL}$  nel caso più sfavorevole, come è indicato in Fig. 4.11-1a. Questi parametri sono specificati per una certa temperatura, per  $V_{CC} = 3 \text{ V} \pm 10\%$ , per il fan-out massimo e per le massime tolleranze di fabbricazione. I parametri sono definiti nel seguente modo:

$V_{oH}$  La minima tensione disponibile all'uscita della porta quando l'uscita è al livello logico 1.

$V_{iH}$  La minima tensione di ingresso che può essere riconosciuta dalla porta senza ambiguità come corrispondente al livello logico 1.

$V_{oL}$  La massima tensione disponibile all'uscita della porta quando l'uscita è al livello logico 0.

$V_{iL}$  La massima tensione di ingresso che può essere riconosciuta dalla porta senza ambiguità come corrispondente al livello logico 0.

Così se  $V_i$  e  $V_o$  sono rispettivamente le tensioni di ingresso e di uscita della porta, è garantito che se  $V_i \leq V_{iL}$ , allora sarà  $V_o \geq V_{oH}$ ; se  $V_i \geq V_{iH}$ , allora sarà  $V_o \leq V_{oL}$ .

In fig. 4.11-1b abbiamo riportato le tensioni  $V_{oL}$  e  $V_{oH}$  sull'asse delle tensioni di ingresso; si vede che le immunità al rumore sono date da:

$$\Delta 0 = V_{iL} - V_{oL} \quad \text{e} \quad \Delta 1 = V_{oH} - V_{iH}$$

Poichè questi quattro parametri,  $V_{oH}$ ,  $V_{iH}$ ,  $V_{iL}$ ,  $V_{oL}$ , descrivono

completamente la caratteristica di ingresso-uscita nel caso più sfavorevole e determinano le immunità ai disturbi  $\Delta 0$  e  $\Delta 1$ , non è quasi più necessario l'impiego della caratteristica di Fig. 4.11-1; invece le stesse informazioni vengono spesso presentate nella forma illustrata in Fig. 4.11-2.

**ESEMPIO 4.11-1** Per una data porta RTL che lavora a 25 °C, i parametri specificati dal costruttore nel caso più sfavorevole sono  $V_{OH} = 844$  mV,  $V_{IH} = 815$  mV,  $V_{IL} = 565$  mV,  $V_{OL} = 265$  mV. Determinare i valori  $\Delta 0$  e  $\Delta 1$  di immunità al rumore.

**SOLUZIONE** I valori dei parametri sono indicati in Fig. 4.11-2. Si vede così che, nel caso peggiore,  $\Delta 0$  e  $\Delta 1$  valgono rispettivamente 300 mV e 29 mV. Questi risultati sono sensibilmente inferiori a quelli indicati in Fig. 4.6-2, dove  $\Delta 0 = 450$  mV e  $\Delta 1 = 230$  mV. I dati ricavati da Fig. 4.11-2 sono peggiori dei valori reali. Il costruttore ammette infatti che questi risultati sono estremamente prudenziali e i margini di rumore sono in realtà più ampi.

## 4.12 TEMPO DI PROPAGAZIONE

Abbiamo visto (Par. 1.17) che nella risposta delle porte logiche si verificano ritardi dovuti al tempo di propagazione. Per le porte RTL tali ritardi vengono generalmente specificati come indicato in Fig. 4.12-1. In questa figura è rappresentata una forma d'onda di ingresso (presumibilmente l'uscita di una porta precedente) che compie una transizione da **0** ad **1** e poi la transizione inversa. È rappresentata inoltre la corrispondente forma d'onda d'uscita. Come è indicato, i ritardi di propagazione sono misurati fra i punti in corrispondenza ai quali le forme d'onda superano di 0,5 V il livello logico **0**. Poiché il livello **0** si trova a circa 0,2 V, i punti di riferimento sulle forme d'onda sono a circa 0,7 V, valore che è, con buona approssimazione, a metà dell'intervallo di tensione corrispondente alla regione attiva dei transistori delle porte (vedi Fig. 4.4-1). Il tempo  $t_{pd}(HL)$  è il ritardo di propagazione relativo alla transizione del segnale d'uscita dal livello alto a quello basso, mentre  $t_{pd}(LH)$  è il ritardo corrispondente alla transizione dal livello basso al livello alto. I due ritardi di propagazione generalmente non sono uguali.

I ritardi di propagazione sono in parte provocati dalla carica e dalla scarica delle capacità associate alla porta. Il valore complessivo di queste capacità dipende dal fan-out della porta ed anche dal suo fan-in (cioè dal numero degli ingressi della porta). Quindi anche i tempi di propagazione dipendono dal fan-out e dal fan-in. I valori tipici dei tempi di propagazione delle porte RTL sono dell'ordine di 10 ns. Questi valori sono inferiori a quelli di altre porte che esamineremo più avanti. Ciò nonostante le porte RTL vengono sempre meno usate a causa del loro basso margine di rumore e del loro fan-out limitato.

**Imprevisti dovuti al tempo di propagazione** Per mostrare un esempio dei problemi che possono nascere a causa del ritardo di propagazione, prendiamo in esame il caso rappresentato in Fig. 4.12-2. Sia  $t_{pd1}$  il ritardo di propagazione della porta  $NAND$  (usata come invertitore) e  $t_{pd2}$  il ritardo di

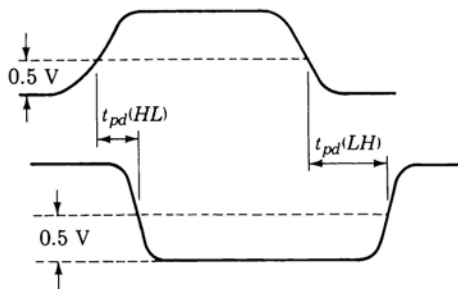


Figura 4.12-1 I tempi di propagazione  $t_{pd}(HL)$  e  $t_{pd}(LH)$ .

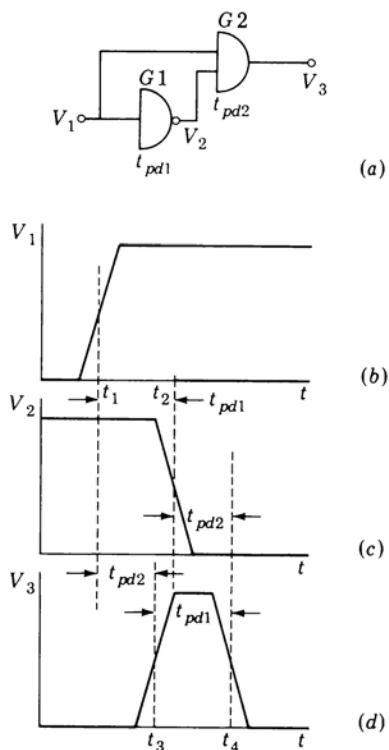


Figura 4.12-2 (a) Struttura a porte la cui risposta è negativamente influenzata dal tempo di propagazione  $t_{pd1}$ . (b) La forma d'onda di ingresso. (c) L'uscita di  $G1$ . (d) L'impulso all'uscita di  $G2$ .

propagazione della porta AND. È chiaro che, indipendentemente dal valore logico di  $V_1$ ,  $V_3$  si verrà a trovare nello stato logico 0. Tuttavia, come possiamo vedere dalle forme d'onda illustrate nella figura, una transizione di  $V_1$  da 0 a 1 determina un impulso positivo di  $V_3$  di durata  $t_{pd1}$ , come illustrato in (d).  $V_1$  compie la propria transizione all'istante  $t_1$ , preso per semplicità in corrispondenza della metà dell'escursione della tensione  $V_1$ , poichè  $V_1$  presenta un tempo di salita finito non nullo essendo essa stessa l'uscita di una porta precedente (non rappresentata in figura).  $V_2$  commuta allora da 1 a 0 dopo un ritardo  $t_{pd1}$ , all'istante  $t_2$ . (Consideriamo il tempo di discesa di  $V_2$  circa uguale al tempo di salita di  $V_1$ .) Ora, poichè  $V_1$  raggiunge l'1 logico prima che  $V_2$  se ne discosti, per un certo intervallo di tempo l'uscita della porta AND  $V_3$  si troverà anch'essa all'1 logico.  $V_3$  sale ad 1 all'istante  $t = t_3$ , ritardato rispetto a  $t_1$  del tempo di propagazione  $t_{pd2}$ . All'istante  $t = t_2$ , dopo un ritardo  $t_{pd1}$ ,  $V_2$  scende a 0 ed infine, all'istante  $t = t_4$ , dopo un ulteriore ritardo  $t_{pd2}$ , anche  $V_3$  scende di nuovo a 0. In conclusione, un gradino in  $V_1$  ha provocato un impulso in  $V_3$ . Si noti che l'istante d'inizio dell'impulso è determinato da  $t_{pd2}$  e la sua durata è determinata da  $t_{pd1}$ . Inoltre il verificarsi di questo impulso è esclusivamente dovuto al ritardo  $t_{pd1}$ . Questi impulsi indesiderati dovuti al tempo di propagazione delle porte costituiscono degli «impulsi imprevisti» (*hazard pulse*).

**Compensazione di carica per ridurre il tempo di propagazione** Come si è fatto notare, i ritardi di propagazione sono anche dovuti alla formazione, quando il transistor commuta in ON, e alla rimozione, quando commuta in OFF, della carica di base del transistor stesso. (Vedi Par. 1.17.). Un modo per ridurre questi tempi è quello di inviare nella base del transistor impulsi di corrente (positivi o negativi) molto ampi anche se di breve durata. Nella logica RTL questi impulsi possono essere ottenuti ponendo dei condensatori in parallelo ai resistori di base  $R_b$ , come è illustrato in Fig. 4.12-3a.

Supponiamo che T1 sia in saturazione, essendo il suo ingresso al livello logico 1. Quando  $V_1$  scende al livello 0, T1 passerà in interdizione non appena si sarà annullata la carica accumulata nella base. Senza il condensatore C questa carica si annulla in parte per ricombinazione nella base ed in parte fuoriuscendo dalla base attraverso  $R_b$ . La presenza del condensatore C consente la fuoriuscita dalla base del transistor di una corrente impulsiva, che consente una rimozione molto più rapida della carica di base. Se il valore del condensatore è adeguatamente elevato, è possibile, almeno in teoria, trasferire tutta la carica di base sul condensatore, provocando istantaneamente l'interdizione del transistor. L'impiego di condensatori per la rapida rimozione della carica immagazzinata in un semiconduttore prende il nome di *compensazione di carica*.

Nei circuiti integrati i condensatori convenzionali sono poco usati perchè occupano sul chip una superficie troppo estesa. Ci si serve spesso invece della capacità di giunzione di un transistor. In Fig. 4.12-3b sono stati aggiunti,

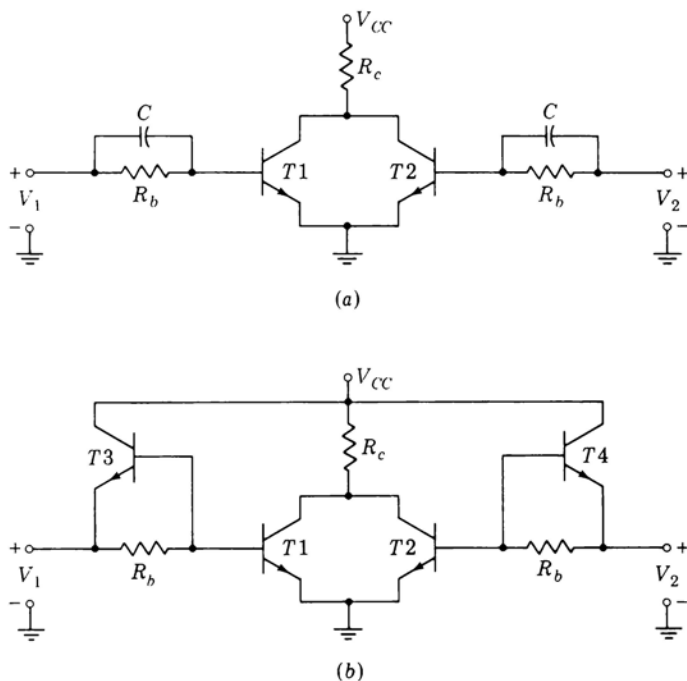


Figura 4.12-3 (a) Porta RTL provvista di condensatori per la compensazione di carica. (b) Realizzazione pratica della compensazione di carica mediante le capacità di giunzione base-emettitore dei due transistori aggiunti

proprio a questo fine, i transistori  $T3$  e  $T4$ . In parallelo ai resistori  $R_b$  vengono così a trovarsi le capacità delle giunzioni base-emettitore di  $T3$  e di  $T4$ . La Western Electric Co. costruisce per la Bell System una famiglia di porte RTL come quella rappresentata in Fig. 4.12-3b con le seguenti caratteristiche:  $V_{CC} = 4,0V$ ,  $R_c = 1,9 \text{ k}\Omega$  ed  $R_b = 1,2 \text{ k}\Omega$ .

#### 4.13 LOGICA AD INIEZIONE INTEGRATA (IIL)

Abbiamo visto nel Par. 4.5 che quando più transistori lavorano in parallelo, come nelle porte RTL, la corrente di base assorbita da un transistore aumenta notevolmente se uno degli altri transistori è portato in saturazione. Questo aumento diventa tanto più accentuato quanto più alto è il numero dei transistori in conduzione e può essere particolarmente pronunciato in porte con elevato fan-in. Questo inconveniente legato al funzionamento in parallelo di



più transistori spiega in gran parte il fan-out relativamente basso delle porte RTL. Nelle porte DCTL, oltre a questo inconveniente, c'è ancora il problema dell'accaparramento di corrente, di cui si è parlato nel par. 4.3. Per questo motivo la famiglia DCTL non ha mai trovato ampia diffusione. La RTL invece, dopo aver goduto di un breve periodo di popolarità, ha perso terreno ed attualmente non è più presente nei nuovi sistemi digitali.

Nei capitoli seguenti esamineremo alcune famiglie logiche esenti dalle limitazioni proprie della DCTL e della RTL. Alcune di esse impiegano dispositivi ad effetto di campo, altre impiegano transistori bipolari. Queste ultime in particolare presentano il non trascurabile svantaggio di essere notevolmente più complesse della DCTL e della RTL. Pertanto la superficie occupata da una di queste porte sul chip di silicio del circuito integrato è più estesa di quella che verrebbe occupata, per esempio, da una porta DCTL. Questo fatto costituisce naturalmente un notevole problema non solo nell'integrazione su larga scala (LSI), ma anche su media scala (MSI). Come si vedrà, i dispositivi a FET richiedono minor spazio, ma sono più lenti delle porte a transistori bipolari.

La RTL e la DCTL sono state le prime famiglie logiche ad essere sviluppate commercialmente. In seguito sono state introdotte sul mercato altre famiglie; di esse parleremo nei capitoli successivi più o meno nell'ordine secondo cui si sono sviluppate. La *logica a iniezione integrata* (IIL o I<sup>2</sup>L: *integrated-injection logic*) è la famiglia logica più recente che sia stata posta in commercio; ne parliamo ora perchè questa logica presenta notevoli affinità con la DCTL. La IIL possiede la stessa elegante semplicità della DCTL. Una tipica porta IIL occupa una superficie molto ridotta e presenta un consumo di potenza molto basso. Per questa ragione questa logica è particolarmente adatta per circuiti integrati ad alta e a media scala di integrazione.

Nell'integrazione su alta o media scala, dove le porte sono estremamente addensate, la dissipazione di potenza diventa un fattore estremamente importante. È generalmente vero però che, come abbiamo già visto per la RTL, è possibile un compromesso fra la dissipazione di potenza e la velocità di funzionamento. Perciò un fattore di merito importante per il confronto fra le varie famiglie logiche è costituito dal prodotto *velocità-potenza*. La velocità si misura in base al tempo di propagazione e la potenza in base alla dissipazione di una porta tipica. È sorprendente confrontare il prodotto velocità-potenza della IIL con quello delle altre famiglie logiche. A titolo di esempio confrontiamo la IIL con la TTL (logica transistor-transistore, che esamineremo nel Cap. 6). Attualmente la TTL è la famiglia logica certamente più diffusa nell'integrazione su bassa scala, ha ampie applicazioni nell'integrazione su media scala e minore diffusione nell'integrazione su larga scala. Si vede che per la TTL il prodotto velocità-potenza [dimensionalmente (tempo × energia)/tempo = energia] vale tipicamente 100 pJ, mentre per la IIL varia fra 0,1 e 0,7 pJ. Inoltre mentre le porte TTL possono raggiungere una densità di

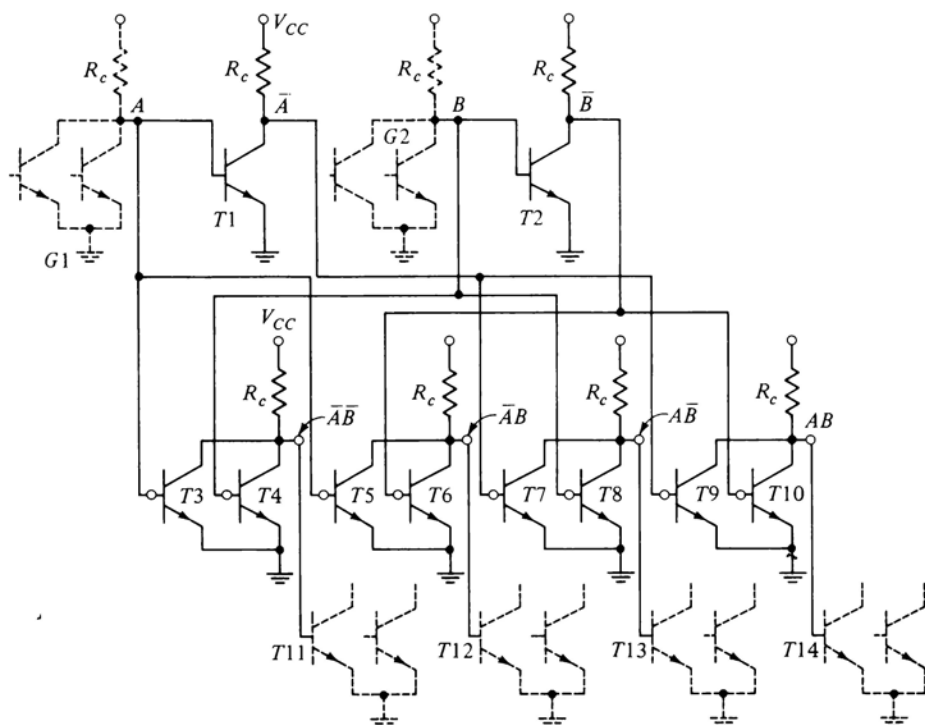


Figura 4.13-1 Configurazione di porte DCTL che genera, dalle variabili logiche  $A$  e  $B$ , le funzioni  $AB$ ,  $A\bar{B}$ ,  $\bar{A}B$  e  $\bar{A}\bar{B}$ .

circa 20 porte per millimetro quadrato, le porte IIL raggiungono una densità compresa fra 120 e 200 porte per millimetro quadrato.

Attualmente la logica IIL non è disponibile in commercio nel campo dell'integrazione su bassa scala; non sono disponibili cioè integrati contenenti una o più porte, come esistono per la RTL e per le altre famiglie logiche. Sono disponibili viceversa integrati IIL su media e larga scala di integrazione.

**Configurazione base della IIL** La porta DCTL rappresentata in Fig. 4.2-1 e quella RTL di Fig. 4.1-1 presentano la configurazione tipica delle porte logiche, presentano cioè diversi ingressi ed una sola uscita. (Anche le configurazioni base delle altre famiglie logiche che tratteremo nei capitoli seguenti hanno questa stessa struttura.) La configurazione base della IIL presenta viceversa un solo ingresso e più uscite; è pertanto necessario fornire alcune spiegazioni.

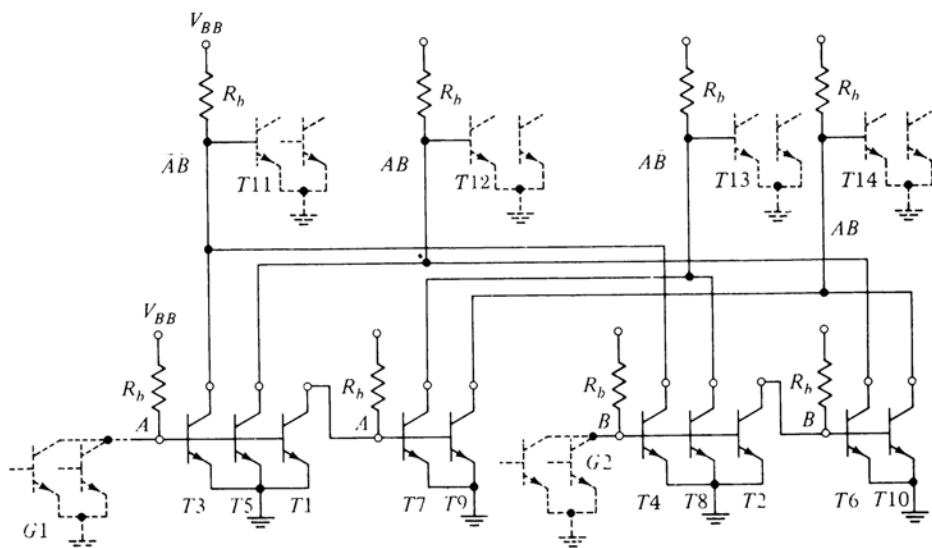


Figura 4.13-2 Lo schema di Fig. 4.13-1 ridisegnato raggruppando i transistori aventi le basi in comune.

Supponiamo ad esempio di voler operare con le due variabili logiche  $A$  e  $B$  per ottenere le funzioni  $AB$ ,  $\overline{AB}$ ,  $\overline{A}B$  e  $\overline{A}\overline{B}$ . Usiamo la logica DCTL. Le variabili  $A$  e  $B$  possono essere, a loro volta, funzioni di altre variabili e quindi essere esse stesse le uscite di altre porte DCTL, per esempio  $G1$  e  $G2$ , come è illustrato in Fig. 4.13-1. Poichè queste porte sono esterne al blocco che stiamo sviluppando, sono state disegnate a tratteggio. (In  $G1$  e  $G2$  sono indicati solo due transistori, ma evidentemente il loro numero è arbitrario.)

Abbiamo bisogno di  $\overline{A}$  e  $\overline{B}$ ; queste due funzioni sono realizzate dalle porte ad un solo ingresso costituite dai transistori  $T1$  e  $T2$ . Avendo finalmente a disposizione  $A$ ,  $B$ ,  $\overline{A}$  e  $\overline{B}$ , le funzioni richieste vengono realizzate dalle quattro porte DCTL a due ingressi. Le funzioni ricavate in questo modo possono esse stesse costituire gli ingressi di altre porte. Per rappresentare questa possibilità, abbiamo collegato l'uscita  $\overline{AB}$  alla base di  $T11$ , l'uscita  $\overline{A}B$  alla base di  $T12$  ecc., dove i transistori da  $T11$  a  $T14$  costituiscono ciascuno uno degli ingressi di queste altre porte esterne.

Ridisegniamo la Fig. 4.13-1 raggruppando i transistori che hanno le connessioni di base in comune. Otteniamo così la Fig. 4.13-2. In Fig. 4.13-1 invece si sono raggruppati i transistori che hanno in comune le connessioni di collettore. Inoltre, passando dalla Fig. 4.13-1 alla Fig. 4.13-2, abbiamo dato una diversa interpretazione alla funzione dei resistori. Nella prima figura i re-

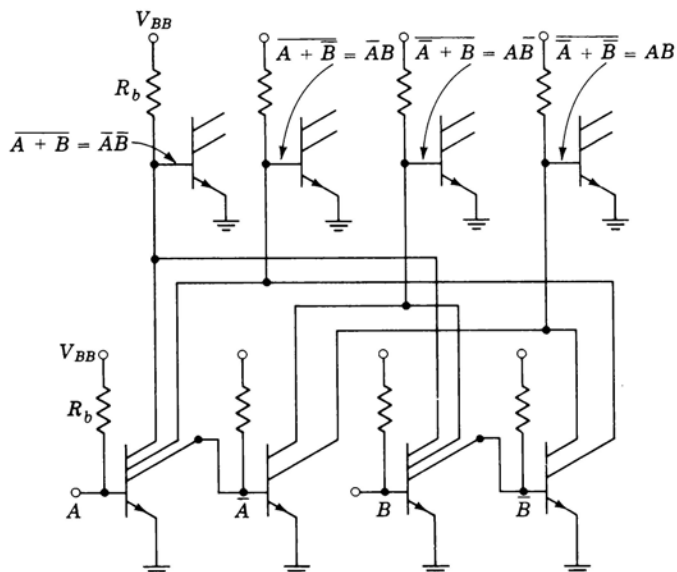


Figura 4.13-3 La Figura 4.13-2 ridisegnata con transistori a collettore multiplo.

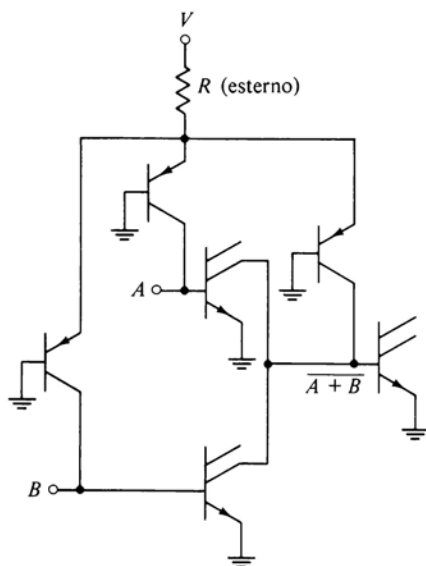


Figura 4.13-4 Configurazione base delle porte IIL.

istori sono visti come resistori dei collettori comuni e vengono indicati quindi con  $R_c$ . Nella seconda figura i resistori sono visti come resistori delle basi comuni e quindi sono chiamati  $R_b$ . Di conseguenza il resistore che prima era visto come resistore di collettore comune della porta  $G1$ , ora è visto come resistore di base comune dei transistori  $T1$ ,  $T3$  e  $T5$ . Corrispondentemente il resistore è connesso ad una alimentazione che in un caso è  $V_{CC}$ , nell'altro è  $V_{BB}$ .

Ridisegniamo poi lo schema di Fig. 4.13-2 come in Fig. 4.13-3. Qui i gruppi di transistori aventi emettitori e basi in comune (come  $T3$ ,  $T5$ ,  $T1$ ) sono rappresentati ciascuno come un singolo transistorore a collettore multiplo. La struttura base della porta IIL è costituita da un transistorore con più collettori, un unico emettitore ed un circuito che fornisce la corrente di base. La funzione logica realizzata è, come nella DCTL, la funzione  $NOR$ . Così se il collettore di una prima porta, il cui ingresso è  $A$ , è connesso con il collettore di una seconda porta, il cui ingresso è  $B$ , ed entrambi i collettori sono, a loro volta, connessi alla base di una terza porta, la funzione logica presente su questa base è  $\overline{A + B}$ .

Da quello che si è detto finora la corrente di base risulta fornita ai transistori multi-collettore attraverso un resistore. In realtà invece questa corrente viene fornita attraverso un transistorore. La configurazione base di una porta IIL è pertanto quella illustrata in Fig. 4.13-4. Il transistorore può essere incorporato all'interno del circuito integrato, occupando così una superficie molto minore di quella che occuperebbe il resistore. Si noti ancora che, per i motivi che vedremo più avanti, questo transistorore aggiunto è di tipo *npn*.

#### 4.14 STRUTTURA FISICA DELLA IIL

Per poter apprezzare le caratteristiche che rendono estremamente competitive le prestazioni della IIL, è necessario fare alcune considerazioni sulla struttura fisica di un circuito integrato IIL. Tratteremo l'argomento in modo semplificato.

Nei circuiti integrati, per motivi connessi alla tecnologia di fabbricazione, i transistori sono di tipo *npn*. In Fig. 4.14-1a è illustrata la struttura di una serie di transistori. (In Fig. 4.14-1 per semplicità abbiamo deliberatamente ommesso alcuni elementi necessari per il corretto funzionamento del dispositivo, ma non essenziali per la nostra trattazione.) Il substrato è costituito da silicio di tipo *p*, che si incunea fra i transistori arrivando fino alla superficie del chip e isolando così un transistorore dall'altro. Il collettore, la base e l'emettitore sono rispettivamente di tipo *n*, *p* e nuovamente *n*, come indicato. L'isolamento viene ottenuto mantenendo il substrato sempre negativo rispetto al collettore. Le varie parti dei transistori vengono realizzate mediante diffusione di impurità attraverso la superficie del chip. Il collettore è relativamente poco drogato; la base è drogata più fortemente e l'emettitore ha un drogaggio ancor più forte.

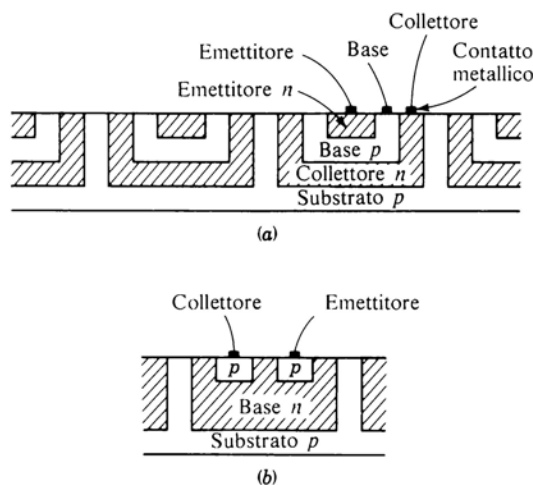


Figura 4.14-1 (a) La struttura fisica (semplificata) dei transistori in un circuito integrato.  
(b) Struttura di un transistor *pnp* laterale.

Sia la forma geometrica che il drogaggio contribuiscono ad assicurare che il guadagno a base comune  $\alpha_N$  sia prossimo all'unità e che  $h_{FE} = \alpha_N / (1 - \alpha_N)$  sia elevato. Poichè l'emettitore è molto più drogato della base, i portatori che attraversano la giunzione di emettitore sono prevalentemente elettroni. È estremamente importante che sia così perchè le lacune che passano dalla base all'emettitore costituiscono una corrente di emettitore che non verrà convogliata nella giunzione di collettore. Poichè la base è molto sottile, sono molto pochi gli elettroni iniettati nella base che andranno perduti per ricombinazione. Si noti ancora che l'emettitore è praticamente circondato dal collettore, cioè, in altre parole, l'angolo sotto cui il collettore viene visto dall'emettitore risulta essere molto ampio. Di conseguenza quando un elettrone lascia l'emettitore, da qualsiasi punto e in qualsiasi direzione, difficilmente non riesce a raggiungere il collettore. Per tutti questi motivi  $\alpha_N \approx 0,98$  o anche più. Nella configurazione del transistor di Fig. 4.14-1a l'asse di simmetria del flusso di corrente è verticale. Per questo motivo questo transistor viene detto *transistore verticale*.

La struttura può essere modificata per realizzare un transistor *pnp*. Questo transistor è rappresentato in Fig. 4.14-1b. Il substrato è ancora costituito da silicio di tipo *p*. La zona subito al di sopra del substrato non è più però il collettore, ma la base. Come si vede, l'emettitore ed il collettore sono realizzati mediante diffusione di impurità di tipo *p* nella base. Si osservi che in que-

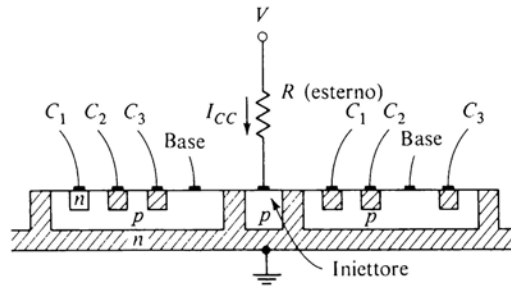


Figura 4.14-2 Struttura della porta base IIL.

sto caso l'angolo sotto cui il collettore è visto dall'emettitore è relativamente piccolo. Per questo motivo il guadagno di corrente  $h_{FE}$  del transistor *pnp* è piuttosto basso, essendo compreso fra 0,5 e 5, rispetto a quello del transistor *npn*, che è compreso fra 50 e 150. Si noti infine che la direzione del flusso di corrente è laterale anziché verticale; per questo motivo la configurazione di Fig. 4.14-1b è detta *transistore laterale*.

Tornando alla porta IIL, ne vediamo la struttura in Fig. 4.14-2. (Anche in questa figura ci siamo permessi qualche semplificazione.) In essa sono rappresentate fianco a fianco due porte a tre collettori. Lo strato inferiore, di tipo *n*, che nei transistori dei circuiti integrati convenzionali costituisce il collettore, qui costituisce l'emettitore. Poiché gli emettitori di tutti i transistori lavorano alla stessa tensione (sono a massa), non è più necessario creare la zona di isolamento di tipo *p*, indispensabile invece nella configurazione di Fig. 4.14-1a. Nei transistori convenzionali la piccola regione di tipo *n* affogata nella base di tipo *p* costituisce l'emettitore. Nella logica IIL queste piccole regioni di tipo *n* costituiscono i collettori multipli. Nel transistor IIL il drogaggio continua ad essere geometricamente identico a quello dei transistori convenzionali; pertanto, mentre nei transistori convenzionali l'emettitore è la zona più fortemente drogata ed il collettore la meno drogata, nel transistor IIL la situazione risulta invertita. Il transistor IIL lavora quindi come un transistor convenzionale nel suo modo *inverso*. Ci si deve aspettare, come infatti avviene, un basso guadagno di corrente. È tuttavia possibile arrivare a guadagni di corrente pari a 5 o anche più. Un guadagno di corrente di questo ordine è perfettamente adatto allo scopo, poichè, come si può vedere in Fig. 4.13-1, ciascun collettore deve provvedere ad un fan-out di 1 soltanto.

Come indicato in Fig. 4.14-2, la posizione del contatto di base nel transistor *npn* non è la stessa per tutti i transistori. Questa caratteristica consente di disporre i contatti di base e le regioni di collettore nel modo più adatto alle interconnessioni che si dovranno fare.

La Fig. 4.14-2 illustra anche il transistor *pnp* che fornisce la corrente di base al transistor *nnp* (vedi Fig. 4.13-4). La zona di tipo *p* indicata come «iniettore» è l'emettitore del transistor; il suo collettore è costituito dalla base di tipo *p* dei transistori *nnp*, mentre la sua base è costituita dall'emettitore di tipo *n* dei transistori *nnp*. Complessivamente i due transistori, l'*nnp* ed il *pnp*, comprendono solo quattro regioni distinte, poichè utilizzano due regioni in comune. Per questo motivo la IIL è anche chiamata *logica a transistori compenetrati*, ovvero MTL (*merged-transistor logic*).

Osserviamo che in Fig. 4.14-2 il transistor *pnp*, attraverso il quale viene iniettata la corrente di base nel transistor *nnp*, alimenta due transistori, uno per lato. Inoltre notiamo che i transistori *pnp* sono del tipo *laterale*. La corrente  $I_{CC}$  è fornita all'iniettore da un generatore di alimentazione  $V$  attraverso un resistore esterno  $R$ . La tensione fra l'iniettore di tipo *p* e massa è la tensione ai capi di una giunzione polarizzata direttamente e, in questo caso, vale circa 0,85 V. Fortunatamente questa tensione rimane la stessa da un iniettore all'altro dell'integrato, per cui risulta possibile porre tutti gli iniettori in parallelo e fornire tutta la corrente necessaria agli iniettori attraverso un unico resistore esterno.

**Regolazione della velocità** Abbiamo visto che nelle porte RTL è possibile migliorare le prestazioni in velocità a prezzo di una maggiore dissipazione di potenza. Tale compromesso si realizza variando i valori dei resistori. Resistori piccoli lasciano passare correnti più alte, sicchè le capacità possono caricarsi più rapidamente, anche se a prezzo di una maggiore dissipazione di potenza. Quello che si vuol far notare qui è che ogni integrato ha una sua velocità di funzionamento e per avere una velocità *diversa*, occorre *cambiare* integrato. Nella IIL, come ora vedremo, il compromesso desiderato fra velocità e potenza può essere ottenuto su uno stesso integrato, semplicemente variando la corrente  $I_{CC}$  che viene iniettata nell'integrato stesso.

Poichè la tensione sull'iniettore è costante ( $\approx 0,85$  V), la potenza di ingresso è proporzionale alla corrente media di ingresso  $I_{CC}$ . (In un integrato a larga scala di integrazione si può ragionevolmente supporre che la percentuale dei transistori in conduzione sia sostanzialmente sempre la stessa e che quindi  $I_{CC}$  sia pressochè costante.) Se  $n$  è il numero delle porte mediamente in conduzione, la frazione di corrente  $I_{CC}/n$  alimenterà ciascuna delle  $n$  porte in conduzione. Per *bassi livelli di corrente* il ritardo di propagazione è principalmente dovuto al tempo di carica delle capacità di giunzione e delle capacità parassite. Il tempo richiesto per la carica di queste capacità è *inversamente proporzionale* alla corrente di carica disponibile  $I_{CC}/n$ . Di conseguenza il prodotto velocità-potenza è una costante, indipendente dal valore di  $I_{CC}$ . Aumentando  $I_{CC}$  (aumentando  $V$  oppure diminuendo  $R$  nel circuito di Fig. 4.14-2), possiamo diminuire il tempo di propagazione a spese di un proporzionale aumento della potenza dissipata.



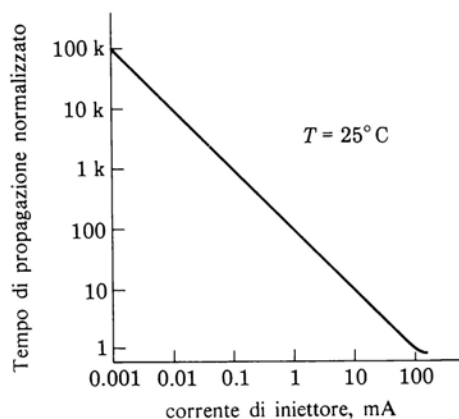


Figura 4.14-3 Tempo di ritardo normalizzato in funzione della corrente di iniettore.

Per *medi livelli di corrente* la causa principale del ritardo di propagazione è costituita dalla formazione e dalla rimozione, nella/dalla base dei transistori, della carica dei portatori minoritari in eccesso (vedi Par. 1.17). Questa carica è proporzionale alla corrente che la crea o la rimuove, ragion per cui il ritardo di propagazione è indipendente dalla corrente. Perciò per questi valori medi di corrente un aumento di  $I_{CC}$  provocherà un aumento della dissipazione senza ridurre il ritardo.

Per *livelli di corrente elevati* i transistori sono portati in saturazione. Come spiegato nel Par. 1.18, nella regione di saturazione la carica immagazzinata nella base aumenta in modo più che proporzionale alla corrente del transistor. Perciò per valori alti di corrente un aumento di  $I_{CC}$  fa aumentare non solo la dissipazione ma anche il tempo di propagazione.

La Fig. 4.14-3 rappresenta un diagramma del tempo di propagazione normalizzato in funzione di  $I_{CC}$ , per l'integrato a tecnologia IIL della Texas Instrument SBPO400. Per valori di  $I_{CC}$  da 0,001 a 100 mA possiamo realizzare il compromesso fra consumo e velocità. Oltre i 100 mA un aumento della dissipazione non comporta più un aumento della velocità. Anche se il diagramma non rappresenta la zona relativa alle correnti alte, non ci sono dubbi che in tale zona la curva presenterà pendenza positiva.

#### 4.15 DECODIFICATORE IIL

In Fig. 4.14-2 abbiamo rappresentato un iniettore che alimenta due transistori. In realtà un singolo iniettore può alimentare parecchi transistori. In questo caso l'iniettore si estende in una lunga striscia sulla superficie del chip e pren-

de il nome di *barretta di iniezione*. I transistori vengono realizzati ai due lati della barretta e si sviluppano perpendicolarmente ad essa.

Come esempio di un'altra configurazione IIL, in Fig. 4.15-1 è rappresentato un decodificatore a 3 bit. La funzione dei decodificatori e la loro logica verranno trattate nel Par. 12.9. Qui è sufficiente notare che il circuito ha come ingressi le tre variabili logiche  $A$ ,  $B$ , e  $C$  e presenta su otto linee di uscita distinte gli otto prodotti fondamentali (minterm, vedi Par. 3.17) delle tre variabili di ingresso. Quindi in qualsiasi momento una sola delle linee di uscita

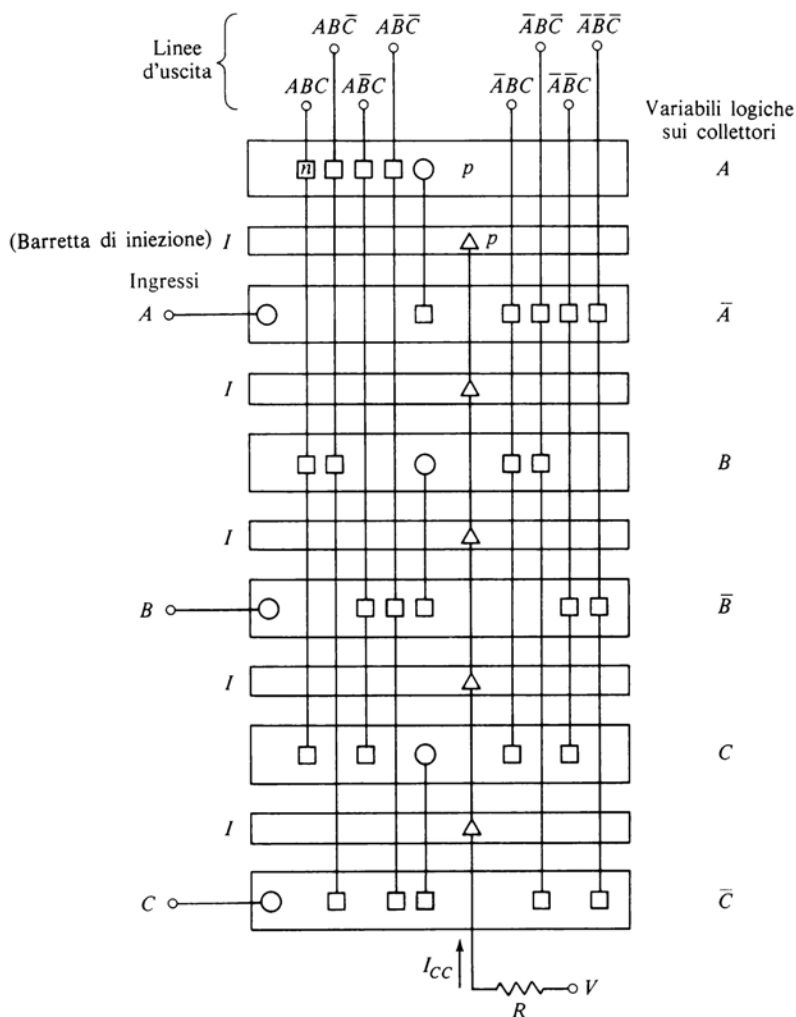


Figura 4.15-1 Decodificatore IIL a tre bit.

sarà al livello **1**; tutte le altre saranno a **0**. I livelli logici presenti agli ingressi determinano quale uscita deve essere a **1**.

La figura è una vista dall'alto del chip. L'emettitore comune di tipo *n* dei transistori *npn* (vedi Fig. 4.14-2), che è anche la base del transistor iniettore, non è indicato esplicitamente. Vediamo la barretta di iniezione, di tipo *p*, e la base *p* dei transistori *npn* (che è anche il collettore del transistor iniettore). Le connessioni attraverso cui entra la corrente sono indicate con i triangolini sull'iniettore. Le connessioni di base sono indicate con cerchietti e quelle di collettore con quadratini. Sulla destra della figura sono specificate le variabili logiche presenti sui collettori di ciascun transistor multi-collettore. Così il transistor al cui ingresso è presente *A*, avrà  $\bar{A}$  su tutti i collettori; uno di essi porta  $\bar{A}$  all'ingresso di un secondo transistor, sui cui collettori è presente quindi *A*. Come abbiamo già notato, il semplice collegamento dei collettori genera il prodotto logico delle variabili presenti sui collettori stessi. È sottinteso, anche se non è indicato sulla figura, che ciascuna linea di uscita deve essere collegata all'ingresso di un'altra porta affinché l'iniettore di quest'ultima possa fornire le correnti di collettore ai transistori indicati nella figura.

Nel nostro caso i transistori sono disposti parallelamente, non perpendicolarmente, alle barrette di iniezione. Di conseguenza il percorso dei collegamenti è particolarmente semplice, senza incroci.

#### 4.16 CORRENTE E LIVELLI DI TENSIONE

I livelli di tensione all'interno di un integrato IIL valgono all'incirca 0,7 e 0,1 V. Il valore superiore è misurato su una base quando tutti i collettori connessi a questa base non conducono. Il valore inferiore è la tensione presente su un collettore e sulla base ad esso connessa quando il transistor di cui il collettore fa parte è in conduzione. La differenza di tensione fra i due livelli logici è dunque di 0,6 V. Le correnti sopportate dal transistor sono piuttosto modeste in confronto a quelle della logica RTL e delle altre famiglie che tratteremo nei capitoli seguenti. Tipicamente le correnti variano da 1 a 10  $\mu\text{A}$ .

Una volta che le tensioni all'interno dell'integrato hanno assunto i valori corrispondenti alle funzioni logiche che si vogliono realizzare, si deve tirar fuori dal collettore dell'ultimo transistor il segnale da utilizzare all'esterno. Quest'ultimo collettore non è collegato ad una base successiva e quindi, per fornire un segnale, deve essere connesso ad una alimentazione attraverso un resistore esterno. Vanno bene tensioni di alimentazione fino a 10 V, per cui la differenza fra i due livelli logici d'uscita può arrivare a poco meno di 10 V. Possono sorgere difficoltà a causa della corrente di uscita, che può essere insufficiente. In tal caso possono essere realizzati, sul chip, degli altri transistori che fungano da interfaccia fra l'integrato ed il carico esterno.

**BIBLIOGRAFIA**

- 1 Hart C. M., A. Slob, and H. E. L. Wulms: Bipolar LSI Takes a New Direction with Integrated Injection Logic, *Electronics*, Oct. 3, 1974, pp. 11-118.
- 2 Berger, H. H., and S. K. Wiedmann: Merged-Transistor Logic (MTL): A Low-Cost Bipolar Logic Concept, *IEEE J. Solid-State Circuits*, October, 1972, pp. 340-346.
- 3 Hart, K., A. Slob: Integrated Injection Logic: A New Approach to LSI, *IEEE J. Solid-State Circuits*, October 1972, pp. 346-351.
- 4 Alstein, J.: I<sup>2</sup> L: Today's Versatile Vehicle for Tomorrow's Custom LSI, *EDN*, Feb. 20, 1975, pp. 34-38.
- 5 De Troge, N. C.: Integrated Injection Logic: Present and Future, *IEEE J. Solid-State Circuits*, October 1974, pp. 206-211.
- 6 Horton R. L., J. Englade and G. McGee: I<sup>2</sup>L Takes Bipolar Integration a Significant Step Forward, *Electronics*, Feb. 6, 1975, pp. 83-90.

## CAPITOLO 5

# LOGICA DIODO-TRANSISTORE

In questo capitolo prenderemo in esame un'altra famiglia logica, la *logica diodo-transistore* (DTL: *diode-transistor logic*). I circuiti della DTL sono un po' più complessi di quelli della RTL, il fan-out è maggiore e i margini di rumore sono più ampi, ma le prestazioni, per quanto riguarda la velocità di funzionamento, sono meno brillanti.

### 5.1 LA PORTA IN LOGICA DIODO-TRANSISTORE (DTL)

In Fig. 5.1-1 è illustrata una porta DTL realizzata a componenti discreti. Il transistor  $T_0$  rappresenta il transistor di uscita (corrispondente a  $T_2$ ) di una porta precedente. In figura sono indicati tre ingressi, ma ovviamente è possibile aumentare il loro numero aggiungendo altri diodi a quelli presenti,  $DA$ ,  $DB$  e  $DC$ .

Questa porta realizza l'operazione  $NAND$  in logica positiva. Supponiamo che la porta pilota  $T_0$  sia a livello logico 0 e quindi che  $T_0$  sia in saturazione, con una tensione di collettore  $V_i \approx 0,2$  V o anche minore. Possiamo verificare, riferendoci alla Fig. 5.1-1, che se  $V_i = 0,2$  V,  $T_2$  è interdetto e la tensione di uscita sul collettore è pari a  $V_{CC} = 5$  V, valore che corrisponde al livello logico 1. Infatti, con l'ingresso a 0,2 V, la tensione al punto  $P$  è

$$V_P = V_{CE}(\text{sat}, T_0) + V_{DA} = 0,2 + 0,75 = 0,95 \quad \text{a } T = 25^\circ\text{C} \quad (5.1-1)$$

Si è fatta l'ipotesi che la corrente di 2 mA, che fluisce nel diodo  $DA$ , sia sufficiente a produrre una caduta di tensione di 0,75 V sul diodo stesso. La tensione fra la base di  $T_2$  e massa è quindi

$$V_{B2} = V_P - V_{D1} - V_{D2} = 0,95 - 0,65 - 0,65 = -0,35 \text{ V} \quad (5.1-2)$$

Si è posto  $V_{D1} = V_{D2} = 0,65$  V, in quanto, come si vedrà, la corrente in  $D1$  e  $D2$  è molto piccola. Questa tensione  $V_{B2}$  è minore della tensione di soglia  $V_\gamma$

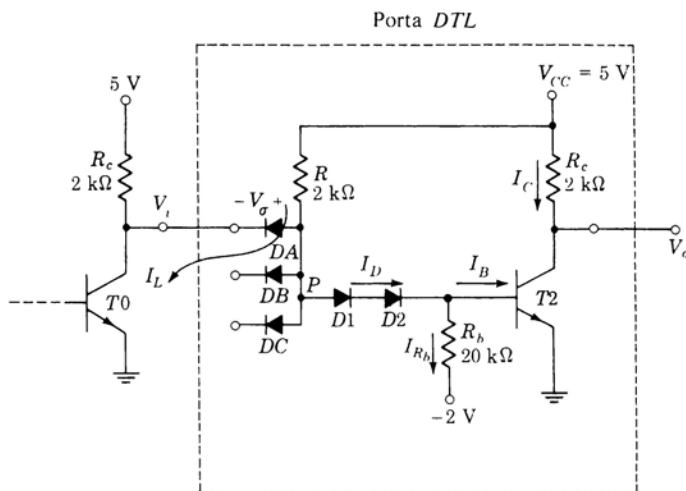


Figura 5.1-1 Porta DTL a componenti discreti.

$= 0,65 \text{ V}$  di  $T_2$ , per cui  $T_2$  è interdetto. Pertanto la corrente che scorre nei diodi  $D1$  e  $D2$  prosegue nel resistore  $R_b$ ; il valore di questa corrente è

$$I_{R_b} = I_D = \frac{V_{B2} + 2}{R_b} = \frac{-0,35 + 2}{20 \times 10^3} = 0,08 \text{ mA} \quad (5.1-3)$$

Questo risultato conferma l'affermazione di partenza, secondo cui la corrente nei diodi è molto piccola. Infine, poichè  $T_2$  è interdetto, la tensione di uscita è  $V_o = 5 \text{ V}$ , valore corrispondente al livello logico **1**.

Si è dimostrato che se  $V_i$  è al livello logico **0**,  $V_o$  è al livello logico **1**. Analogamente si può dimostrare che se tutti gli ingressi sono al livello logico **0**,  $V_o$  continua ad essere al livello logico **1**. Infatti se tutti gli ingressi sono contemporaneamente allo **0** logico, la corrente che scorre in  $R$  si ripartisce fra i diodi  $DA$ ,  $DB$ ,  $DC$ , ... Con una corrente minore, per esempio, in  $DA$ , la caduta sul diodo diminuisce leggermente e, di conseguenza, diminuisce  $V_P$ , sicchè a maggior ragione  $T_2$  è in interdizione. Pertanto  $V_o$  rimane all'**1** logico.

**Assorbimento di corrente** La corrente  $I_L$  che, come indicato in Fig. 5.1-1, esce dal diodo  $DA$ , entra nel collettore del transistor pilota saturo  $T_0$ . La sorgente di questa corrente è la tensione di alimentazione  $V_{CC}$ . Il ritorno di questa corrente al polo negativo dell'alimentazione, che è collegato a massa, avviene attraverso il transistor ed è chiamato comunemente *assorbimento*

(*sinking*). Così si dirà che  $T0$  assorbe la corrente che esce dall'ingresso della porta pilotata.

**Saturazione di  $T2$**  Se uno qualsiasi degli ingressi è al livello logico **0**,  $T2$  è interdetto e l'uscita della porta si trova al livello logico **1**. Se invece tutti gli ingressi sono al livello logico **1** (5 V), la corrente che scorre in  $R$  attraverserà  $D1$  e  $D2$  ed entrerà nella base di  $T2$ . Il transistor quindi si porterà nella regione di saturazione e l'uscita passerà al livello logico **0**, proprio secondo la definizione dell'operazione  $NAND$ .

Per verificare che  $T2$  entra veramente in saturazione, calcoliamo la corrente di base  $I_B = I_D - I_{Rb}$ . In questo caso  $V_{B2} = 0,75$  V e la corrente in  $R_b$  è

$$I_{R_b} \approx \frac{0,75 + 2}{20 \times 10^3} \approx 0,14 \text{ mA} \quad (5.1-4)$$

La tensione al punto  $P$  ora vale  $V_P = V_{D1} + V_{D2} + V_{B2} \approx 2,25$  V, nell'ipotesi che le correnti  $I_D$  e  $I_B$  siano sufficientemente elevate da far sì che le tensioni ai capi dei diodi e la tensione tra base ed emettitore raggiungano approssimativamente il valore 0,75 V. La corrente  $I_D$  che scorre nei diodi e nel resistore  $R$  risulta

$$I_D = \frac{V_{CC} - V_P}{R} = \frac{5 - 2,25}{2 \times 10^3} \approx 1,4 \text{ mA} \quad (5.1-5)$$

La corrente di base di  $T2$  è data dalla differenza fra  $I_D$  e  $I_{Rb}$  e vale

$$I_B = I_D - I_{R_b} \approx 1,26 \text{ mA} \quad (5.1-6)$$

Tale corrente è chiaramente sufficiente a saturare il transistor  $T2$ . Infatti con  $V_{CE(sat)} \approx 0,2$  V,  $I_C = 2,4$  mA. Prendendo  $h_{FE} = 50$  e con i valori sopra indicati per le correnti di base e di collettore, si ha  $\sigma = 0,04$ . Facendo riferimento alla Fig. 1.10-1, si trova che  $V_{CE(sat)}$  è più vicino a 0,1 V che a 0,2 V.

**Il resistore di base  $R_b$**  Supponiamo che il transistor  $T2$  sia in saturazione; quando uno o più degli ingressi della porta torna al livello logico **0**, la tensione del punto  $P$  scende a  $V_P = 0,95$  V. Il circuito equivalente della porta in questo istante è illustrato in Fig. 5.1-2. Si noti che la differenza di potenziale ai capi della serie dei diodi  $D1$  e  $D2$  è di 0,2 V, per cui i diodi risultano interdetti. Pertanto  $I_D = 0$  e quindi viene a mancare la corrente che alimenta  $I_B$ .

Se non ci fosse alcuna carica immagazzinata nel sistema,  $I_B$  si annullerebbe istantaneamente, provocando la caduta della tensione fra base ed emettitore al di sotto del valore di soglia e di conseguenza l'interdizione immediata di  $T2$ . La tensione a regime fra base ed emettitore varrebbe allora  $-0,35$  V [vedi l'Eq. (5.1-2)]. Nel transistor invece è immagazzinata una certa carica. Quando il punto  $P$  scende, interdicendo istantaneamente i diodi  $D1$  e  $D2$ , questa carica immagazzinata viene rimossa attraverso il resistore  $R_b$ ,

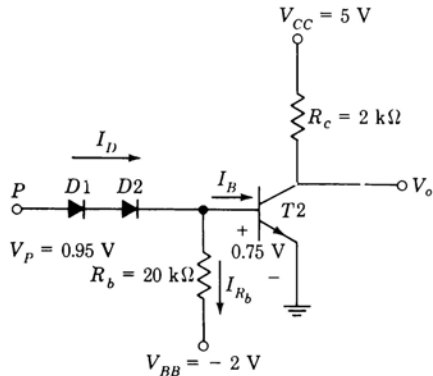


Figura 5.1-2 Circuito equivalente della porta DTL all'istante in cui  $V_P$  è sceso a 0,95 V.

che viene così a costituire il percorso di scarica. Il resistore  $R_b$  viene connesso ad una alimentazione di  $-2$  V per aumentare la velocità di scarica.

La scelta di  $R_b = 20$  kΩ e  $V_{BB} = -2$  V (anziché, per esempio,  $R_b = 1$  kΩ e  $V_{BB} = -4$  V) è dovuta ad un compromesso. I valori possibili per la resistenza e l'alimentazione sono tanti e la maggior parte di essi porterebbe a risultati soddisfacenti. Per aumentare la velocità di rimozione della carica e quindi ridurre il tempo necessario per interdire  $T_2$ ,  $R_b$  dovrebbe essere piccola e  $V_{BB}$  molto negativa. Viceversa, quando  $T_2$  è interdetto, per farlo commutare rapidamente sarebbe opportuno che tutta la corrente  $I_D$  entrasse nella base di  $T_2$ , e quindi  $R_b$  dovrebbe essere elevata e  $V_{BB}$  positiva. I valori tipici di  $R_b$  risultano compresi fra 5 e 30 kΩ mentre quelli di  $V_{BB}$  risultano compresi fra 0 e  $-5$  V.

## 5.2 FAN-OUT

La Fig. 5.2-1 rappresenta una porta DTL che pilota  $N$  porte dello stesso tipo. Il transistore di uscita della porta precedente,  $T_0$ , quando assorbe corrente dalla porta  $G1$  da esso pilotata, si trova a dover sopportare il carico maggiore quando tutti gli altri ingressi di  $G1$  si trovano al livello logico **1** (oppure, il che è equivalente, quando tutti gli altri ingressi vengono lasciati fluttuanti). Infatti in tal caso nel collettore di  $T_0$  entra, attraverso  $DA$ , tutta la corrente che scorre in  $R$ . In base alle osservazioni fatte precedentemente [vedi l'Eq. (5.1-1)], questa corrente risulta essere

$$I_L = \frac{5 - 0.95}{R} = \frac{4.05}{2 \text{ k}\Omega} \approx 2 \text{ mA} \quad (5.2-1)$$



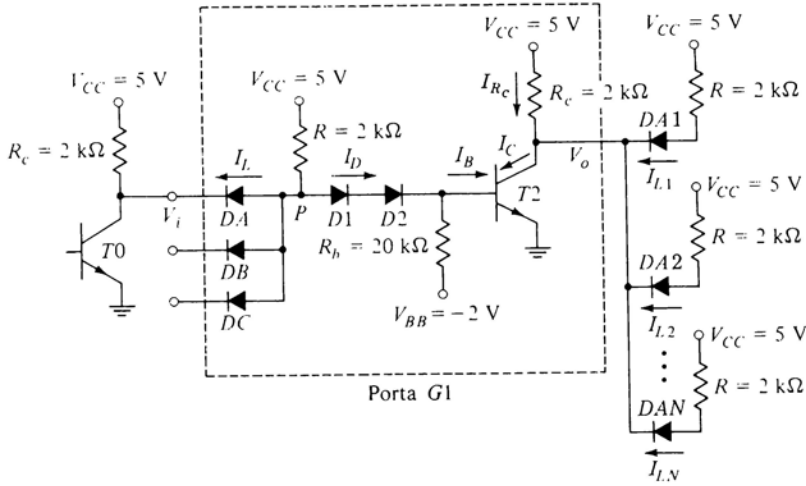


Figura 5.2-1 Porta DTL con carico.

In ogni caso è chiaro che, per minimizzare il carico costituito dall'ingresso della porta G1, conviene che la resistenza  $R$  sia elevata.

Supponiamo viceversa che tutti gli ingressi della porta G1 siano al livello logico 1. In questo caso la corrente  $I_D$  scorre da  $V_{CC}$ , attraverso  $R$ , nei diodi  $D1$  e  $D2$  per ripartirsi infine fra  $R_b$  e la base di  $T2$ , mandando in saturazione  $T2$ . Per definire una relazione tra il fan-out  $N$  della porta G1 ed il resistore  $R$ , supponiamo che, quando  $T2$  è in saturazione, la sua tensione di collettore sia  $V_o = 0,2$  V. La corrente in ciascuna delle  $N$  porte di carico vale quindi

$$I_{L1} = I_{L2} \cdots = I_{LN} \approx \frac{V_{CC} - V_{DA1} - V_o}{R} = \frac{5 - 0,75 - 0,2}{R} \approx \frac{4}{R} \quad (5.2-2)$$

Per arrivare a questo risultato abbiamo supposto che tutta la corrente che scorre nel resistore  $R$  di ciascuna delle porte pilotate entri in  $T2$  ed abbiamo quindi trascurato la corrente che passa nei diodi  $D1$  e  $D2$  delle porte pilotate stesse; tale corrente vale circa 0,08 mA [vedi l'Eq. (5.1-3)] ed è quindi effettivamente trascurabile. La corrente totale di collettore in  $T2$  è allora

$$I_C = I_{R_c} + N I_{L1} = \frac{V_{CC} - V_o}{R_c} + \frac{4N}{R} = 2,4 \text{ mA} + \frac{4N}{R} \quad (5.2-3)$$

La corrente di base  $I_B$  di  $T2$  si calcola, come in precedenza, ricordando che, quando  $T2$  è in saturazione,  $V_P = 2,25$  V. Trascurando ancora la corrente che attraversa  $R_b$ , risulta

$$I_B \approx I_D = \frac{V_{CC} - V_P}{R} = \frac{2.75}{R} \quad (5.2-4)$$

Poichè le ipotesi impongono che  $T2$  sia in saturazione, risulta anche che

$$I_C = \sigma h_{FE} I_B \quad (5.2-5)$$

Valendoci della Fig. 1.10-1 possiamo specificare il valore di  $\sigma$ , dopo aver deciso quale deve essere il valore di  $V_{CE}(\text{sat})$ , cioè il grado di saturazione a cui vogliamo portare il transistor.

Combinando le equazioni dalla (5.2-3) alla (5.2-5) e risolvendo rispetto al fan-out  $N$ , troviamo

$$N \approx 0.7 \sigma h_{FE} - 0.6 R \times 10^{-3} \quad (5.2-6)$$

Si noti che, per aumentare  $N$ , dobbiamo aumentare il valore di  $\sigma$ , cioè dobbiamo ridurre il grado di saturazione di  $T2$ . Aumentando  $N$  si arriva ad un punto in cui  $\sigma = 1$  e  $T2$  non è più in saturazione. Tale situazione si verifica perchè, per ogni carico in più,  $T2$  deve assorbire una corrente addizionale di 2 mA senza che ci sia in compenso alcun aumento della sua corrente di base.

Prendiamo  $h_{FE} = 50$ ,  $R = 2$  k $\Omega$  e  $\sigma = 0,85$ . Questo valore di  $\sigma$  corrisponde ad un grado di saturazione modesto e comporta  $V_{CE}(\text{sat}) = 0,2$  V (vedi Fig. 1.10-1). In tal caso il primo termine dell'Eq. (5.2-6) vale  $0,7 \sigma h_{FE} = 30$ , ed il secondo termine vale  $0,6(2) = 1,2$ . Pertanto se si vuole che  $T2$  sia moderatamente saturato, il fan-out risulta essere  $N = 29$ . Questo risultato non cambierebbe molto se si raddoppiasse o dimezzasse  $R$ ; si può quindi trascurare il secondo termine e considerare  $N = 0,7 \sigma h_{FE}$ , cioè considerare  $N$  funzione solo di  $h_{FE}$  e non di  $R$ . Si poteva prevedere questa sostanziale indipendenza di  $N$  da  $R$  facendo il seguente ragionamento. Se  $R$  varia, per esempio diminuisce, la corrente di base di  $T2$  aumenta; tuttavia aumenta corrispondentemente anche la corrente che  $T2$  deve assorbire da ogni carico e quindi in definitiva il fan-out non aumenta in modo sostanziale. Si noti che se si volesse  $V_{CE}(\text{sat}) = 0,1$  V con il massimo fan-out, si avrebbe  $\sigma = 0,1$  e  $N = 2$ . In questo caso il fan-out dipenderebbe sia da  $\sigma h_{FE}$  che da  $R$ . Nel prossimo paragrafo, parlando delle porte DTL a circuito integrato, si vedrà come una modifica del circuito consenta di aumentare la corrente di base che porta in saturazione il transistor di uscita senza con ciò provocare un corrispondente aumento della corrente di carico dovuta a ciascuna delle porte pilotate. Questo fatto determina un netto aumento del fan-out.

### 5.3 PORTE DTL A CIRCUITO INTEGRATO

In Fig. 5.3-1 è illustrata una porta DTL a circuito integrato. Questa porta è disponibile in commercio nella versione con  $R_c = 2 \text{ k}\Omega$  oppure  $R_c = 6 \text{ k}\Omega$ . Nella prima versione la potenza dissipata è maggiore, però il ritardo di propagazione risulta più basso; infatti in questo caso la capacità che esiste fra il collettore di  $T2$  e massa si carica, quando  $T2$  va in interdizione, attraverso un  $R_c$  minore.

Si noti che nel circuito integrato illustrato in Fig. 5.3-1 il diodo  $D1$ , presente nel circuito a componenti discreti di Fig. 5.1-1, viene sostituito dal transistor  $T1$ , il cui collettore è collegato ad una presa intermedia di  $R$ . Si tenga presente tuttavia che nei circuiti integrati normalmente un diodo è costituito da un transistor con il collettore connesso alla base. Pertanto l'innovazione non sta tanto nella sostituzione del diodo con un transistor, quanto nel modo in cui il collettore è stato collegato. In questa nuova configurazione il transistor  $T1$  lavora in zona attiva, presentando così un guadagno di corrente fra base ed emettitore. È quindi in grado di fornire alla base di  $T2$  una corrente più elevata senza che sia necessario ridurre la resistenza  $R$ .

Vediamo ora di chiarire il funzionamento di questo nuovo transistor e di definire la posizione della presa intermedia su  $R$ . Cominciamo a calcolare il fan-out della porta di Fig. 5.3-2. Supponiamo come prima che quando  $T2$  è in saturazione la tensione  $V_o$  sia  $V_o = 0,2 \text{ V}$ . Se la porta  $G1$  è caricata con  $N$  porte, le correnti di carico che  $T2$  deve assorbire valgono, secondo l'Eq. (5.2-2),

$$I_{L1} = I_{L2} = \dots = I_{LN} \approx \frac{5 - 0,95}{R} \approx \frac{4}{R} \quad (5.3-1)$$

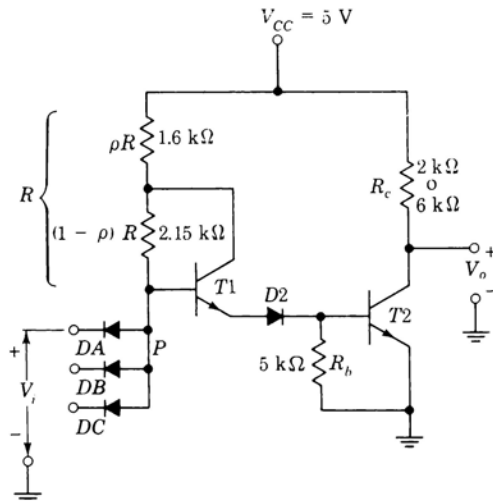
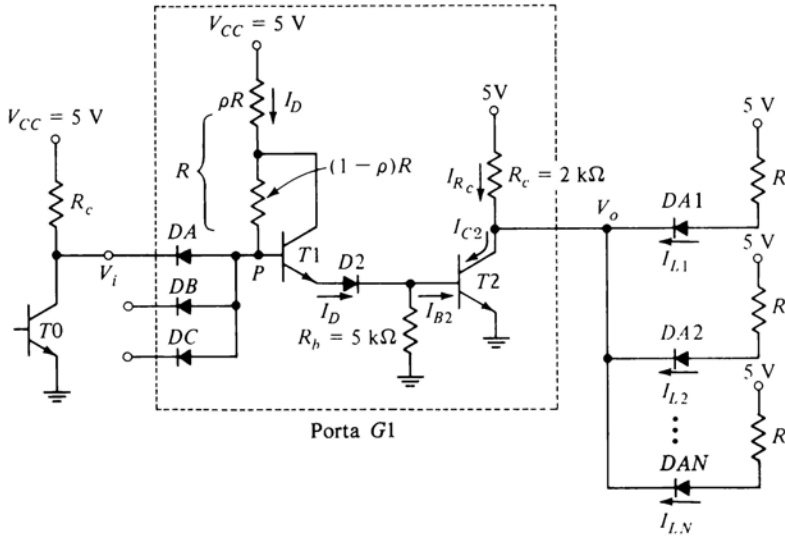


Figura 5.3-1 Porta DTL a circuito integrato.

Figura 5.3-2 Porta DTL con fan-out di  $N$ .

Poichè la corrente in  $R_c$  vale  $4,8/(2 \times 10^3) = 2,4$  mA, la corrente di collettore vale

$$I_{C2} = 2,4 \times 10^{-3} + \frac{4N}{R} \quad (5.3-2)$$

Questo risultato, naturalmente, è identico a quello che si è ottenuto nell'Eq. (5.2-3).

Calcoliamo ora la corrente di base  $I_{B2}$  supponendo di nuovo che la corrente in  $R_b$  sia trascurabile. Innanzi tutto si noti che la tensione nel punto  $P$  è

$$V_P = V_{BE1} + V_{D2} + V_{BE2} = 0,75 + 0,75 + 0,75 = 2,25 \text{ V} \quad (5.3-3)$$

Possiamo facilmente eseguire il calcolo di  $I_{B2} = I_D$  servendoci del circuito di Fig. 5.3-3. Chiamiamo  $I$  la corrente di base di  $T1$ , per cui  $I_{B2} = (h_{FE} + 1)I$ . Risulta

$$V_{CC} - V_P = \rho R(h_{FE} + 1)I + (1 - \rho)RI \quad (5.3-4)$$

Risolvendo rispetto ad  $(h_{FE} + 1)I = I_{B2}$ , otteniamo

$$I_{B2} = (h_{FE} + 1)I = \frac{V_{CC} - V_P}{R[\rho + (1 - \rho)/(h_{FE} + 1)]} \quad (5.3-5)$$

in cui  $V_{CC} - V_P = 2,75$  V.

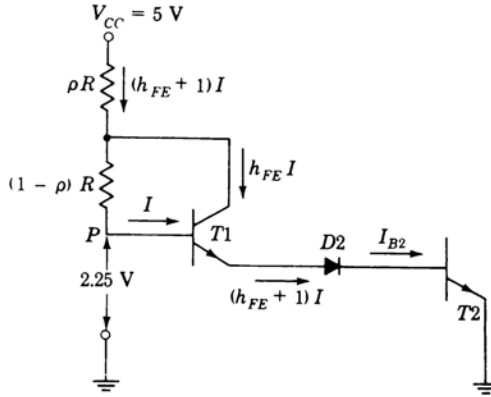


Figura 5.3-3 Circuito per illustrare l'effetto della suddivisione in due parti del resistore di base  $R$ .

Poichè  $\sigma h_{FE} I_{B2} = I_{C2}$ , combinando le Eq. (5.3-2) e (5.3-5) abbiamo

$$\frac{2.75\sigma h_{FE}}{R[\rho + (1-\rho)/(h_{FE}+1)]} = 2.4 \times 10^{-3} + \frac{4N}{R} \quad (5.3-6)$$

Risolvendo rispetto al fan-out  $N$  risulta

$$N \approx \frac{0.7\sigma h_{FE}}{\rho + (1-\rho)/(h_{FE}+1)} - 0.6R \times 10^{-3} \quad (5.3-7)$$

Quando  $\rho = 1$ , l'Eq. (5.3-7) si riduce, naturalmente, all'Eq. (5.2-6); al diminuire di  $\rho$  il fan-out aumenta. Per le porte DTL integrate presenti sul mercato  $1/\rho$  è compreso tipicamente fra 2 e 10. Con  $h_{FE} \approx 50$  e prendendo come nel paragrafo precedente  $\sigma \approx 0,85$ , si ha

$$N = \frac{0.7\sigma h_{FE}}{\rho} \quad (5.3-8)$$

Possiamo quindi concludere che con il nuovo circuito il fan-out aumenta di un fattore  $1/\rho$ , oppure, in modo equivalente, che a parità di  $N$  il transistor d'uscita è più saturo, poiché  $\sigma$  si riduce del fattore  $1/\rho$ .

Analizziamo le ragioni dell'aumento del fan-out. Riferiamoci alla Fig. 5.3-2; quando l'ingresso  $V_i$  della porta si trova allo 0 logico,  $T1$  è interdetto e la porta pilota vede lo stesso carico del circuito di Fig. 5.2-1. Quando invece  $V_i$  è al livello 1,  $T1$  è ON e presenta guadagno in corrente. Pertanto la corrente di base del transistor di uscita è maggiore (per un fattore  $1/\rho$ ) di quella che si avrebbe se tutta la corrente venisse fornita direttamente attraverso l'intero resistore  $R$ .

Dall'Eq. (5.3-8) si deduce che potrebbe essere utile, nel circuito di Fig. 5.3-1, spostare la presa su  $R$  verso  $V_{CC}$  (facendo così tendere  $\varphi$  a zero), in modo da aumentare la corrente di base di  $T_2$  ed il fan-out. Così facendo, cioè aumentando la corrente di base, si viene però ad aumentare la potenza dissipata in  $T_2$ . Inoltre quando la porta lavora con un carico inferiore al fan-out massimo,  $T_2$  viene ad essere pesantemente saturato per cui cresce il ritardo di propagazione quando  $T_2$  commuta dalla saturazione all'interdizione. Il dimensionamento dei componenti nella porta DTL implica un compromesso fra esigenze di fan-out, ritardo di propagazione e dissipazione di potenza.

Un'ultima caratteristica da sottolineare, relativamente alla porta di Fig. 5.3-1, è che  $R_b$  non è più connesso all'alimentazione negativa. Naturalmente il fatto che la porta possa lavorare con un'unica alimentazione costituisce un notevole vantaggio; d'altra parte si noti che il resistore  $R_b$ , attraverso cui deve scaricarsi la carica immagazzinata nella base di  $T_2$ , presenta un valore più basso nella porta integrata che non nella porta a componenti discreti.

## 5.4 CARATTERISTICA DI INGRESSO-USCITA

In Fig. 5.4-2 è rappresentata la caratteristica di ingresso-uscita ideale della porta DTL di Fig. 5.4-1. Vediamo come è stata ricavata. Quando  $T_0$  è in saturazione, la tensione di ingresso è  $V_i \approx 0,2$  V. In questo caso  $T_2$  è interdetto e la tensione di uscita è  $V_o = V_{CC} = 5$  V. Possiamo ora calcolare il valore di  $V_i$  in corrispondenza al quale  $V_o$  comincia a scendere. Quando  $T_2$  si trova proprio al limite dell'interdizione, la sua tensione base-emettitore è all'incirca  $V_\gamma = 0,65$  V (per  $T = 25$  °C), mentre la corrente  $I_{B2}$  è  $I_{B2} \approx 0$  e  $I_D = V_\gamma / R_b \approx 0,13$  mA. Con questi valori della corrente che attraversa  $D2$  e che esce dall'emettitore di  $T_1$ , sia la tensione ai capi di  $D2$  che quella ai capi della giunzione base-emettitore di  $T_1$  valgono circa 0,7 V. Pertanto la tensione del punto  $P$  vale  $2(0,7) + 0,65 = 2,05$  V. Data la piccola corrente assorbita da  $T_1$ , la maggior parte della corrente che attraversa  $R$  scende nel diodo  $DA$ . Si può verificare (Prob. 5.4-1) che in questo caso la corrente  $I_{DA} \approx 0,75$  mA e quindi la tensione  $V_{DA}$  ai capi del diodo di ingresso si avvicina a 0,75 V. Pertanto (per  $T = 25$  °C) la tensione di ingresso è  $V_i = 2,05 - 0,75 = 1,3$  V, come indicato in Fig. 5.4-2.

Calcoliamo ora il valore minimo di  $V_i$  necessario per saturare  $T_2$ . Quando  $T_2$  commuta dal limite dell'interdizione, con  $V_{BE2} = V_\gamma = 0,65$  V, alla saturazione, con  $V_{CE2} = 0,2$  V, la variazione della corrente di collettore  $I_{C2}$  è  $\Delta I_{C2} \approx 2,4$  mA, mentre la variazione della corrente di base è  $\Delta I_{B2} = \Delta I_{C2} / \sigma h_{FE} \approx 60$   $\mu$ A (con  $\sigma \approx 0,85$ ). Inoltre, poichè  $V_{BE2}$  varia di 0,1 V, da  $V_\gamma$  a  $V_\sigma$ , la variazione della corrente che scorre in  $R_b$  è  $\Delta I_{Rb} = 20$   $\mu$ A. Pertanto  $\Delta I_{E1} = 80$   $\mu$ A e  $\Delta I_{B1} \approx \Delta I_{E1} / h_{FE} = 1,6$   $\mu$ A.

Questo aumento della corrente di base comporta una diminuzione, anch'essa di circa 1,6  $\mu$ A, nella corrente  $I_{DA}$ ; si deduce pertanto che è sufficiente una

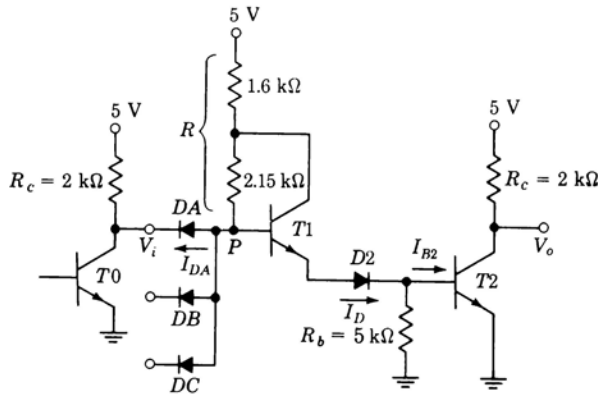


Figura 5.4-1 Circuito per il calcolo della caratteristica di ingresso-uscita senza carico.

piccolissima variazione della corrente che scorre nel diodo  $DA$  per far commutare  $T2$  dall'interdizione alla saturazione. Poichè la corrente in  $T1$  e  $D2$  presenta una variazione di  $80 \mu A$ , da  $130 \mu A$  quando  $V_{BE2} = V_\gamma$  a  $210 \mu A$  quando  $V_{BE2} = V_\sigma$ , si può supporre che le tensioni  $V_{BE1}$  e  $V_{D2}$  rimangano

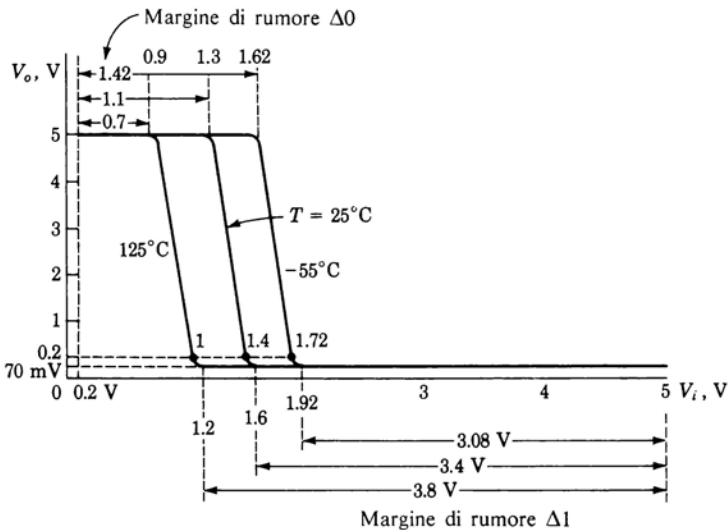


Figura 5.4-2 La caratteristica di ingresso-uscita senza carico.

sostanzialmente invariate. Ciò vale certamente anche per il diodo  $DA$ , in quanto in esso la corrente varia di soli  $1,6 \mu A$ . Si può quindi concludere che quando la tensione di ingresso aumenta di  $0,1 V$ , da  $1,3$  a  $1,4 V$ , il transistor d'uscita  $T2$  passa dall'interdizione alla saturazione. Quando  $V_i$  arriva al valore di  $1,6 V$ , il diodo  $DA$  si interdice (poiché  $V_P = 2,25 V$ ) e  $I_{B2} \approx 1,5 mA$ . A questo punto  $\sigma$  è sceso fino a  $\sigma \approx 0,03$  e si ha  $V_{CE(sat)} \approx 70 mV$  (vedi Fig. 1.10-1).

In Fig. 5.4-2 sono illustrati questi risultati. Per costruire le altre curve rappresentate nella figura, relative a  $T = -55^\circ C$  e  $T = +125^\circ C$ , si è supposto, come al solito, che la sensibilità termica della tensione di una giunzione sia di  $-2 mV/^\circ C$  e si è trascurata, come già fatto in precedenza, la dipendenza dalla temperatura di  $V_{CE(sat)}$ . Si lasciano come esercizio i calcoli dettagliati che permettono di tracciare le caratteristiche di ingresso-uscita.

Le caratteristiche di Fig. 5.4-2 sono in un certo senso ideali, in quanto si riferiscono al caso in cui  $T2$  è senza carico, cioè presenta un fan-out di zero. Il valore tipico per il fan-out di una porta DTL è 8. Se si fosse tenuto conto del fan-out, come illustrato in Fig. 5.3-2, si sarebbe ancora trovato che, quando  $T2$  è interdetto,  $V_o$  è uguale a  $5 V$ , poiché anche  $DA1, DA2, \dots, DAN$  sono interdetti. Come si è detto nel Par. 5.3, l'effetto di un fan-out troppo elevato sarebbe quello di aumentare la corrente di collettore di  $T2$ , per cui  $T2$  uscirebbe dalla regione di saturazione e  $V_o$  supererebbe il valore di  $0,2 V$ , quando  $V_i = 5 V$ . Questo problema non si pone per un fan-out massimo pari a quello indicato dalla casa costruttrice.

È interessante confrontare le caratteristiche di ingresso-uscita di una porta DTL (vedi Fig. 5.4-2) con quelle di una porta RTL (vedi Fig. 4.6-2), con particolare riguardo ai margini di rumore  $\Delta 0$  e  $\Delta 1$ . Si può notare che, a  $25^\circ C$ , il margine di rumore  $\Delta 0$  per una porta DTL è di circa  $1,2 V$ , mentre per una porta RTL è di  $0,45 V$ ; il margine di rumore  $\Delta 1$  per una porta DTL è di  $3,4 V$  mentre per una porta RTL è di  $0,24 V$ . Questo significativo aumento del margine di rumore costituisce uno dei principali vantaggi della DTL rispetto alla RTL.

## 5.5 SPECIFICHE FORNITE DAI COSTRUTTORI PER LE PORTE DTL

La Tab. 5.5-1 riporta alcune specifiche fornite dai costruttori relative alle porte DTL; in questo paragrafo le esamineremo dettagliatamente.

**Fan-out** Si è visto che [Eq. (5.3-7)] una porta DTL presenta un fan-out all'incirca uguale a  $0,7 \sigma h_{FE}/\rho$ . Prendendo  $h_{FE}(T2) = 50$  e  $\sigma = 0,85$ , con  $1/\rho = 2,3$ , come nel circuito di Fig. 5.4-1, si trova che il fan-out è  $0,7 (42) (2,3) \approx 68$ ; tale valore corrisponde al caso in cui il transistor  $T2$  di uscita arriva a  $V_{CE(sat)} = 0,2 V$ . Se invece si vuole  $V_{CE(sat), T2} = 0,1 V$ , allora  $\sigma = 0,1$  e quindi il fan-out massimo si riduce a 8.

Le case costruttrici specificano come tipico un fan-out di 8 per la porta



DTL, un fan-out di 25 per il buffer. Quest'ultimo impiega un pull-up attivo simile a quello usato nella RTL. Si lascia come esercizio (Prob. 5.4-6) l'analisi dettagliata del buffer DTL. Bisogna tener conto poi del fatto che ciascuna porta di carico presenta una capacità di 10 pF. Pertanto un carico di 8 porte presenta una capacità di 80 pF che influisce sul tempo di propagazione della porta pilota. Così il fan-out di 8 garantisce il tempo di propagazione da 30 a 40 ns specificato dal costruttore e una tensione fra collettore ed emettitore del transistor di uscita di circa 0,1 V.

**Livelli di tensione** In Fig. 5.5-1 sono indicati i livelli di tensione  $V_{oH}$ ,  $V_{iH}$ ,  $V_{iL}$ ,  $V_{oL}$ , per  $T = 25^\circ\text{C}$ . La tensione  $V_{oH}$  è la minima tensione di uscita della porta corrispondente allo stato logico 1; il valore della corrente di carico  $I_L$  quando  $V_o = V_{oH}$  è  $I_{oH}$ . Il valore 2,6 V, riportato in Tab. 5.5-1, viene specificato da una certa casa costruttrice mentre un'altra casa specifica  $V_{oH} = 4,3$  V. Per calcolare  $V_{oH}$  ci riferiamo alla Fig. 5.4-1, considerando T2 interdetto. Prendendo  $V_{CC} = 5\text{ V} \pm 10\%$ ,  $R_c = 2\text{ k}\Omega$ , con una corrente di perdita  $I_L = 50\text{ }\mu\text{A}$  e  $I_{oH} = -0,12\text{ mA}$ , troviamo

$$V_o = V_{oH} = 4.5 - 2000(50 + 120) \times 10^{-6} = 4.16\text{ V} \quad (5.5-1)$$

Se calcoliamo  $V_{oH}$  per  $I_{oH} = 0$ , cioè senza carico, troviamo

$$V_{oH} = 4.4\text{ V} \quad (5.5-2)$$

Questo valore si avvicina a quello indicato dal secondo costruttore.

Tabella 5.5-1 Specifiche tipiche per la porta ed il buffer DTL a  $25^\circ\text{C}$ .

	Porta	Buffer
Fattore di carico d'uscita (fan-out)	8	25
Fattore di carico d'ingresso	1	1
Dissipazione di potenza, mW	11	42
Tensione d'ingresso, $V$ : $V_{iL}$	1.1	1.1
$V_{iH}$	2	2
Tensione d'uscita, $V$ : $V_{oL}$	0.4	0.4
$V_{oH}$	2.6 <sup>1</sup>	2.6 <sup>2</sup>
Corrente di perdita d'uscita $I_L$ , $\mu\text{A}$	50	50
Corrente inversa dei diodi $I_R$ , $\mu\text{A}$	2	2
Corrente diretta dei diodi di ingresso $I_F$ per un carico di ingresso unitario, mA	1.6	1.6
Tempo di propagazione, $t_{pd}$ (HL)	30	40
$t_{pd}$ (LH)	80	80
<sup>1</sup> $I_{oH} = -0.12\text{ mA}$		
<sup>2</sup> $I_{oH} = -2.5\text{ mA}$		

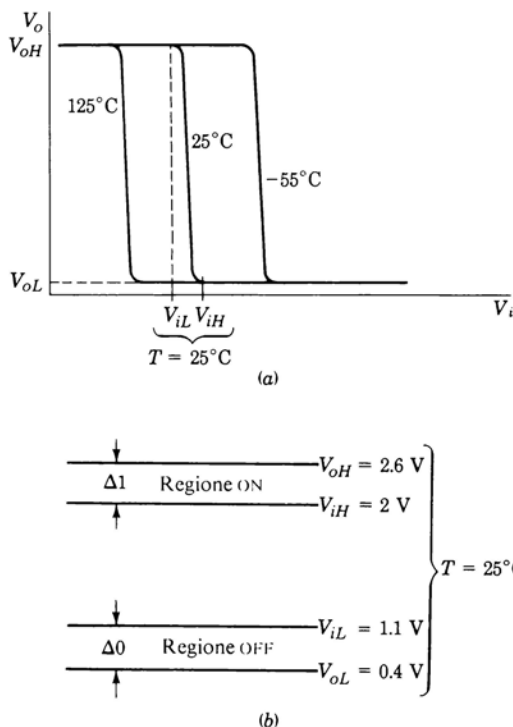


Figura 5.5-1 (a) Caratteristica di ingresso-uscita con indicazione dei livelli di tensione. (b) I livelli di tensione nel caso più sfavorevole.

La massima tensione di uscita della porta corrispondente allo stato logico **0** viene indicata con  $V_{oL}$ . Abbiamo calcolato che, con un fan-out di 8,  $V_{oL} = V_{CE(sat)} = 0,1$  V. La casa costruttrice, per tener un buon margine di sicurezza, si limita ad affermare che la tensione fra collettore ed emettitore  $V_{ol}$  non supererà mai 0,4 V.

La massima tensione di ingresso che può essere sicuramente interpretata dalla porta come livello logico **0** è indicata con  $V_{iL}$ , mentre la minima tensione di ingresso che può essere sicuramente interpretata come livello logico **1** è indicata con  $V_{iH}$ . In Fig. 5.5-1 è evidenziata la dipendenza di questi parametri dalla temperatura. Secondo i nostri calcoli, a 25 °C,  $V_{iL}$  (max) dovrebbe essere di circa 1,3 V e  $V_{iH}$  (min) di circa 1,6 V. Vediamo invece (dalla Tab. 5.5-2) che le specifiche della casa costruttrice danno per  $V_{iL}$  il valore 1,1 V e per  $V_{iH}$  il valore 2 V; ancora una volta possiamo notare che i valori dati dal costruttore rappresentano condizioni più restrittive.

Tabella 5.5-2

	-55°C	25°C	125°C
$V_{iH}, V$	2.1	2	1.9
$V_{iL}, V$	1.4	1.1	0.8
$\Delta 0$	1.0	0.7	0.4
$\Delta 1$	0.5	0.6	0.7

**Immunità ai disturbi** I valori  $\Delta 0$  e  $\Delta 1$  dei margini di rumore sono dati da

$$\Delta 0 = V_{iL} - V_{oL} \quad (5.5-3)$$

$$\Delta 1 = V_{oH} - V_{iH} \quad (5.5-4)$$

I parametri  $V_{iH}$  e  $V_{iL}$  specificati dal costruttore sono riportati in Tab. 5.5-2. Prendendo  $V_{oH} = 2,6 V$  e  $V_{oL} = 0,4 V$  (questi valori non cambiano di molto al variare della temperatura), possiamo calcolare i  $\Delta 0$  e  $\Delta 1$  indicati in Tab. 5.5-2. Il valore  $V_{oH} = 2,6 V$  appare eccessivamente prudentiale; può essere stato scelto dalla casa costruttrice semplicemente per far sì che i margini di rumore  $\Delta 0$  e  $\Delta 1$  risultino all'incirca uguali. Si noti il significativo aumento dell'immunità al rumore della DTL rispetto alla RTL.

**Ritardi di propagazione** I ritardi di propagazione nelle porte DTL sono dell'ordine di  $30 \div 80$  ns. Il ritardo associato alla commutazione del transistor d'uscita dallo stato OFF allo stato ON [ $t_{pd} (HL)$ ] è minore del ritardo associato alla commutazione inversa [ $t_{pd} (LH)$ ] per un fattore pari a  $1/2$  o  $1/3$ . Infatti, quando il transistor passa in saturazione, tutte le capacità esistenti fra l'uscita e massa si scaricano rapidamente attraverso la bassa impedenza offerta dal transistor in saturazione. Quando invece si verifica la commutazione inversa, le stesse capacità devono caricarsi attraverso il resistore di pull-up  $R_c$  di valore relativamente elevato. Inoltre nel secondo caso bisogna tener conto del ritardo dovuto al tempo di immagazzinamento del transistor  $T_2$ , ritardo che non si riscontra nella commutazione OFF-ON.

## 5.6 LA CONNESSIONE AND CABLATO

Collegando insieme le uscite di due porte DTL si ottiene un'utilissima estensione delle prestazioni di tali porte. In Fig. 5.6-1a è illustrata questa connessione delle uscite in un'unica uscita comune. In Fig. 5.6-1b sono illustrati i transistori di uscita delle due porte, con i collettori collegati all'uscita comune  $Y$ . Se gli ingressi sono quelli indicati in Fig. 5.6-1a, le variabili logiche presenti sulla base dei transistori di uscita sono  $X_1 = ABC$  e  $X_2 = DE$ , come indicato in Fig. 5.6-1b. Inoltre si può facilmente verificare (confrontare con la porta RTL di Fig. 4.4-1) che  $Y = \overline{X_1 + X_2} = \overline{ABC + DE}$

$$Y = \overline{X_1 + X_2} = \overline{ABC + DE} \quad (5.6-1)$$

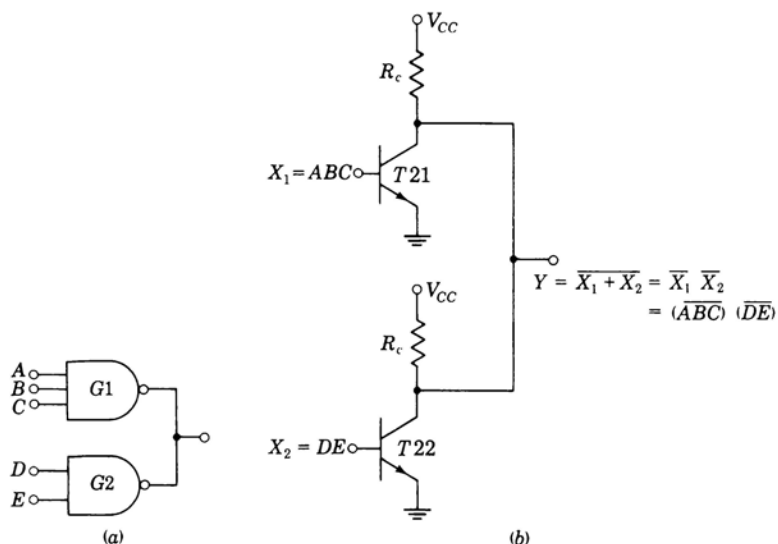
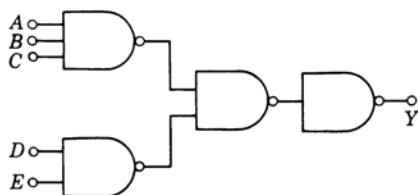


Figura 5.6-1 La connessione AND CABLATO.

o, usando il teorema di De Morgan,

$$Y = \overline{X_1 X_2} = (\overline{ABC})(\overline{DE}) \quad (5.6-2)$$

Dall'Eq. (5.6-1) si deduce che, collegando insieme le uscite delle due porte, si realizza una funzione NOR; d'altra parte si può asserire in base all'Eq. (5.6-2) che il risultato è uguale a quello che si sarebbe ottenuto collegando le uscite delle due porte DTL agli ingressi di una terza porta AND. Questi risultati continuano a valere se ci si riferisce a più di due porte. In base a queste considerazioni si è soliti indicare la configurazione di Fig. 5.6-1 come connessione OR CABLATO (WIRED-OR) oppure AND CABLATO (WIRED-AND).

Figura 5.6-2 Configurazione di porte NAND per ottenere  $Y = (\overline{ABC})(\overline{DE})$ .

Per apprezzare l'utilità di tale connessione, supponiamo di voler realizzare proprio la funzione logica  $Y$  definita dall'Eq. (5.6-1) oppure (5.6-2) e di essere obbligati ad usare le porte  $\text{NAND DTL}$  solo nel modo convenzionale. Come abbiamo già detto, dovremo collegare le uscite delle due porte  $\overline{ABC}$  e  $\overline{DE}$  ad una porta  $\text{AND}$ , per realizzare la quale, usando solo porte  $\text{NAND}$ , sono necessarie due porte. Di conseguenza il circuito equivalente a quello di Fig. 5.6-1a sarà quello illustrato in Fig. 5.6-2, che richiede complessivamente quattro porte.

**Regole di carico** In una configurazione di più porte connesse ad  $\text{AND CABLATO}$  può accadere che uno solo dei transistori di uscita conduca e che gli altri siano interdetti; allora il transistor in conduzione deve assorbire non solo la corrente delle porte di carico e la corrente che scende dal suo resistore di pull-up, ma anche la corrente che scende dai resistori di pull-up degli altri transistori di uscita. Per rimediare a questo inconveniente è necessario ridurre il fan-out di ciascuna porta connessa in  $\text{AND CABLATO}$ . Nell'esempio che segue calcoleremo il nuovo fan-out.

**ESEMPIO 5.6-1** Data una configurazione di  $K$  porte DTL in connessione  $\text{AND CABLATO}$ , calcolare di quanto si riduce il fattore di carico di uscita in funzione di  $K$ .

**SOLUZIONE** Facciamo riferimento alla Fig. 5.6-3. In questa figura i transistori di uscita  $T_1, T_2, \dots, T_K$  delle  $K$  porte sono connessi secondo la configurazione ad  $\text{AND CABLATO}$  e sono inoltre connessi ad  $N$  porte DTL di carico. Le porte di carico sono rappresentate soltanto dai loro diodi di ingresso in serie ai resistori  $R$ , poiché il carico fa sentire la sua influenza sulla porta pilota solo quando la porta pilota è in saturazione, quando cioè tutta la corrente che scorre nel resistore  $R$  passa attraverso il diodo in serie ad esso.

Supponiamo ora che  $X_1$  sia al livello logico 1, mentre  $X_2, \dots, X_K$  siano al livello logico 0.  $T_1$  è quindi in saturazione. Se  $V_{CE}(\text{sat}) \approx 0,2$  V, chiamando  $I_L$  la corrente che attraversa ciascun diodo, abbiamo

$$I_L = \frac{V_{CC} - V_D - V_{CE}(\text{sat})}{R} = \frac{5 - 0,75 - 0,2}{3,75 \times 10^3} = 1,08 \text{ mA} \quad (5.6-3)$$

Le correnti che attraversano i resistori di collettore dei transistori di uscita collegati in  $\text{AND CABLATO}$  sono tutte uguali ad  $I_1$ , cioè

$$I_1 = I_2 = \dots = I_K = \frac{V_{CC} - V_{CE}(\text{sat})}{R_c} = \frac{5 - 0,2}{2 \times 10^3} = 2,4 \text{ mA} \quad (5.6-4)$$

Pertanto la corrente di collettore di  $T_1$  è

$$I_{C1} = KI_1 + NI_L = 2,4K + 1,08N \quad \text{mA} \quad (5.6-5)$$

Da questa espressione deduciamo che, per quanto riguarda l'aumento della corrente di collettore, aumentare  $K$  di uno è equivalente ad aumentare il fan-out di  $\Delta N = 2,4/1,08 = 2,2$ .

Di conseguenza, per ogni porta connessa in parallelo a  $T_1$  per formare una struttura ad  $\text{AND CABLATO}$ , dobbiamo ridurre il fattore di carico di uscita di 2,2 porte. Ciò permette di lasciare inalterata la corrente di collettore, per cui  $T_1$  rimane ancora in saturazione. Le case costruttrici specificano una riduzione del carico di 2,5 porte.

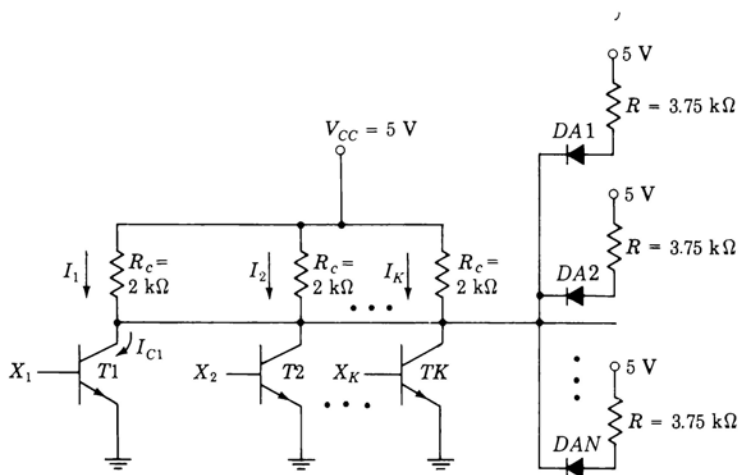


Figura 5.6-3 La connessione AND CABLATO per  $K$  porte.

È molto importante notare che le porte DTL con pull-up attivo, come il buffer di Fig. P5.4-6, non possono essere connesse ad AND CABLATO; il motivo di questa restrizione sarà chiarito nel Par. 6.14.

## 5.7 LOGICA A SOGLIA ELEVATA (HTL)

Talvolta i circuiti logici sono impiegati in ambienti con forte presenza di disturbi. Per queste applicazioni sono disponibili circuiti DTL con soglie, cioè con immunità al rumore  $\Delta 0$  e  $\Delta 1$ , decisamente più elevate di quelle della logica DTL convenzionale. In Fig. 5.7-1 è illustrata una porta in *logica a soglia elevata* (HTL: *high-threshold logic*). Confrontando la Fig. 5.7-1 con la porta convenzionale di Fig. 5.4-1, si nota che nella HTL la tensione di alimentazione è stata portata da 5 a 15 V. Questa caratteristica, come si vedrà, determina un miglioramento per quanto concerne l'immunità al rumore. Poiché la tensione di alimentazione è più elevata, il diodo  $D2$  di Fig. 5.3-1 dovrebbe sostenere una differenza di potenziale maggiore e quindi è stato sostituito con un diodo zener. Si nota inoltre che i valori delle resistenze sono considerevolmente maggiori nella porta HTL rispetto alla porta convenzionale a causa della maggiore tensione di alimentazione; diversamente l'aumento di tensione determinerebbe un forte aumento della corrente e quindi della potenza dissipata.

L'impiego di valori di resistenza più elevati costituisce un elemento negativo per quanto concerne la velocità di funzionamento della porta HTL; infatti le capacità devono caricarsi e scaricarsi attraverso queste resistenze e quindi con costanti di tempo relativamente grandi. Pertanto, mentre le porte DTL convenzionali presentano tempi di propagazione dell'ordine di alcune decine

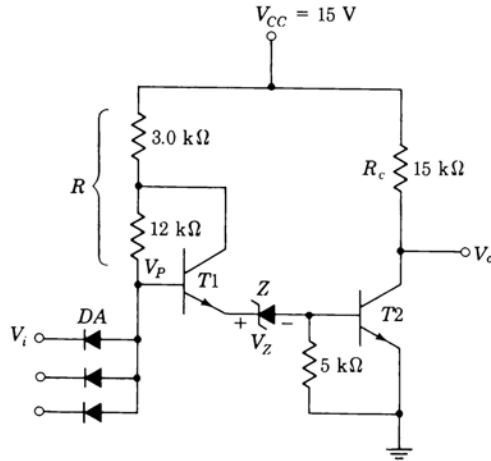


Figura 5.7-1 Porta NAND HTL.

di nanosecondi, le porte HTL presentano tempi di propagazione dell'ordine delle centinaia di nanosecondi.

Nel Par. 1.4 sono descritti i principi di funzionamento e le caratteristiche dei diodi zener. Nella porta HTL di Fig. 5.7-1 il diodo zener presenta una tensione di lavoro di circa 6,9 V. Per questo valore della tensione di lavoro la sensibilità termica di un diodo zener è circa uguale, in modulo, a quella di un diodo polarizzato direttamente; però, mentre per il diodo la sensibilità termica è negativa, per lo zener è positiva.

Per la porta DTL convenzionale si è notato che la tensione di ingresso per cui la porta commuta da un livello logico all'altro dipende dalla temperatura (vedi Fig. 5.4-2) con la stessa legge di dipendenza che si avrebbe se la porta fosse costituita da due diodi in serie. Riferendoci infatti alla Fig. 5.4-1 si osserva che, poichè il diodo di ingresso e la giunzione base-emettitore di  $T1$  presentano polarità opposte, le sensibilità termiche delle due giunzioni si compensano; restano le sensibilità termiche di  $D2$  e della giunzione base-emettitore di  $T2$ . Nella porta HTL di Fig. 5.7-1 il diodo di ingresso e la giunzione di  $T1$  si compensano come prima; però in questo caso si compensano pure, essendo circa uguali in modulo e di segno opposto, le sensibilità termiche del diodo zener e della giunzione di  $T2$ . Pertanto la sensibilità termica di una porta HTL è nettamente inferiore a quella indicata in Fig. 5.4-2, relativa ad una porta DTL. Di conseguenza gli effetti termici possono venire trascurati.

## 5.8 CARATTERISTICA DI INGRESSO-USCITA DELLA PORTA HTL

Il valore della tensione di ingresso per cui il transistor  $T_2$  comincia ad uscire dalla zona di interdizione (vedi Prob. 5.8-1) è

$$\begin{aligned} V_i &= V_{BE2} + V_Z + V_{BE1} - V_{DA} \\ &= 0.65 + 6.9 + 0.7 - 0.75 = 7.5 \text{ V} \end{aligned} \quad (5.8-1)$$

Il valore della tensione di ingresso per cui il transistor  $T_2$  è al limite della saturazione (vedi Prob. 5.8-2) è

$$\begin{aligned} V_i &= V_{BE2} + V_Z + V_{BE1} - V_{DA} \\ &= 0.75 + 6.9 + 0.7 - 0.75 = 7.6 \end{aligned} \quad (5.8-2)$$

In base ai risultati dell'Eq. (5.8-1) e dell'Eq. (5.8-2) si può disegnare la caratteristica di ingresso-uscita illustrata in Fig. 5.8-1.

## 5.9 SPECIFICHE FORNITE DALLE CASE COSTRUTTRICI

I valori di tensione specificati dalle case costruttrici per le porte HTL sono tipicamente

$$\begin{array}{lll} V_{iL} = 6.5 \text{ V} & V_{oL} = 1.5 \text{ V} & I_{oL} = 12 \text{ mA} \\ V_{iH} = 8.5 \text{ V} & V_{oH} = 12.5 \text{ V} & I_{oH} = -30 \text{ } \mu\text{A} \end{array} \quad (5.9-1)$$

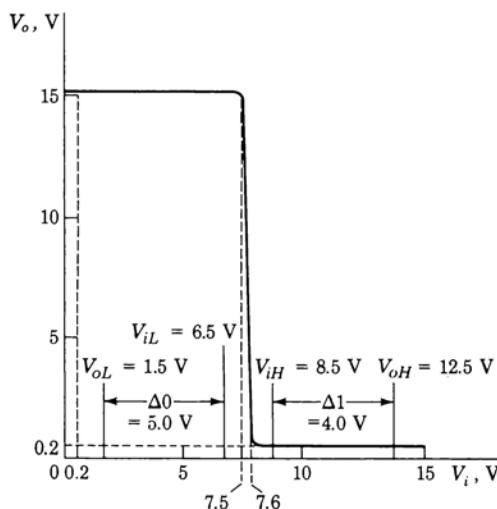


Figura 5.8-1 Caratteristica di ingresso-uscita della HTL.



Questi valori di tensione sono riportati nel grafico di Fig. 5.8-1. L'intervallo di tensione fra  $V_{iL}$  e  $V_{iH}$  si estende in maniera abbastanza simmetrica sulla regione di transizione, lasciando un ragionevole margine di sicurezza. Anche il valore di  $V_{oH} = 12,5$  V è abbastanza ragionevole; infatti con un resistore di pull-up da  $15 \text{ k}\Omega$ , come in Fig. 5.7-1, una corrente di perdita nel transistor di uscita della porta di  $100 \mu\text{A}$  e con  $I_{oH} = -30 \mu\text{A}$ , la tensione di uscita della porta risulta essere  $V_o = V_{CC} - 15 \times 10^3 \times (130 \times 10^{-6})$ . Ponendo  $V_{CC} = 14$  V (il costruttore ammette una variazione di  $V_{CC}$  di  $\pm 1$  V dal valore nominale di 15 V), si ha  $V_o = 12$  V, che è in realtà leggermente più basso del valore specificato per  $V_{oH}$ . La tensione  $V_{oL} = 1,5$  V ci sembra eccessivamente elevata. Le specifiche indicano che, anche se il transistor assorbe 12 mA da una sorgente esterna,  $V_o \leq 1,5$  V. Presumibilmente se la porta funziona in modo corretto, il transistor di uscita andrà in saturazione con una tensione collettore-emettitore di 0,2 o al massimo di 0,4 V (vedi Fig. 1.10-1). Si può supporre che il costruttore abbia specificato questo valore di  $V_{oL}$  al fine di rendere più simili fra di loro i margini di rumore  $\Delta 0$  e  $\Delta 1$ . Infatti si trova che  $\Delta 1$  e  $\Delta 0$  sono

$$\Delta 1 = V_{oH} - V_{iH} = 12.5 - 8.5 = 4.0 \text{ V} \quad (5.9-2)$$

$$\text{e} \quad \Delta 0 = V_{iL} - V_{oL} = 6.5 - 1.5 = 5.0 \text{ V} \quad (5.9-3)$$

**Ritardo di propagazione** Tipicamente il tempo di propagazione delle porte HTL è dato da

$$t_{pd}(LH) = 200 \text{ ns} \quad t_{pd}(HL) = 100 \text{ ns}$$

cioè circa tre volte maggiore del ritardo di propagazione tipico delle porte DTL.

**Fan-out** Le case costruttrici danno per le porte HTL un fan-out tipico di 10, valore che, come al solito, consente un prudente margine di sicurezza.

Il procedimento che permette di arrivare all'Eq. (5.3-7), che esprime il fan-out di una porta DTL, è valido anche per la porta HTL. Ponendo  $V_{CC} = 15$  V,  $R = 15 \text{ k}\Omega$  e  $V_Z = 6,9$  V, l'Eq. (5.3-7) diventa

$$N = \frac{0.5\sigma h_{FE}}{\rho + (1 - \rho)/(h_{FE} + 1)} - 0.07R \times 10^{-3} \quad (5.9-4)$$

Nella porta HTL,  $\rho = 0,2$ , per cui  $N \approx 2,5\sigma h_{FE}$ . Se si prende  $h_{FE} = 50$  e  $\sigma = 0,85$ , il che significa che il transistor di uscita è al limite della saturazione, cioè  $V_{CE}(\text{sat}) = 0,2$  V, si trova  $N = 106$ . Se invece si vuole che il transistor di uscita si venga a trovare in piena saturazione [ $\sigma = 0,1$ ,  $V_{CE}(\text{sat}) = 0,1$  V], si trova  $N \approx 12$ . Pertanto il valore  $N = 10$  appare ragionevolmente prudente.

**BIBLIOGRAFIA**

**1** Bohn, R., and R. Seeds: Collector Tap Improves Logic Gating Electronic Design, August 3, 1964, pp. 51-55.

## LOGICA TRANSISTORE-TRANSISTORE

### 6.1 LOGICA TRANSISTORE-TRANSISTORE (TTL)

L'impiego della porta DTL è limitato dalla sua non elevata velocità di funzionamento. Per analizzare la causa principale che limita la velocità di funzionamento, consideriamo la porta ad un solo ingresso illustrata in Fig. 6.1-1. Dal momento che più avanti introdurremo la porta TTL, abbiamo preferito rappresentare il diodo d'ingresso mediante un transistor connesso a diodo, cioè mediante un transistor avente il collettore e la base collegati insieme.

Si supponga ora che l'ingresso della porta si trovi al livello logico **1**. Allora la corrente attraversa  $T_2$  e il diodo  $D$  ed entra nella base di  $T_3$ . Il transistor  $T_3$  va in saturazione e l'uscita della porta si viene a trovare al livello logico **0**. Si porti ora l'ingresso al livello logico **0**. L'uscita della porta dovrebbe passare al livello logico **1**. Questa transizione al livello logico **1** però non avviene finché il transistor  $T_3$  non è uscito dalla saturazione, non ha attraversato la regione attiva ed infine non è entrato nella zona di interdizione. Quest'ultima zona tuttavia non sarà raggiunta finché la carica immagazzinata nella base di  $T_3$  non sarà stata rimossa (vedi Par. 1.20). Durante la rimozione di questa carica di base  $T_1$  è in conduzione mentre il transistor  $T_2$  ed il diodo  $D$  sono interdetti. Perciò la carica di base non può far altro che disperdersi attraverso il resistore  $R_b$  o dissiparsi per ricombinazione. Questo meccanismo di rimozione della carica immagazzinata è relativamente lento e costituisce la principale limitazione della velocità di funzionamento della porta DTL.

Questa limitazione viene superata nella porta in *logica transistor-transistor* (TTL: *transistor-transistor logic*). Nella sua forma più semplice ed elementare questa porta si presenta come in Fig. 6.1-2. (Per ora disegniamo una porta ad un solo ingresso.) La porta TTL di Fig. 6.1-2 presenta una certa somiglianza con la porta DTL di Fig. 6.1-1. Nella porta TTL il transistor di ingresso  $T_1$  è utilizzato proprio come transistor, essendo stato eliminato il collegamento base-collettore. Il transistor  $T_2$  ed il diodo  $D$  della porta DTL sono stati eliminati ed il collettore di  $T_1$  è collegato *direttamente* alla base di  $T_3$ .

Nella porta TTL, quando l'ingresso è alto, la giunzione emettitore-base di

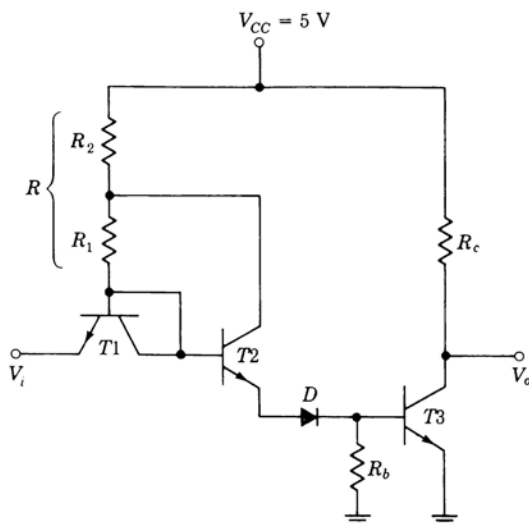


Figura 6.1-1 La porta DTL base.

$T1$  è polarizzata inversamente e la corrente scorre attraverso  $R$  e la giunzione base-collettore di  $T1$ , polarizzata direttamente, entrando nella base di  $T3$ . In questo tipo di funzionamento il collettore di  $T1$  funge da emettitore e l'emettitore da collettore. Il transistor  $T1$  lavora pertanto nel modo inverso (vedi Par. 1.10). Il transistor  $T3$  viene portato in saturazione e l'uscita della porta è bassa (livello logico 0). Portiamo ora l'ingresso al livello logico 0. La giunzione di emettitore di  $T1$  verrà polarizzata direttamente. Si noti che la base di  $T3$  è collegata al terminale di collettore di  $T1$ . La carica accumulata nella ba-

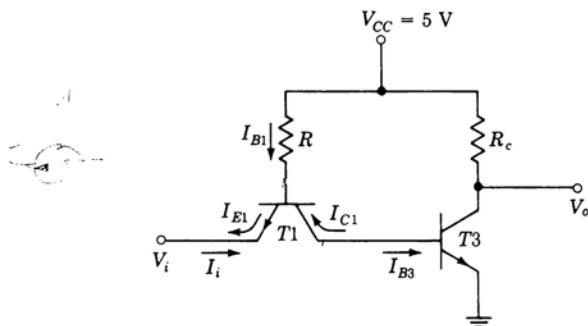


Figura 6.1-2 Circuito TTL base.

se di  $T_3$  non si scarica più pertanto attraverso un resistore, come nella porta DTL, ma attraverso il collettore del transistor  $T_1$ . Si noti che nella porta TTL non è neppure stato inserito il resistore di base di  $T_3$ . Nel prossimo paragrafo verrà svolto un semplice calcolo comparativo fra i due tipi di porta.

## 6.2 CONFRONTO FRA TTL E DTL

Un semplice confronto consente di verificare la maggior velocità della porta TTL rispetto alla porta DTL nel rimuovere la carica accumulata nella base di  $T_3$ . Quando  $T_3$  è saturo, la sua tensione base-emettitore è  $V_{\gamma} = 0,75$  V. Quando, in Fig. 6.1-1, il diodo  $D$  è interdetto, la corrente iniziale fuoriuscente dalla base di  $T_3$  è  $V_{\gamma} / R_b = 0,75 / 2 \text{ k}\Omega \approx 0,38 \text{ mA}$ .

Passando alla porta TTL, supponiamo che l'ingresso sia a massa. La giunzione base-emettitore di  $T_1$  è allora polarizzata direttamente e la tensione ai suoi capi vale 0,75 V. Come vedremo più avanti, il valore tipico del resistore  $R$  di Fig. 6.1-2 è  $R = 4 \text{ k}\Omega$ . Allora la corrente di base di  $T_1$  è  $I_{B1} = (5 - 0,75) / 4 \text{ k}\Omega \approx 1,1 \text{ mA}$ . Inizialmente  $T_1$  lavora nella regione attiva poichè la tensione tra base e massa di  $T_3$ , che è anche la tensione collettore-massa di  $T_1$ , è  $V_{\gamma} = 0,75$  V e perciò  $V_{CE1} = 0,75$  V. La corrente di collettore di  $T_1$  iniziale, che rappresenta anche la velocità con cui la carica di base di  $T_3$  viene rimossa, vale  $h_{FE} I_{B1}$ , dove  $h_{FE}$  è il guadagno di corrente di  $T_1$ . Anche supponendo un  $h_{FE}$  non superiore a 20, si trova che la velocità di scarica è  $h_{FE} I_{B1} = 20(1,1) = 22 \text{ mA}$ , valore che va confrontato con 0,38 mA della porta DTL.

La più rapida rimozione della carica immagazzinata in  $T_3$  fa sì che le porte TTL lavorino con tempi di propagazione che sono un decimo di quelli delle porte DTL.

## 6.3 IL TRANSISTORE DI INGRESSO

Quando l'ingresso è ad 1 logico (cioè nominalmente a 5 V) il transistor  $T_3$  è in saturazione con tensione base-massa  $V_{\gamma} = 0,75$  V. La giunzione base-emettitore di  $T_1$  è allora polarizzata inversamente. Il transistor  $T_1$  lavora perciò nella sua regione attiva inversa (vedi Par. 1.10). In questa regione inversa il transistor presenta un guadagno di corrente a base comune inverso  $\alpha_i$  a cui corrisponde un guadagno di corrente a collettore comune  $h_{FC} = \alpha_i / (1 - \alpha_i)$ . Riferendoci alla Fig. 6.1-2, vediamo che se la corrente di base di  $T_3$  è  $I_{B3}$ , la corrente di ingresso  $I_i$  è  $I_i = \alpha_i I_{B3}$ . Il resto della corrente di base di  $T_3$  è fornito dalla corrente di base  $I_{B1}$  di  $T_1$ , sicchè  $I_{B1} = (1 - \alpha_i) I_{B3}$ . In una porta TTL il transistor d'ingresso  $T_1$  è appositamente progettato per avere un valore molto basso del guadagno di corrente inverso. Valori dell'ordine di  $\alpha_i \approx 0,02$  o anche più bassi sono tipici per le porte TTL. Con un tale valore di  $\alpha_i$ , solo il 2% della corrente di base richiesta da  $T_3$  viene fornita dal generatore che pilota l'ingresso, mentre l'altro 98% viene fornito attraverso  $R$

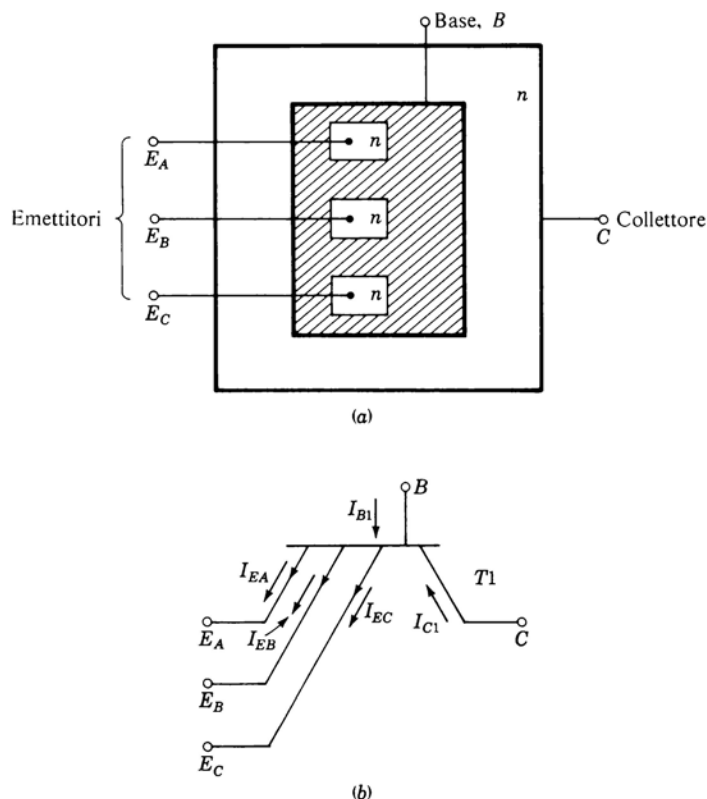


Figura 6.3-1 (a) Struttura fisica schematica e (b) simbolo del transistor multi-emettitore.

da  $V_{CC}$ . Così il basso valore di  $\alpha_1$  permette di minimizzare il carico sopportato dal generatore che pilota l'ingresso, almeno quando l'ingresso è al livello logico 1.

Affinchè il circuito di Fig. 6.1-2 possa essere utilizzato come porta, occorre aggiungere altri ingressi, ciascuno costituito da un transistor come  $T1$ . Tutti questi transistori d'ingresso dovrebbero avere i collettori collegati fra di loro e le basi collegate insieme. In pratica, invece di porre in parallelo tutti questi transistori di ingresso, si utilizza un unico transistor fornito di un unico collettore comune, di un'unica base comune e di una pluralità di emettitori. La struttura di questo *transistore ad emettitore multiplo* è illustrata in Fig. 6.3-1a ed il suo simbolo circuitale è illustrato in Fig. 6.3-1b. In Fig. 6.3-2 è illustrata una porta TTL a tre ingressi utilizzando un transistor ad emettitore

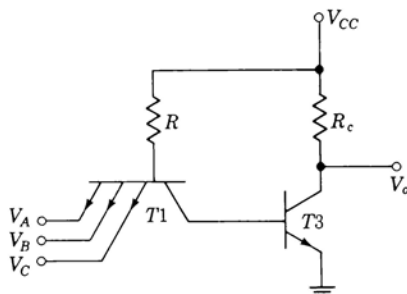


Figura 6.3-2 Porta TTL base a tre ingressi.

multiplo. Come la porta DTL, anche la porta TTL di Fig. 6.3-2 è una porta  $NAND$ . Se uno qualsiasi degli ingressi è al livello logico **0**,  $T3$  è interdetto e l'uscita della porta si trova al livello **1**. Se tutti gli ingressi sono al livello **1**,  $T3$  è in saturazione e l'uscita è al livello **0**.

L'effetto del transistore ad emettitore multiplo sul funzionamento della porta TTL verrà trattato nel Par. 6.7.

#### 6.4 IL PULL-UP ATTIVO

La velocità di funzionamento della porta TTL, dal momento che la carica di base del transistore d'uscita viene rapidamente rimossa nel modo sopra descritto, risulta limitata essenzialmente solo dalla capacità presente sull'uscita della porta stessa, fra il collettore di  $T3$  e massa. Questa capacità è costituita dalla capacità del transistore d'uscita stesso, dalla capacità verso massa dei conduttori che collegano l'uscita della porta alle altre porte e dalle capacità d'ingresso di queste altre porte o dei dispositivi che la porta in questione deve pilotare. Quando  $T3$  si interdisce, questa capacità d'uscita deve venire caricata da  $V_{CC}$  attraverso il resistore  $R_c$  di *pull-up*. Se la capacità d'uscita è  $C_o$ , quest'ultima si carica e l'uscita passa dallo **0** logico all'**1** logico con costante di tempo  $R_c C_o$ . Questa costante di tempo può venire ridotta diminuendo il valore di  $R_c$ . Tale riduzione però farebbe aumentare la dissipazione di potenza in  $R_c$  e, naturalmente, nel transistore  $T3$  quando è in conduzione. Inoltre la riduzione di  $R_c$  renderebbe più difficile saturare  $T3$ .

L'artificio usato nelle porte TTL per rendere rapida la carica della capacità d'uscita senza introdurre un inaccettabile aumento della potenza dissipata è illustrato in Fig. 6.4-1. Qui il resistore di pull-up  $R_c$  di Fig. 6.3-2 è sostituito da dispositivi attivi, il transistore  $T2$  ed il diodo  $D$ . Questo circuito si presenta come un *pull-up attivo* simile a quelli usati sia nelle porte RTL (Fig. 4.7-1) sia nelle porte DTL. Spiegheremo ora, qualitativamente, il funzionamento del circuito di Fig. 6.4-1.

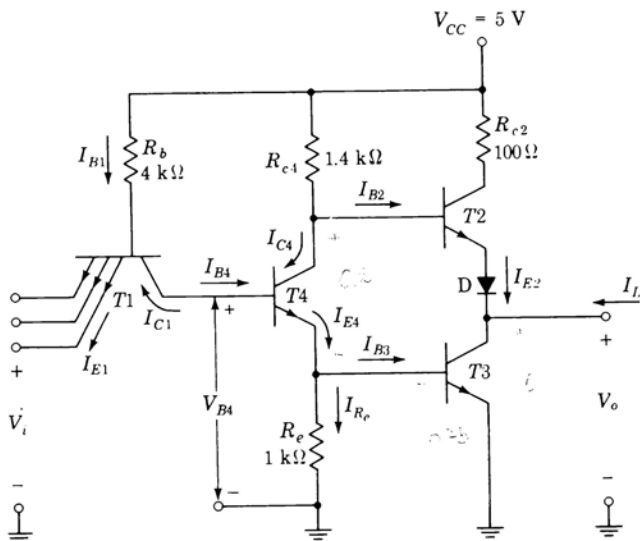


Figura 6.4-1 Porta NAND TTL.

Nel circuito a pull-up attivo di Fig. 6.4-1 si intende che, quando l'uscita  $V_o$  è allo 0 logico,  $T_3$  è in saturazione e  $T_2$  interdetto. Viceversa, quando l'uscita passa dallo 0 logico all'1 logico,  $T_3$  deve interdirti, mentre  $T_2$  deve entrare in conduzione e la capacità d'uscita deve caricarsi attraverso la serie costituita dal transistore ad inseguitore d'emettitore  $T_2$  e dal diodo  $D$ . La commutazione dei transistori  $T_3$  e  $T_2$  viene comandata dal transistore  $T_4$ , che costituisce un *separatore di fase (phase splitter)* per fornire alle basi di  $T_3$  e di  $T_2$  tensioni di fase opposta. In questo modo quando un transistore della coppia *totem-pole*  $T_3$ - $T_2$  è in conduzione, l'altro è interdetto e viceversa. Il termine «totem-pole» deriva dal palo del totem dei pellirosse ed è dovuto al fatto che  $T_2$  «siede sulle spalle» di  $T_3$ .

Per capire la funzione del diodo  $D$  disposto fra i due transistori d'uscita, si consideri la situazione che si verifica quando gli ingressi sono tutti ad 1 logico, nel qual caso l'uscita deve trovarsi al livello logico 0. Con gli ingressi al livello 1, i transistori  $T_4$  e  $T_3$  sono entrambi saturi (verificheremo più avanti questa asserzione). La tensione di collettore di  $T_3$  è allora  $V_{CE}(\text{sat}) \approx 0,2$  V, mentre la tensione di collettore di  $T_4$  è  $V_{CE4}(\text{sat}) + V_{BE3} \approx 0,2 + 0,75 = 0,95$  V. In questo caso, se non ci fosse il diodo  $D$ , la tensione base-emettitore di  $T_2$  sarebbe  $V_{C4} - V_{C3} = 0,95 - 0,2 = 0,75$  V e  $T_2$  sarebbe anch'esso in saturazione. Noi vogliamo però che con l'uscita allo 0 logico,  $T_2$  sia interdet-



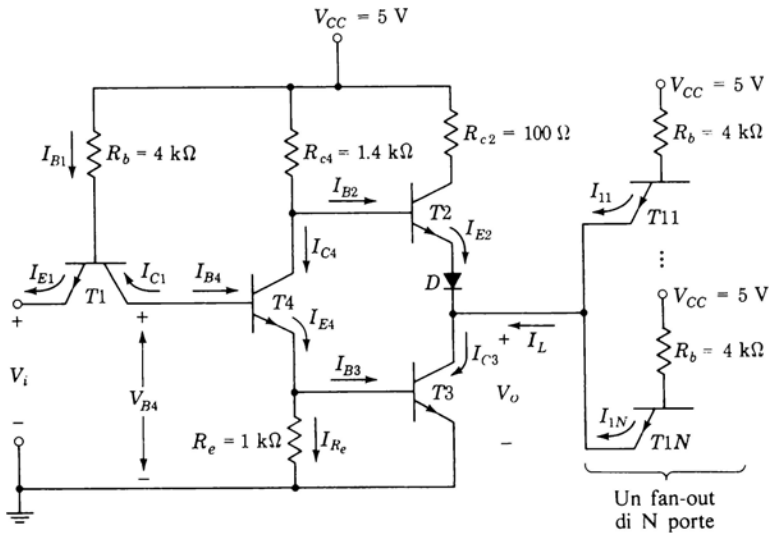


Figura 6.5-1 Porta TTL con carico.

to. Inserendo allora il diodo  $D$ , la caduta di  $0,75\text{ V}$  tra il collettore di  $T4$  ed il collettore di  $T3$  viene ripartita fra il diodo  $D$  e la giunzione base-emettitore di  $T2$ . In questo modo nè il diodo  $D$  nè il transistor  $T2$  avranno polarizzazione diretta sufficiente a far passare una corrente apprezzabile.

## 6.5 CARATTERISTICA INGRESSO - USCITA ESCLUDENDO IL TRANSISTORE D'INGRESSO

Iniziamo ora a descrivere quantitativamente il funzionamento della porta TTL di Fig. 6.5-1. Poichè questa porta è sostanzialmente più complessa sia della porta RTL che della porta DTL, pensiamo che sia più conveniente considerare inizialmente non la caratteristica complessiva ingresso-uscita, ma la caratteristica che lega la tensione d'uscita  $V_o$  della porta con la tensione della base  $V_{B4}$  del transistor  $T4$ . Nel Par. 6.6 considereremo successivamente la relazione tra  $V_{B4}$  e la tensione d'ingresso  $V_i$ ; mettendo insieme queste due caratteristiche potremo ricavare la caratteristica complessiva della porta.

Iniziamo con  $V_{B4} = 0\text{ V}$ . In questo caso  $T4$  e  $T3$  sono interdetti. Il transistor  $T2$  fornisce una corrente  $I_{E2}$  alle  $N$  porte da pilotare. La corrente di emettitore  $I_{E2}$  è uguale a  $-I_L$ , che rappresenta la corrente di carico. Secondo la convenzione comune il verso positivo di  $I_L$  è quello *entrante* nella porta.

Il circuito che ci permette di calcolare la tensione di uscita  $V_o$  è illustrato in Fig. 6.5-2. La tensione di uscita  $V_o$  è data da

$$V_o = V_{CC} - R_{c4} I_{B2} - V_{BE2} - V_D \quad (6.5-1)$$

dove  $V_{CC}$  ( $=5$  V) è la tensione di alimentazione,  $R_{c4} I_{B2}$  è la caduta su  $R_{c4}$ ,  $V_{BE2}$  è la tensione base - emettitore di  $T2$  e  $V_D$  è la caduta sul diodo. Supponendo che  $T2$  lavori nella sua regione attiva, la corrente di base è  $I_{B2} = I_{E2} / (h_{FE} + 1) = -I_L / (h_{FE} + 1)$ . L'equazione (6.5-1), poichè  $h_{FE} \approx h_{FE} + 1$ , diventa

$$V_o = V_{CC} + \frac{R_{c4} I_L}{h_{FE}} - V_{BE2} - V_D \quad (6.5-2)$$

Quando  $T3$  è interdetto,  $V_o$  è a livello logico 1. Per calcolare la corrente di carico  $I_L$ , si osservi che tutti i transistori d'ingresso delle  $N$  porte pilotate di Fig. 6.5-1 funzionano nel loro modo inverso, proprio come il transistore d'ingresso del circuito base di Fig. 6.1-2. In ognuna di queste porte di carico (di cui in Fig. 6.5-1 si vedono solo i transistori di ingresso) i transistori  $T3$  e  $T4$  sono saturi. Quindi  $V_{B4} = V_{BE3} + V_{BE4} = 0,75 + 0,75 = 1,5$  V. La corrente di base di  $T4$  deve venire fornita dalla giunzione di collettore del transistore di ingresso. Questo transistore d'ingresso lavora nella sua regione attiva (anche se in modo inverso), per cui possiamo ammettere una caduta di 0,7 V sulla giunzione base-collettore. Complessivamente la tensione sulla base del transistore d'ingresso è  $1,5 + 0,7 = 2,2$  V. La caduta su ciascun resistore di base  $R_b$  è perciò  $5,0$  V  $- 2,2$  V  $= 2,8$  V. La corrente attraverso  $R_b$  è  $2,8/4$  k $\Omega = 0,70$  mA. Supponendo che i transistori di ingresso  $T11 - T1N$  abbiano ciascuno  $h_{FC} = 0,02$ , la corrente d'ingresso per ogni porta di carico vale  $0,70(0,02) = 14$   $\mu$ A.

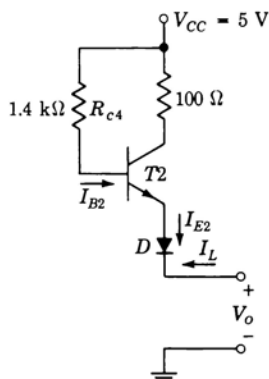


Figura 6.5-2 Circuito d'uscita usato per calcolare  $V_o$  quando  $T3$  e  $T4$  sono interdetti.

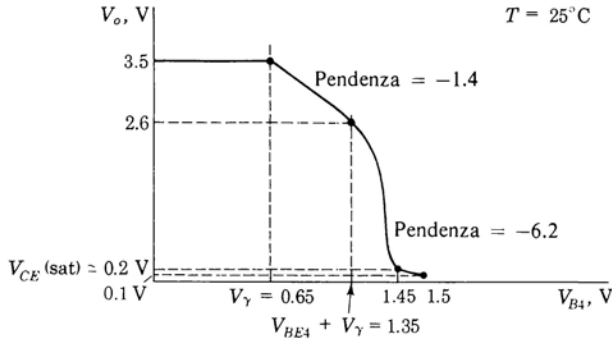


Figura 6.5-3 Caratteristica di ingresso-uscita della porta TTL.

Se il carico della porta pilota è costituito da una porta sola, la giunzione di emettitore di  $T2$  ed il diodo  $D$  sono interessati da una corrente così piccola ( $14 \mu\text{A}$ ) che si può ragionevolmente assumere  $V_{BE2} = V_D = V_Y = 0,65 \text{ V}$ . In questo caso la caduta su  $R_{c4}$  [secondo termine dell'Eq. (6.5-2)] è trascurabile e si ha

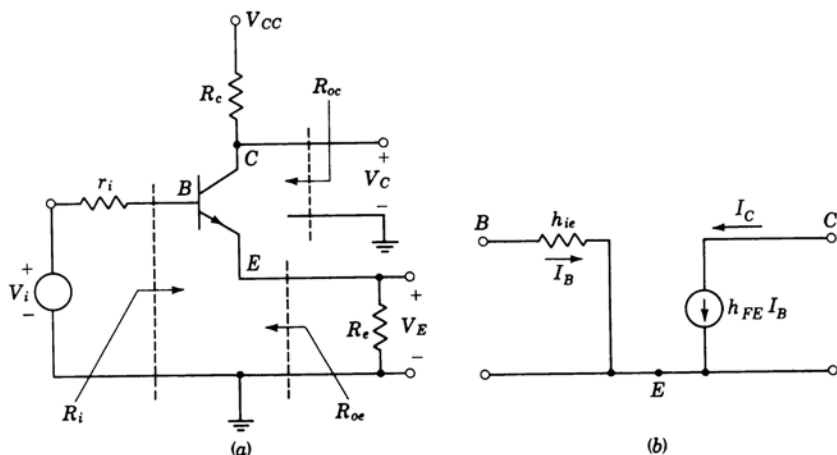
$$V_o \approx V_{CC} - 2V_Y = 5,0 - 2(0,65) = 3,7 \text{ V} \quad (6.5-3)$$

Supponiamo ora invece di dover pilotare 10 porte (come vedremo un fan-out di 10 è il valore generalmente specificato dai costruttori) e supponiamo di avere, nel caso peggiore, un  $h_{FC}$  di 0,1. In questo caso la corrente di carico sarà dell'ordine di 1 mA. Anche con questa corrente la caduta su  $R_{c4}$  è di nuovo trascurabile; però in questo caso è più corretto assumere  $V_{BE2} = V_D = 0,75 \text{ V}$ . La tensione d'uscita è allora

$$V_o = V_{CC} - 2V_\sigma = 5,0 - 2(0,75) = 3,5 \text{ V} \quad (6.5-4)$$

Vediamo perciò che quando  $V_o$  si trova al livello logico 1, il suo valore non dipende molto dalla corrente di carico e quindi dal fan-out. Di conseguenza, per semplificare, supponiamo che, quando  $T4$  (e quindi  $T3$ ) sono interdetti, la tensione d'uscita  $V_o$  sia quella data dall'Eq. (6.5-4). Questo è proprio il valore della tensione d'uscita indicato nel diagramma di Fig. 6.5-3 illustrante la caratteristica ingresso-uscita della porta.

**Separatore di fase** Prima di proseguire conviene ricordare alcune delle caratteristiche del guadagno e dell'impedenza di un separatore di fase (*phase splitter*). Questo stadio è illustrato in Fig. 6.5-4a. Si considera il transistor polarizzato nella sua regione attiva, anche se il circuito di polarizzazione non è stato disegnato. Lo stadio presenta un resistore di collettore  $R_c$  e un



$$R_i = h_{ie} + (h_{FE} + 1) R_e$$

$$R_{oe} = \frac{h_{ie} + r_i}{h_{FE}}$$

$$R_{oc} = R_c$$

$$A_E = \frac{V_E}{V_i} = 1 - \frac{h_{ie} + r_i}{R_i}$$

$$A_C = \frac{V_C}{V_i} = -\frac{R_c}{R_e} A_E$$

Figura 6.5-4 (a) Separatore di fase. (b) Circuito equivalente del transistor.

resistore di emettitore  $R_e$  ed è pilotato da un generatore di impedenza  $r_i$ . Rappresentiamo il transistor in zona attiva col circuito equivalente a parametri ibridi di Fig. 6.5-4b. Le impedenze ed i guadagni di tensione sono dati dalle equazioni di Fig. 6.5-4. Un caso tipico potrebbe essere quello con  $h_{FE} = 50$  e  $h_{ie} = 1 \text{ k}\Omega$ . Se  $h_{FE} R_e \gg h_{ie} + r_i$ , queste equazioni si possono semplificare

$$R_i \approx h_{FE} R_e \quad (6.5-5a)$$

$$A_E = \frac{V_E}{V_i} \approx 1 \quad (6.5-5b)$$

$$A_C = \frac{V_C}{V_i} = -\frac{R_c}{R_e} \quad (6.5-5c)$$

Tornando al circuito di Fig. 6.5-1, supponiamo che  $V_{B4}$  inizi ad aumentare partendo da zero. Quando  $V_{B4}$  arriva al valore di circa  $V_{B4} = V_\gamma = 0,65 \text{ V}$ , il transistor  $T4$  inizia ad entrare nella sua regione attiva. Tuttavia, a causa del-

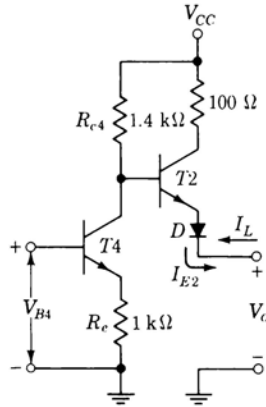


Figura 6.5-5 Circuito per il calcolo di  $V_o$  in funzione di  $V_{B4}$  quando  $T4$  è ON e  $T3$  è ancora OFF.

la caduta sulla giunzione base-emettitore di  $T4$ ,  $T3$  resterà interdetto. Quindi il circuito adatto a calcolare la risposta della tensione di uscita  $V_o$  rispetto a  $V_{B4}$  è ora quello di Fig. 6.5-5.

Calcoliamo a questo punto la *pendenza* della caratteristica di trasferimento nella zona in cui  $T3$  è interdetto. Il guadagno  $A_2 \equiv \Delta V_o / \Delta V_{B2}$  dalla base di  $T2$  all'uscita è il guadagno di un inseguitore di emettitore e quindi, dalla Eq. (6.5-5b), vale  $A_2 \approx 1$ . Il guadagno di  $T4$  è [dall'Eq. (6.5-5c)]  $A_4 = -R_{c4} / R_e = -1,4$ . Il guadagno complessivo  $A = \Delta V_o / \Delta V_{B4}$  è  $A_2 A_4 = -1,4$ , come indicato in Fig. 6.5-3.

Continuando la  $V_{B4}$  ad aumentare,  $T3$  raggiungerà alla fine il punto di soglia. A questo punto  $T4$  è nella sua regione attiva per cui assumeremo una tensione base-emettitore  $V_{BE4} = 0,7$  V. Supponendo come al solito che  $T3$  esca dall'interdizione quando la tensione sulla sua giunzione base-emettitore è  $V_{BE3} = V_\gamma = 0,65$  V,  $T3$  inizierà a condurre quando  $V_{B4} = V_{BE4} + V_{BE3} = 0,7 + 0,65 = 1,35$  V. A questo punto, quando  $T3$  sta iniziando a condurre, la corrente in  $R_e$ , e quindi sostanzialmente la corrente in  $R_{c4}$ , vale  $V_\gamma / R_e = 0,65 / 1 \text{ k}\Omega = 0,65 \text{ mA}$ . La corrispondente caduta su  $R_{c4}$  vale  $1,4 \times 0,65 = 0,9$  V. Quindi  $V_o$  è di 0,9 V inferiore al valore dato dall'Eq. (6.5-4), cioè  $V_o = 3,5 - 0,9 = 2,6$  V, in corrispondenza a  $V_{B4} = 1,35$  V, come indicato in Fig. 6.5-3.

Quando  $T3$  passa in conduzione, il guadagno incrementale  $A = \Delta V_o / \Delta V_{B4}$  aumenta e la tensione di uscita  $V_o$  comincia a calare al crescere di  $V_{B4}$  in maniera più decisa di quando  $T3$  era interdetto. Questo aumento del guadagno è dovuto a due cause: da una parte  $V_o$  diminuisce semplicemente

perchè  $T3$  inizia a condurre; dall'altra, se  $T3$  conduce, la  $R_e$  viene a trovarsi in parallelo all'impedenza che si vede guardando nella base di  $T3$ . La resistenza di emettitore di  $T4$  perciò diminuisce e, come indicato nell'Eq. (6.5-5c), il guadagno di  $T4$  aumenta. Il calcolo che segue consentirà di analizzare più a fondo queste due cause dell'incremento del guadagno.

**ESEMPIO 6.5-1** Nel circuito di Fig. 6.5-1 si suppongano  $T3$ ,  $T2$  e  $T4$  nella loro regione attiva, ognuno con i parametri  $h_{ie} = 1 \text{ k}\Omega$  e  $h_{FE} = 50$ . Calcolare il guadagno incrementale  $A = \Delta V_o / \Delta V_{B4}$ .

**SOLUZIONE** Con  $h_{ie} = 1 \text{ k}\Omega$  posto in parallelo a  $R_e = 1 \text{ k}\Omega$ , la resistenza equivalente di emettitore di  $T4$  è  $R_e' = 500 \text{ k}\Omega$ . La condizione  $h_{FE} R_e \gg h_{ie}$  continua a valere. Quindi il guadagno dalla base all'emettitore di  $T4$ , che è anche il guadagno dalla base di  $T4$  alla base di  $T3$ , continua a valere 1. In Fig. 6.5-6 abbiamo ridisegnato quasi tutto lo schema di Fig. 6.5-1, con  $R_e$  al posto di  $R_e'$ , con l'emettitore di  $T4$  scollegato dalla base di  $T3$ , e con un generatore  $\Delta V_{B3} = \Delta V_{B4}$  applicato alla base di  $T3$ .

Applichiamo il principio di sovrapposizione e calcoliamo separatamente la tensione d'uscita  $\Delta V_o$  per ciascuno dei due generatori  $\Delta V_{B4}$  e  $\Delta V_{B3}$ . Il guadagno riferito al generatore  $\Delta V_{B4}$  si calcola come prima, salvo che  $R_e$  viene sostituito da  $R_e'$ . Abbiamo

$$A_4 = \frac{\Delta V_{C4}}{\Delta V_{B4}} = -\frac{R_{c4}}{R_e'} = -\frac{1.4}{0.5} = -2.8 \quad (6.5-6)$$

Ora calcoliamo il guadagno dovuto a  $\Delta V_{B3}$ . Con riferimento a Fig. 6.5-4 si verifica subito che un amplificatore ad emettitore comune monostadio, *privo* del resistore di emettitore e provvisto del resistore di collettore  $R_c$ , presenta un guadagno

$$A_3 = \frac{\Delta V_o}{\Delta V_{B3}} = -\frac{h_{FE}}{h_{ie}} R_c \quad (6.5-7)$$

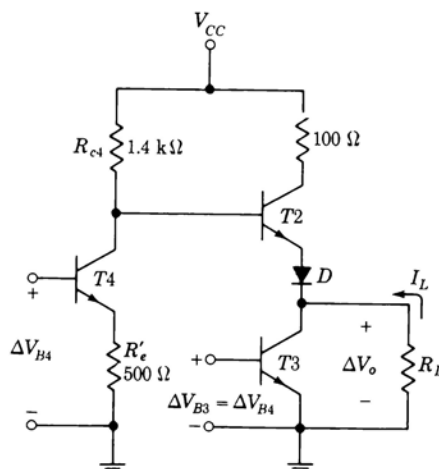


Figura 6.5-6 Circuito per il calcolo del guadagno incrementale quando  $T3$  è in regione attiva.

Il resistore equivalente di collettore  $R_c$  di  $T_3$  è costituito dall'impedenza incrementale vista guardando nel diodo e nell'emettitore di  $T_2$ . L'impedenza del transistor  $\Delta V_{BE}/\Delta I_B$  coincide con  $h_{ie}$ . L'impedenza  $\Delta V_{BE}/\Delta I_E = \Delta V_{BE}/h_{FE} \Delta I_B = h_{ie}/h_{FE}$ . Poiché nel diodo ed in  $T_2$  passa la stessa corrente, assumiamo l'impedenza del diodo pari a  $h_{ie}/h_{FE}$ .

Per trovare  $R_c$  sommiamo l'impedenza del diodo all'impedenza che si vede guardando nell'emettitore di  $T_2$ , che è data dall'equazione relativa ad  $R_{oe}$  in Fig. 6.5-4. Si ha

$$R_c = \frac{h_{ie}}{h_{FE}} + \frac{h_{ie} + R_{c4}}{h_{FE}} = \frac{10^3}{50} + \frac{(1.4 + 1) \times 10^3}{50} = 68 \Omega \quad (6.5-8)$$

che è un valore sufficientemente piccolo, rispetto al carico che la porta alimenta normalmente, da consentire di trascurare il carico stesso. Dalle Eq. (6.5-7) e (6.5-8) si ha

$$A_3 = \frac{\Delta V_o}{\Delta V_{B3}} \approx -\frac{h_{FE}}{h_{ie}} R_c = -\frac{1.4 + 2}{1} = -3.4 \quad (6.5-9)$$

La tensione d'uscita incrementale totale  $\Delta V_o$  è perciò  $\Delta V_o = A_4 \Delta V_{B4} + A_3 \Delta V_{B3}$ . Però  $\Delta V_{B3} = \Delta V_{E4} \approx \Delta V_{B4}$  poiché  $T_4$  è un inseguitore di emettitore. Quindi  $\Delta V_o = (A_4 + A_3) \Delta V_{B4}$  ed il guadagno totale è

$$A = \frac{\Delta V_o}{\Delta V_{B4}} = A_4 + A_3 = -2.8 - 3.4 = -6.2 \quad (6.5-10)$$

Il calcolo dell'Esempio 6.5-1 indica un brusco salto del valore del guadagno da 1,4 a 6,2 quando  $T_3$  entra in conduzione. In effetti abbiamo supposto che l'impedenza d'ingresso  $h_{ie}$  di  $T_3$  compia un salto brusco da  $h_{ie}$  infinito, al di sotto dell'interdizione, ad  $h_{ie} = 1 \text{ k}\Omega$  al di sopra dell'interdizione. È il valore finito di  $h_{ie}$  che fa sì che  $A_3$  divenga diverso da zero, come si vede dall'Eq. (6.5-7), e che fa aumentare il guadagno  $A_4$  oltre il suo valore iniziale pari ad 1,4. In effetti però  $h_{ie}$  dipende dalla corrente di emettitore di  $T_3$  e dalla misura in cui il transistor è stato pilotato verso la saturazione. Si dimostra facilmente che

$$h_{ie} \approx (1 + \sigma h_{FE}) \frac{V_T}{I_E} \quad (6.5-11)$$

Quindi, quando  $T_3$  passa in conduzione,  $h_{ie}$  passa gradualmente da un valore molto elevato ad un valore che diviene sempre più piccolo quanto più  $T_3$  assorbe corrente e si avvicina alla saturazione. Così il valore assoluto del guadagno incrementale nel circuito di Fig. 6.5-6 parte da 1,4, quando  $T_3$  è OFF, aumenta quando  $T_3$  passa in conduzione, vale 6,2 quando  $h_{ie} = 1 \text{ k}\Omega$  ed aumenta ancor di più all'aumentare della corrente in  $T_3$ . Questo andamento risulta evidente nella caratteristica ingresso-uscita di Fig. 6.5-3.

Riferendoci ancora a Fig. 6.5-1, vediamo che ad un ulteriore aumento di  $V_{B4}$ ,  $T_3$  entra finalmente in saturazione. Supponendo, come è in realtà, che in saturazione la tensione base-emettitore sia  $V_{\sigma} = 0,75 \text{ V}$ , avremo una  $V_o$  di saturazione  $V_o \approx 0,2 \text{ V}$  quando

$$V_{B4} = V_{BE4} + V_{\sigma} = 0.7 + 0.75 = 1.45 \text{ V} \quad (6.5-12)$$

Questo valore è stato indicato nel grafico di Fig. 6.5-3.

Quando  $V_{B4}$  passa da 1,45 V a 1,5 V,  $T3$  e  $T4$  divengono entrambi saturi e  $T2$  interdetto. In questo caso  $T3$  è *fortemente* saturo, per cui  $V_o \approx 0,1$  V. La corrente di collettore diventa  $I_{C3} = I_L$ , e la corrente di carico è ora positiva. Questa corrente verrà calcolata nel Par. 6.9.

## 6.6 CARATTERISTICA INGRESSO-USCITA DEL TRANSISTORE DI INGRESSO

Il diagramma di Fig. 6.5-3 lega la  $V_o$  d'uscita alla tensione di base  $V_{B4}$ . Molto maggior interesse presenta naturalmente la caratteristica che lega la tensione  $V_o$  con la tensione d'ingresso  $V_i$ , illustrata in Fig. 6.6-1. Ora studieremo il funzionamento del transistor  $T1$ , in modo da determinare la relazione tra  $V_i$  e  $V_o$ .

Come abbiamo fatto notare, quando  $V_i$  si trova al livello di tensione alto, corrispondente ad 1 logico, il transistor di ingresso  $T1$  lavora in modo inverso nella regione attiva. La corrente di collettore  $I_{C1}$ , che è anche la corrente di base  $I_{B4}$  di  $T4$ , viene fornita principalmente dalla corrente di base  $I_{B1}$  di  $T1$ . Il guadagno di corrente  $h_{FC}$ , nel modo inverso, è volutamente estremamente basso ( $h_{FC} \approx 0,02$ ), sicché il generatore d'ingresso  $V_i$  fornisce solo circa il 2% della corrente di base di  $T4$ . In queste condizioni  $T3$  e  $T4$  sono saturi,  $V_{B4} = 0,75 + 0,75 = 1,5$  V, e l'uscita  $V_o$  della porta è allo 0 logico. Questa situazione si mantiene finché  $V_i$  è sufficientemente positiva rispetto a  $V_{B4}$  ( $2V_\sigma = 1,5$  V) da mantenere  $T1$  nella regione attiva inversa.

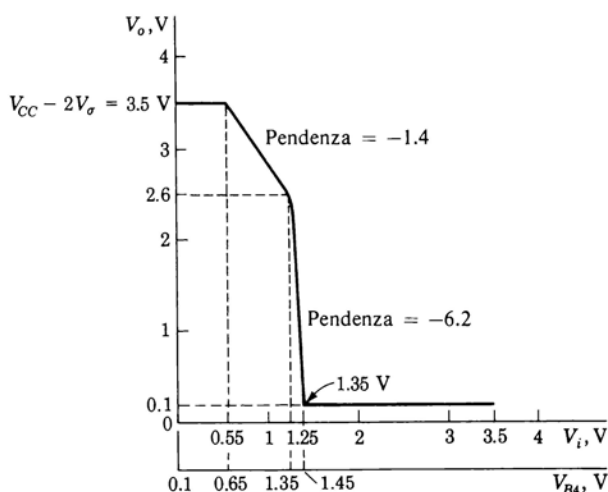


Figura 6.6-1 Caratteristica di ingresso-uscita di una porta TTL con carico.



Dimostreremo ora che finchè  $V_i$ , diminuendo, non arriva a  $V_i = 2V_\gamma$  ( $= 1,5$  V), i transistori  $T4$  e  $T3$  rimangono in saturazione e di conseguenza  $V_o$  rimane allo 0 logico. Con  $V_i = 2V_\gamma$ ,  $V_{CE1} = 0$  V e  $T1$  è in saturazione. Dall'Eq. (1.10-11) troviamo che quando  $V_{CE1} = V_{CE}(\text{sat}) = 0$ ,  $\sigma = -1/(h_{FE} + h_{FC}) \approx -1/h_{FE}$ , poichè  $h_{FE} \gg h_{FC}$ . Applicando la definizione di  $\sigma$  al transistor  $T1$ , si ha che  $\sigma = I_{C1}/h_{FE} I_{B1}$ . Sostituendo in questa definizione il valore  $\sigma = -1/h_{FE}$ , si trova che  $-I_{C1} = I_{B1}$ . Quindi ora la corrente di emettitore di  $T1$  è zero. Tuttavia la corrente di emettitore di  $T1$  fornisce solo il 2% della corrente di base di  $T4$ , per cui questo piccolo calo nella corrente di base non si fa sostanzialmente sentire su  $T4$  o  $T3$ . Pertanto  $V_o$  resta allo 0 logico.

Quando  $V_i$  scende a tensioni inferiori a  $2V_\gamma = 1,5$  V,  $I_{B1}$  viene a poco a poco deviata dalla giunzione base-collettore alla giunzione base-emettitore di  $T1$ . Alla fine la corrente di base di  $T4$  si ridurrà ad un valore tale per cui  $T4$  si verrà a trovare al limite della saturazione. Calcoliamo la  $V_i$  corrispondente a questa situazione. Sappiamo che quando un transistor si trova nella regione di saturazione la sua tensione collettore-emettitore è  $V_{CE}(\text{sat}) = 0,2$  V. Proprio al limite della saturazione il valore più ragionevole sarà  $V_{CE}(\text{sat}) = 0,3$  V. Riferendoci alla Fig. 6.5-1, poichè  $T2$  è OFF quando  $T3$  conduce, si ha

$$V_{CC} = R_{C4} I_{C4} + V_{CE4}(\text{sat}) + V_{BE3} \quad (6.6-1)$$

oppure

$$5 = 1.4 \times 10^3 I_{C4} + 0.3 + 0.75 \quad (6.6-2)$$

da cui

$$I_{C4} = 2.8 \text{ mA} \quad (6.6-3)$$

Poichè  $T4$  è al limite della saturazione,  $I_{C4} = h_{FE} I_{B4}$ ; perciò con  $h_{FE} = 50$  si ha

$$-I_{C1} = I_{B4} = \frac{I_{C4}}{h_{FE}} = \frac{2.8 \text{ mA}}{50} = 56 \mu\text{A} \quad (6.6-4)$$

La tensione di base  $V_{B4}$  è 1,5 V. Ammettendo una caduta di 0,7 V sulla giunzione di collettore di  $T1$ , data la corrente di soli 56  $\mu\text{A}$  che la attraversa, la tensione base-massa di  $T1$  sarà  $1,5 + 0,7 = 2,2$  V. Pertanto la corrente di base di  $T1$  è  $I_{B1} = (5 - 2,2)/4 \text{ k}\Omega = 0,7 \text{ mA}$ . Si può ora calcolare il parametro  $\sigma$  del transistor  $T1$ ; si trova

$$\sigma = \frac{I_{C1}}{h_{FE} I_{B1}} = \frac{-56 \times 10^{-6}}{50(0.7) \times 10^{-3}} = -1.6 \times 10^{-3} \quad (6.6-5)$$

Questo valore di  $\sigma$  è molto prossimo a  $\sigma = 0$ , per cui non commettiamo

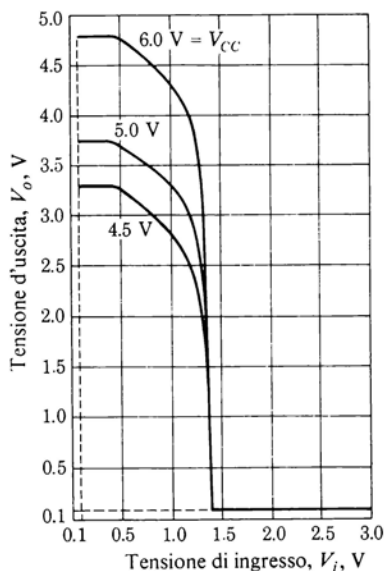


Figura 6.6-2 Caratteristiche di trasferimento di una porta TTL di media velocità con  $V_{CC} = 4.5, 5.0$  e  $6.0$  V;  $T_A = 25^\circ\text{C}$ .

un grave errore prendendo  $\sigma = 0$ . In questo caso  $V_{CE}(\text{sat})$  è data dall'Eq. (1.10-4), e si ha

$$V_{CE1} \approx V_T \ln \frac{1}{\alpha_I} \quad (6.6-6)$$

Per  $\alpha_I = 0.02$ ,  $V_{CE} \approx 100$  mV. Così la tensione  $V_i$  per cui  $T4$  esce dalla saturazione è di circa  $0.1$  V più bassa della  $V_{B4}$  corrispondente. Quindi, mentre in Fig. 6.5-3 la regione di saturazione comincia da  $V_{B4} = 1.5$  V, in Fig. 6.6-1 inizia da  $V_i = 1.4$  V. Al decrescere di  $V_i$ , la  $I_{B4} = -I_{C1}$  decresce, azzerandosi quando  $T4$  si interdice e restando poi a zero. Quindi  $\sigma$ , il cui valore quando  $T4$  è in saturazione è dato dall'Eq. (6.6-5), scende a  $\sigma = 0$  quando  $T4$  è interdetto, rimanendo poi a zero. Pertanto  $V_i$  è nuovamente di  $0.1$  V inferiore a  $V_{B4}$ . È chiaro che il grafico della caratteristica ingresso-uscita complessiva ( $V_o$  in funzione di  $V_i$ ) della porta TTL è lo stesso di quello di  $V_o$  in funzione di  $V_{B4}$  traslato però a sinistra lungo l'asse delle ascisse di  $0.1$  V. Questa caratteristica complessiva è illustrata in Fig. 6.6-1 ed è da confrontare con le caratteristiche di Fig. 6.6-2. Queste ultime sono caratteristiche fornite dai costruttori e ricavate sperimentalmente.

## 6.7 IL TRANSISTORE MULTI-EMETTITORE

Nel capitolo precedente si è trascurato il fatto che il transistor d'ingresso è provvisto di più emettitori. Ora viceversa prenderemo in considerazione questo fatto. Per comodità in Fig. 6.7-1 abbiamo rappresentato il *transistore multi-emettitore* mediante una serie di normali transistori con i collettori collegati fra di loro e le basi collegate insieme. Gli ingressi  $V_{iA}$ ,  $V_{iB}$ , ...,  $V_{iN}$  sono applicati agli emettitori di questi transistori.

Supponiamo ora che tutti gli ingressi siano al livello logico **1**, corrispondente nominalmente a  $V_{iA} = V_{iB} = \dots = V_{iN} = V_{CC} - 2V_T = 3,5$  V. Ciascuno dei transistori di ingresso  $T1$  lavora nella regione inversa attiva. Partiamo con l'ipotesi che  $T3$  e  $T4$  siano saturi. Allora la tensione  $V_{B4} = V_T + V_T = 1,5$  V mentre  $V_{B1} = 0,7 + 1,5 = 2,2$  V. La corrente in  $R_b$  è allora  $I_{B1} = (5,0 - 2,2) / (4k\Omega) = 0,7$  mA. In questo modo di funzionamento la corrente complessiva di emettitore è  $I_E = -h_{FC} I_{B1}$ , dove  $h_{FC}$  è il guadagno di corrente inverso corrispondente ad  $\alpha_I$ . Ora  $h_{FC} = \alpha_I / (1 - \alpha_I) \approx \alpha_I$  poiché  $\alpha_I \ll 1$ . Con  $\alpha_I = 0,02$  si ha  $I_E = -0,02 (0,7)$  mA =  $-0,014$  mA. Così la corrente di base complessiva di  $T4$  è  $I_{B4} \approx 0,7$  mA. Allo stesso risultato si era pervenuti nel Par. 6.6 con un transistor  $T1$  ad emettitore singolo.

Notiamo che la corrente di base richiesta per pilotare  $T4$  viene fornita quasi tutta da  $V_{CC}$  attraverso  $R_b$ . La corrente totale richiesta dall'esterno per pilotare  $T1A$ ,  $T1B$ , ...,  $T1N$  è il 2% della corrente di base  $I_{B4}$ . Se ci sono  $N$  ingressi, ciascuna porta pilota deve fornire solo il  $2/N$  per cento di questa corrente.

Supponiamo ora che uno degli emettitori di ingresso, per esempio quello di  $T1A$ , sia al livello logico **0**, corrispondente a circa 0,2 V, tensione di saturazione della porta pilota. Allora, come visto nel Par. 6.6,  $T1A$  sarà saturo e  $V_{B4} = V_{iA} + V_{CE}(T1A) \approx 0,2 + 0,1 = 0,3$  V. I transistori  $T4$  e  $T3$  sono perciò interdetti, come richiesto. Ora, mentre  $T1A$  lavora in saturazione con la sua giunzione di emettitore polarizzata direttamente e con una corrente di emettitore molto superiore a quella di collettore, supponiamo che gli emettitori degli altri «transistori»  $T1B$ , ...,  $T1N$  siano tutti allo stato logico **1** con  $V_i = 3,5$  V. Questi transistori lavorano nel modo attivo inverso con la loro giunzione base-collettore polarizzata direttamente e con la giunzione di emettitore polarizzata inversamente. Inoltre, poiché  $V_{iA} = 0,2$  V e poiché  $T1A$  è saturo,  $V_{B1} = V_{iA} + V_{BE}(T1A) = 0,2 + 0,75 = 0,95$  V. Essendo le tensioni di collettore di  $T1B$ , ...,  $T1N$  uguali a  $V_{B4}$ , dove  $V_{B4} = 0,3$  V, le cadute sulle giunzioni base-collettore di  $T1B$ , ...,  $T1N$  sono pari a 0,65 V, cioè di 0,1 V inferiori alla tensione di polarizzazione diretta della giunzione base-emettitore di  $T1A$ . In diverse occasioni abbiamo fatto notare che una variazione di 0,1 V porta un transistor dalla saturazione al limite dell'interdizione. Pertanto relativamente alla Fig. 6.7-1 possiamo dire che quando uno (o più) degli ingressi è posto al livello logico **0**, gli altri transistori sono, a tutti gli effetti, interdetti.

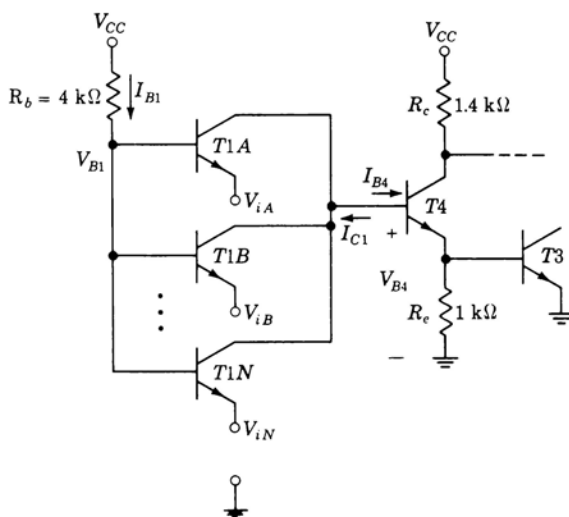


Figura 6.7-1 Circuito per illustrare il funzionamento del transistor multi-emettitore.

Accenniamo ancora ad un'altra caratteristica del transistor multi-emettitore. Riferendoci alla Fig. 6.3-1 vediamo che si vengono a formare dei transistori non solo fra ognuno dei tre emettitori ed il collettore, ma anche fra gli emettitori  $E_A$  ed  $E_B$ ,  $E_A$  ed  $E_C$ ,  $E_B$  ed  $E_C$ , proprio perchè questi emettitori costituiscono, insieme con la base, delle strutture *npn*. A causa però della loro geometria, questi «transistori» presentano guadagni di corrente estremamente bassi (inferiori a 0,01) e la loro presenza può venire comodamente trascurata.

## 6.8 CARATTERISTICA TENSIONE-CORRENTE DI INGRESSO DELLA PORTA TTL

A causa della relativa complessità della logica TTL, è utile considerare, oltre alla caratteristica di trasferimento, anche le caratteristiche tensione-corrente di ingresso e di uscita. Consideriamo dapprima la caratteristica d'ingresso. Quella d'uscita verrà trattata nel Par. 6.9.

In Fig. 6.8-1a prendiamo in considerazione la caratteristica tensione-corrente relativa ad uno degli emettitori di ingresso. Gli altri emettitori di ingresso (nella figura ne è indicato solo un altro) si suppongono a livello logico 1. Per i motivi visti nel Par. 6.7 trascuriamo l'effetto di questi altri emettitori.

Quando  $V_i = 0$ , T4 è interdetto e perciò la corrente di collettore è  $I_{C1} = 0$ .

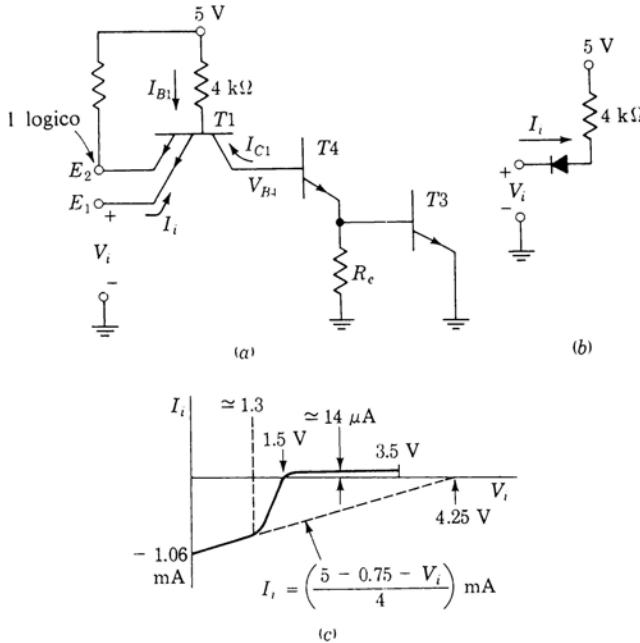


Figura 6.8-1 Caratteristica tensione-corrente di ingresso.

In questo caso, trascurando la corrente proveniente da  $E_2$  (vedi Par. 6.7), possiamo rappresentare  $T1$  come un diodo. Il circuito equivalente per calcolare  $I_i$  è pertanto illustrato in Fig. 6.8-1b. Assumendo come al solito la tensione sulla giunzione pari a 0,75 V,  $I_i = -(5 - 0,75)/(4 \text{ k}\Omega) = -1,06 \text{ mA}$ , come indicato nel grafico di Fig. 6.8-1c. Finché tutta la corrente che passa nel resistore da 4 kΩ passa anche nella giunzione  $E_1$ , la caratteristica tensione-corrente è una retta intersecante l'asse delle correnti nel punto  $-1,06 \text{ mA}$  e l'asse delle tensioni nel punto  $5 - 0,75 = 4,25 \text{ V}$ . Questa retta è indicata (a tratteggio) nel grafico.

Al crescere di  $V_i$ , il diagramma  $I_i - V_i$  si stacca dalla retta non appena  $T4$  inizia a condurre. Quando  $I_i = 0$ , tutta la corrente che passa nel resistore da 4 kΩ viene a scorrere nel collettore di  $T1$  e nella base di  $T4$ . A questo punto sia  $T4$  che  $T3$  sono in saturazione e  $V_{B4}$  sarà 1,5 V. Poiché  $I_i = 0$ , la corrente di emettitore di  $T1$  è nulla e la tensione collettore-emettitore risulta data dall'Eq. (1.10-9):

$$V_{CE1} = -V_T \ln \frac{1}{\alpha_N} \quad (6.8-1)$$

Con  $V_T = 25 \text{ mV}$  e  $\alpha_N = 0,98$ , si ha  $V_{CE1} \approx -0,5 \text{ mV}$ . Così  $V_i$  risulta di  $0,5 \text{ mV}$  inferiore a  $V_{B4} = 1,5 \text{ V}$ . Pertanto si può approssimare  $V_i \approx 1,5 \text{ V}$  quando  $I_i = 0$ . Questo punto, di coordinate  $V_i = 1,5 \text{ V}$  e  $I_i = 0$ , è indicato nel grafico di Fig. 6.8-1c.

Si può anche calcolare la tensione per cui la caratteristica inizia a staccarsi dalla retta tratteggiata di Fig. 6.8-1c. Questo distacco inizia quando la corrente di base di  $T4$  comincia ad essere significativa. Possiamo pensare che ciò si verifica quando sia  $T3$  che  $T4$  sono nella loro regione attiva. In corrispondenza  $T1$  sarà saturo, sicché avremo  $V_i = V_{BE3} + V_{BE4} - V_{CE1} \approx 0,7 + 0,7 - 0,1 = 1,3 \text{ V}$ .

Per  $V_i$  maggiore di  $1,5 \text{ V}$  la corrente di emettitore di  $T1$  cambia direzione ed il transistor entra nella sua regione attiva inversa. L'emettitore  $E_1$  si comporta allora come un collettore ed  $I_i = h_{FC} I_{B1}$ . Con  $h_{FC} \approx 0,02$  ed  $I_{B1} = 0,7 \text{ mA}$  abbiamo  $I_i \approx 14 \mu\text{A}$ . Questa corrente resta circa costante fino a quando  $V_i$  raggiunge il suo valore massimo.

## 6.9 CARATTERISTICA TENSIONE - CORRENTE DI USCITA DELLA PORTA TTL

Quando l'ingresso della porta di Fig. 6.5-1 si trova allo **0** logico,  $T4$  e  $T3$  sono interdetti. L'uscita della porta si trova allora all'**1** logico e la porta *eroga* (*sourcing*) corrente, cioè fornisce corrente al carico, sicché  $I_L$  è negativa. Quando l'ingresso della porta si trova all'**1** logico,  $T2$  è interdetto,  $T3$  saturo e la porta *assorbe* (*sinking*) corrente, cioè  $I_L$  è positiva.

Consideriamo dapprima il caso in cui l'ingresso si trova al livello logico **0**,  $T3$  è interdetto e la porta eroga corrente. Allora la caratteristica d'uscita della porta può venire ricavata dalla Fig. 6.9-1, dove  $-I_L = I_S$  è la corrente

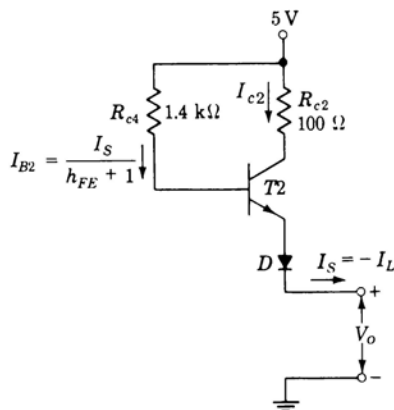


Figura 6.9-1 Circuito per determinare la caratteristica tensione-corrente d'uscita quando  $T3$  è interdetto.

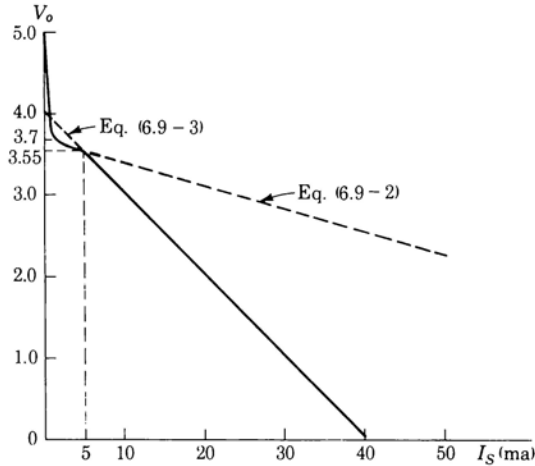


Figura 6.9-2 Caratteristiche di ingresso-uscita quando  $T3$  è OFF.

erogata. Poichè in questo caso  $T2$  opera nella sua regione attiva, la corrente di base è  $I_S/(h_{FE} + 1)$ . Partendo dai 5 V di alimentazione e tenendo conto delle cadute di tensione su  $R_{c4}$ , sulla giunzione base-emettitore di  $T2$  (0,65 V) e sul diodo  $D$  (0,65 V), si ha

$$V_o = 3.7 - \frac{R_{c4}}{h_{FE} + 1} I_S \quad (6.9-1)$$

Così l'uscita può essere rappresentata, secondo il circuito equivalente di Thevenin, da una tensione di 3,7 V in serie ad una impedenza d'uscita  $R_{c4}/(h_{FE} + 1)$ . Con  $R_{c4} = 1,4 \text{ k}\Omega$  e  $h_{FE} + 1 = 50$ , si trova che questa impedenza d'uscita vale  $28 \text{ }\Omega$ , sicchè

$$V_o = 3.7 - 28 I_S \quad (6.9-2)$$

Quando il transistor  $T2$  è saturo,  $V_{BE2} = 0,75 \text{ V}$  e  $V_{CE2} = 0,2 \text{ V}$ . Anche  $V_D = 0,75$ . In questo caso  $I_{B2} = (3,5 - V_o)/1400$  e  $I_{C2} = (4,05 - V_o)/100$ . Poichè  $I_S = I_{C2} + I_{B2}$  e  $I_{B2} \ll I_{C2}$ , si ha

$$V_o \approx 4.05 - 100 I_S \quad (6.9-3)$$

Le rette che rappresentano le Eq. (6.9-2) e (6.9-3) si intersecano per  $I_S \approx 5 \text{ mA}$ . Quindi per  $I_S > 5 \text{ mA}$  il transistor si trova in saturazione e si applica l'Eq. (6.9-3), mentre per  $I_S < 5 \text{ mA}$  il transistor si trova nella regione attiva e si applica l'Eq. (6.9-2). La caratteristica d'uscita è allora data dal grafico a tratto continuo di Fig. 6.9-2. Per correnti molto basse il grafico si deve scostare dalla retta data dall'Eq. (6.9-2). Infatti per  $I_S = 0$  non c'è caduta di

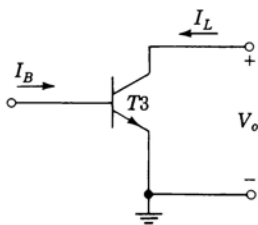


Figura 6.9-3 Circuito equivalente per calcolare la caratteristica tensione-corrente d'uscita quando  $T3$  è saturato ( $T2$  è interdetto).

tensione alcuna su  $R_{c2}$  o sulla giunzione base-emettitore di  $T2$  o sul diodo  $D$ ;  $V_o$  deve essere uguale quindi a  $V_{CC} = 5,0$  V.

Quando tutti gli ingressi della porta di Fig. 6.5-1 sono al livello logico 1,  $T2$  è interdetto mentre  $T3$  e  $T4$  sono saturi. Dall'uscita si vede il transistor  $T3$  saturo, come illustrato in Fig. 6.9-3, che ora *assorbe* la corrente  $I_L$ . La caratteristica tensione-corrente d'uscita coincide ora esattamente con la caratteristica di collettore del transistor ad emettitore comune corrispondente ad una corrente di base  $I_{B3}$ . Questa caratteristica è simile a quella di Fig. 1.10-1, con la differenza che ora il grafico rappresenta  $V_o = V_{CE3}(\text{sat})$  in funzione di  $I_L = \sigma h_{FE} I_{B3}$  anziché in funzione di  $\sigma$ . Si calcola la  $I_{B3}$  come segue. Riferendoci alla Fig. 6.5-1, si ha (vedi Par. 6.5)  $I_{B1} \approx 0,7$  mA e perciò  $I_{B4} \approx 0,7$  mA. Con  $T4$  saturo e  $T3$  interdetto, si ha

$$I_{C4} = \frac{V_{CC} - V_{BE3} - V_{CE4}(\text{sat})}{R_{c4}} = \frac{5 - (0,75 + 0,2)}{1,4 \text{ k}\Omega} \approx 2,9 \text{ mA} \quad (6.9-4)$$

$$\text{Quindi} \quad I_{E4} = I_{B4} + I_{C4} = 0,7 + 2,9 = 3,6 \text{ mA} \quad (6.9-5)$$

Poichè la corrente in  $R_e$  è

$$I_{R_e} = \frac{0,75}{1 \text{ k}\Omega} = 0,75 \text{ mA} \quad (6.9-6)$$

abbiamo

$$I_{B3} = I_{E4} - I_{R_e} = 3,6 - 0,75 = 2,85 \text{ mA} \quad (6.9-7)$$

In Fig. 6.9-4 è illustrata una tipica caratteristica d'uscita di una porta TTL. Questa caratteristica corrisponde ad una corrente di base  $I_{B3} = 2,85$  mA, come è ricavato nell'Eq. (6.9-7). Per correnti basse, l'uscita è  $V_{CE}(\text{sat}) \approx 0,1$  V, valore questo che abbiamo assegnato alla tensione d'uscita di un transistor saturo senza carico. Per correnti più alte la caduta sul transistor saturo aumenta. Infine per correnti prossime a  $I_L = h_{FE} I_{B3} = 50 (2,85 \times 10^{-3}) = 142$  mA, il transistor  $T2$  esce dalla saturazione.



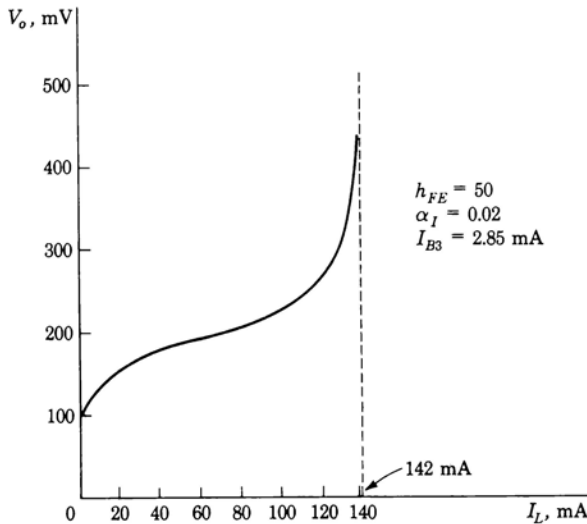


Figura 6.9-4 Caratteristica tensione-corrente d'uscita quando tutti gli ingressi della porta TTL sono allo stato 1.

## 6.10 DATI E SPECIFICHE DEL COSTRUTTORE; DIPENDENZA DALLA TEMPERATURA ED IMMUNITÀ AL RUMORE

Come per le porte delle altre famiglie logiche, anche per le porte TTL le caratteristiche dipendono dalla temperatura. La causa principale di questa dipendenza è costituita dalla sensibilità alla temperatura delle tensioni delle giunzioni base-emettitore e base-collettore. Per l'evidente analogia con i casi già studiati, i calcoli sugli effetti della temperatura sono lasciati come esercizio. Vedremo invece come questa dipendenza venga indicata dai costruttori, esaminando alcune caratteristiche tipiche.

Le Fig. da 6.10-1 a 6.10-4 si riferiscono tutte ad una porta della serie 54/74 della Texas Instrument. Le porte della serie 74 sono progettate per temperature ambiente da 0 a 70°C e richiedono una tensione di alimentazione compresa fra 4,75 e 5,25 V. La serie 54 presenta tolleranze di fabbricazione più strette; questa serie è progettata per temperature da -55 a 125°C e richiede una alimentazione da 4,5 a 5,5 V. La porta in questione è una porta  $\text{NAND}$  TTL «standard» e rappresenta un buon compromesso tra l'esigenza di una velocità di funzionamento elevata ed un consumo di potenza ridotto. La Fig. 6.10-1 illustra alcune caratteristiche di trasferimento tipiche per diverse temperature e con un fan-out di 10.

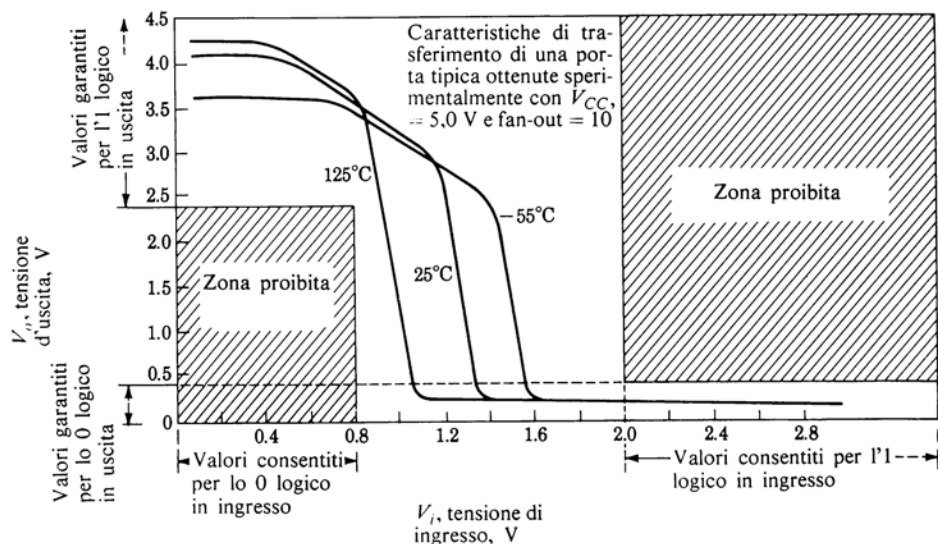


Figura 6.10-1 Caratteristiche di trasferimento in tensione per una tipica porta NAND TTL SN54/74.

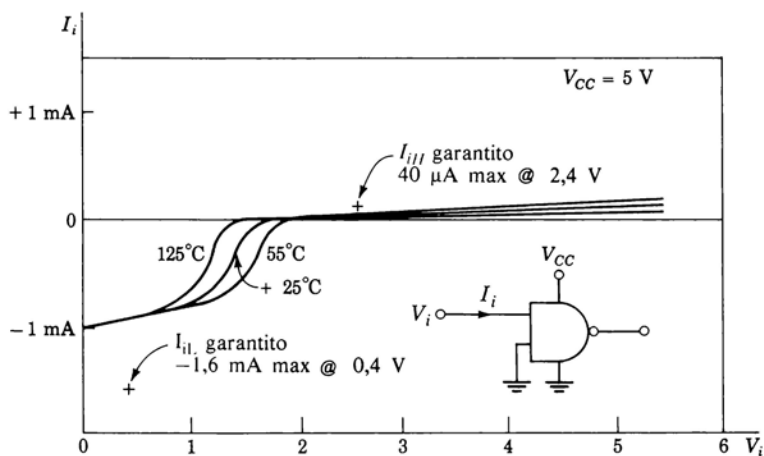


Figura 6.10-2 Caratteristiche di ingresso in funzione della temperatura per la serie standard SN54/74.

Si noti che il costruttore garantisce che tutte le tensioni d'ingresso superiori a 2,0 V vengono riconosciute dalla porta come corrispondenti al livello logico **1**; cioè  $V_{iH} = 2,0$  V.

Analogamente garantisce che l'uscita della porta al livello logico **1** non sarà mai inferiore a 2,4 V; cioè  $V_{oH} = 2,4$  V. Così il margine di rumore  $\Delta 1$  è

$$\Delta 1 = V_{oH} - V_{iH} = 2,4 - 2,0 = 0,4 \text{ V} \quad (6.10-1)$$

Si noti anche che  $V_{iL} = 0,8$  V e che  $V_{oL} = 0,4$  V, il che porta a

$$\Delta 0 = V_{iL} - V_{oL} = 0,8 - 0,4 = 0,4 \text{ V} \quad (6.10-2)$$

Questi margini di rumore sono, come d'altronde è prevedibile, estremamente prudenziali.

**Fan-out** Il fan-out massimo è determinato dal valore della corrente che T3 (Fig. 6.5-1) è in grado di assorbire quando è in saturazione. Si trova, dalla Fig. 6.10-2, che quando l'uscita di una porta si trova al livello logico **0** riceve da ogni porta pilotata una corrente di circa 1 mA. Si può verificare quanto detto dalla Fig. 6.5-1, dove, con T3 saturo, si ha

$$I_{11} = \frac{V_{CC} - V_{BE}(T11) - V_o}{R_b} = \frac{5 - 0,75 - 0,2}{4 \text{ k}\Omega} \approx 1 \text{ mA}$$

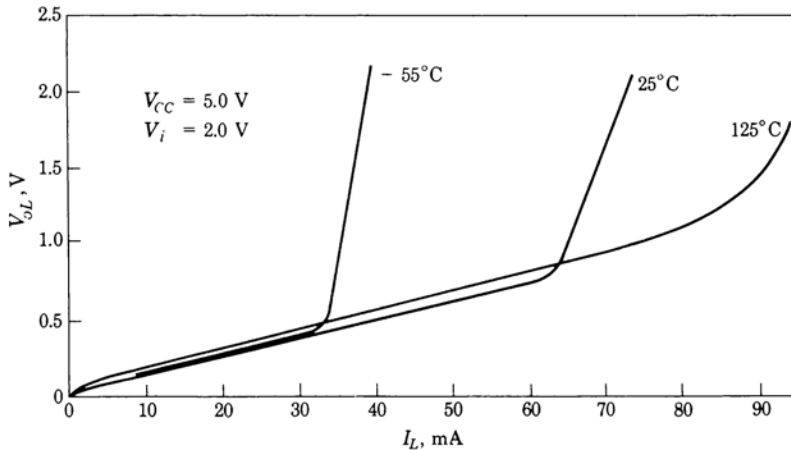


Figura 6.10-3 Caratteristiche tensione-corrente di uscita quando tutti gli ingressi sono allo stato **1** (T3 saturo).

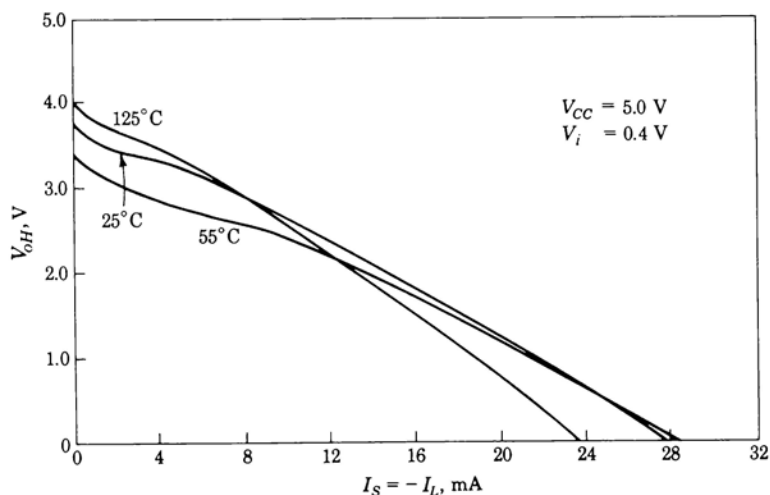


Figura 6.10-4 Caratteristiche tensione-corrente d'uscita quando  $V_i$  è nello stato 0 ( $T3$  è OFF).

Dalla Fig. 6.10-3 si può notare che la capacità della porta di assorbire corrente, quando  $T3$  è saturo, è più bassa in corrispondenza della temperatura inferiore,  $-55^\circ\text{C}$ . Anche per questa temperatura si nota che  $T3$  non esce dalla saturazione se non per correnti superiori a 30 mA. Si arriva così ad un fan-out di  $30/1,0 = 30$ . Il costruttore viceversa raccomanda un fan-out di 10 soltanto, per mantenere  $V_{OL}$  ben al di sotto di 0,4 V. Il fan-out, oltre che sulla saturazione, fa sentire il suo effetto anche sul tempo di propagazione della porta.

La Fig. 6.10-4 rappresenta la tensione d'uscita  $V_{OH}$ , quando la porta si trova al livello logico alto, in funzione della corrente erogata  $I_S$ . Si noti che se  $V_{OH} > 2,5\text{ V}$ ,  $I_S < 11\text{ mA}$ , a temperatura ambiente.

**Tempi di ritardo nella propagazione** I ritardi di propagazione nelle porte TTL sono definiti e misurati come nelle altre porte. I tempi  $t_{pd}(HL)$  e  $t_{pd}(LH)$  sono definiti come in Fig. 6.10-5a. Si vede che i tempi si misurano per tensioni di ingresso e di uscita pari a 1,5 V. Non tutti i costruttori però si attengono a questo valore nella misura del tempo di ritardo.

Questi ritardi di propagazione sono funzione della componente capacitiva del carico e quindi del fan-out. Con un carico capacitivo dell'ordine di 15 pF ed un fan-out di 10, il ritardo di propagazione medio  $t_{pd} = \frac{1}{2} [t_{pd}(HL) + t_{pd}(LH)]$  è tipicamente di 10 ns. Naturalmente se aumenta il carico capacitivo, cresce il ritardo di propagazione. Le porte TTL Schottky (vedi Par. 6.13) presentano tempi di ritardo variabili fra 2 e 4 ns.

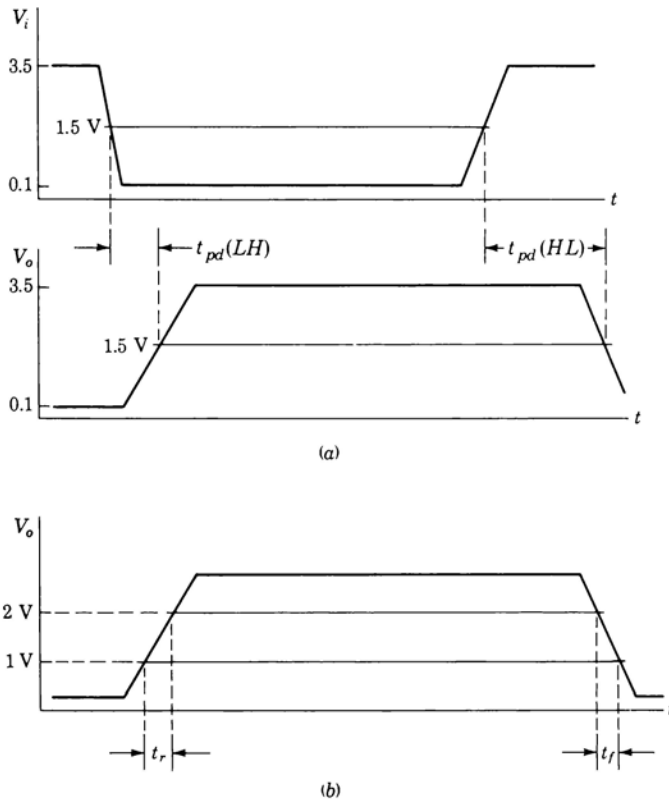


Figura 6.10-5 (a) Tempo di propagazione e (b) tempo di salita e tempo di discesa nella TTL.

Le porte TTL vengono impiegate alle alte velocità, nel qual caso acquistano particolare importanza il *tempo di salita* (rise time) e il *tempo di discesa* (fall time). Come risulta dalla Fig. 6.10-5b, i tempi di salita e di discesa vengono definiti come gli intervalli che intercorrono tra gli istanti corrispondenti ai valori 1 V e 2 V della tensione d'uscita. Altre volte vengono definiti come gli intervalli fra gli istanti corrispondenti al 10% e al 90% della forma d'onda d'uscita. Valori tipici sono  $t_r = 8$  ns e  $t_f = 5$  ns per una porta TTL di media velocità, e da 4 a 8 ns per una porta TTL ad alta velocità. Le porte Schottky presentano un  $t_r$  ed un  $t_f$  di circa 3 ns.

La TTL, così come il buffer RTL (vedi Par. 4.7), è in grado di sopportare un elevato carico capacitivo — come quello costituito da 10 porte — grazie al suo pull-up attivo. Quando  $V_i$  scende allo 0 logico,  $T_4$  si interdice e la

tensione della base di  $T2$  sale bruscamente. Il carico capacitivo dovuto al fan-out mantiene la  $V_o$  di uscita inizialmente a 0,1 V. Pertanto, come si può facilmente verificare,  $T2$  si satura e la corrente che esce dall'emettitore di  $T2$  vale inizialmente  $I_{E2} \approx 38,5$  mA. Questa elevata corrente di transitorio (picco di corrente) carica rapidamente la capacità di carico facendo passare bruscamente la  $V_o$  al livello logico 1.

Sfortunatamente  $T2$  entra in conduzione, saturandosi, prima che  $T3$  esca dalla saturazione. Di conseguenza una parte notevole della corrente  $I_{E2}$  che dovrebbe caricare la capacità viene invece deviata in  $T3$ .

## 6.11 LA CORRENTE ASSORBITA DALL'ALIMENTAZIONE

La corrente che una porta TTL assorbe dall'alimentazione non è la stessa nei due livelli logici. L'assorbimento è più elevato al livello logico 0 che non al livello logico 1. In un caso tipico, ad esempio nella porta di Fig. 6.5-1, l'assorbimento in condizioni statiche è di circa 3 mA ad un livello logico e di circa 1 mA all'altro (vedi Prob. 6.11-1). La differenza dipende soprattutto dal fatto che mentre in un caso  $T4$  conduce, nell'altro è interdetto. Molto più rilevante di questa differenza di assorbimento è il fatto che l'alimentazione deve essere in grado di fornire il picco di corrente  $I_{E2}$ , di cui si è detto nel paragrafo precedente.

La forma d'onda della corrente di alimentazione dipende sia dal tipo di porta TTL considerata sia dal carico capacitivo. L'ampiezza dei picchi arriva fino a circa 40 mA, come abbiamo visto, e la loro durata va da alcuni nano-

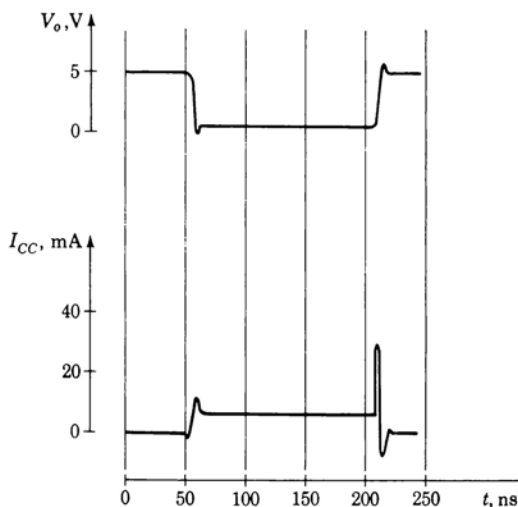


Figura 6.11-1 Picchi nella tensione d'uscita e nella corrente di alimentazione.

secondi a molte decine di nanosecondi nel caso di un carico capacitivo elevato. In Fig. 6.11-1 è illustrata una tipica forma d'onda di corrente.

Questi picchi di corrente si verificano ogni volta che la porta presenta delle transizioni; pertanto la corrente media assorbita è funzione della frequenza a cui la porta lavora. È normale che l'assorbimento medio di corrente cresca di un fattore 2 o 3 quando la porta lavora ad alcune decine di megahertz.

Se si consente a questi picchi di corrente di passare attraverso l'impedenza interna dell'alimentatore, si vengono a generare picchi di tensione che si diffondono per tutto il sistema collegato all'alimentatore. Per evitare questo inconveniente è necessario disporre capacità di by-pass fra il punto in cui il conduttore d'alimentazione è collegato all'integrato e massa.

## 6.12 TIPI DI PORTE TTL

Sono disponibili diversi tipi di porte TTL che differiscono fra di loro principalmente per la scelta del compromesso tra velocità di funzionamento e consumo di potenza. Così la porta di Fig. 6.5-1 è considerata una porta di media velocità, presenta un consumo medio di circa 10 mW ed un ritardo di propagazione di circa 10 ns. Il consumo può essere diminuito, a spese però della velocità, aumentando i valori delle resistenze. È disponibile in commercio una porta (confronta con Fig. 6.5-1) con  $R_b = 40 \text{ k}\Omega$ ,  $R_{c4} = 20 \text{ k}\Omega$ ,  $R_c = 12 \text{ k}\Omega$ , e  $R_{c2} = 500 \Omega$  che presenta un consumo di solo 1 mW ma un tempo di propagazione medio di 33 ns.

La velocità della porta può venire aumentata abbassando i valori delle resistenze. Quando però è essenziale la velocità di funzionamento, nelle porte vengono introdotte anche altre modifiche. In Fig. 6.12-1 è illustrata una tipica porta TTL ad alta velocità. Si può notare che  $R_b$  è stata ridotta a 2,4 k $\Omega$ ,  $R_{c4}$  a 800  $\Omega$ ,  $R_{c2}$  a 60  $\Omega$ . Possiamo notare altre tre modifiche: (1) tutti gli ingressi sono collegati a massa mediante diodi; (2) il resistore di emettitore di  $T_4$  è stato sostituito da un circuito formato da un transistor  $T_5$  e da due resistenze; (3) il collegamento fra il collettore di  $T_4$  e la base di  $T_2$  non è più diretto, come in Fig. 6.5-1, ma è realizzato mediante un inseguitore di emettitore costituito da  $T_6$  e dal resistore di emettitore da 3,5 k $\Omega$  e formante con  $T_2$  un *amplificatore Darlington*. Consideriamo queste modifiche una alla volta.

**I diodi di ingresso** I diodi di ingresso sono presenti in tutte le porte TTL, ad eccezione di quelle più lente. Essi, agendo da *diodi fissatori*, sopprimono le oscillazioni prodotte dalle rapide transizioni di tensione che si verificano nei sistemi TTL. Si supponga, ad esempio, che la tensione di uscita di una porta TTL passi rapidamente dal livello 1 al livello 0. Questo segnale si propaga nel conduttore che collega la porta in questione alla porta da pilotare. Se il conduttore, che si comporta come una linea di trasmissione, non è terminato in maniera adatta, si generano oscillazioni (vedi Appendice A) del tipo illustrato in Fig. 6.12-2a.

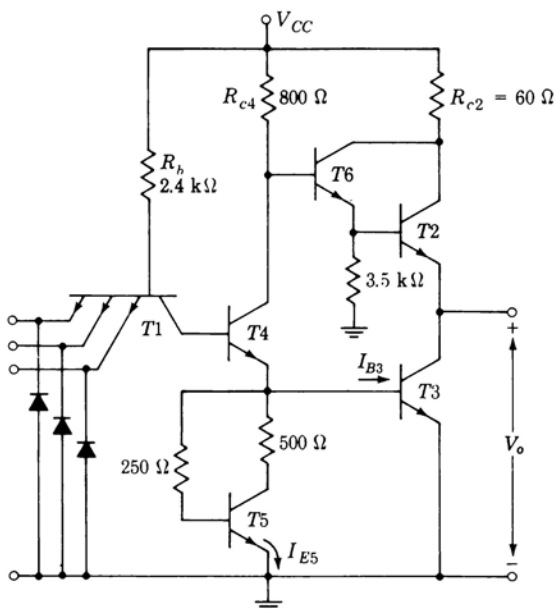


Figura 6.12-1 Porta TTL ad alta velocità.

I diodi di ingresso tagliano il picco negativo a circa  $-0,75$  V ed assorbono dal segnale applicato energia sufficiente ad impedire il formarsi di un successivo picco positivo, che potrebbe riportare la porta pilotata in ON. In Fig. 6.12-2b è illustrato l'effetto dei diodi d'ingresso sulle oscillazioni.

**Il circuito Darlington** Consideriamo ora la funzione di  $T6$  nel circuito di Fig. 6.12-1. Per prima cosa si può notare che il diodo  $D$  del circuito di Fig. 6.5-1 non è più utilizzato in Fig. 6.12-1. Ricordiamo che il diodo era stato inserito per assicurare l'interdizione di  $T2$  quando  $T4$  e  $T3$  sono saturi. Nel circuito di Fig. 6.12-1 la tensione sulla giunzione base-emettitore di  $T6$  esplica la stessa funzione della tensione sul diodo, per cui  $T2$  rimane interdetto quando  $T3$  conduce.

Tornando per un momento alla Fig. 6.5-1, ricordiamo che quando  $T2$  si trova nella regione attiva, la resistenza di uscita vista dai terminali d'uscita della porta vale circa  $R_{c4}/h_{FE}$ : il suo valore è stato calcolato nel Par. 6.9 [vedi Eq. (6.9-2)] ed è pari a  $28 \Omega$ . In Fig. 6.12-1 la resistenza d'uscita viene calcolata nel seguente modo. Innanzitutto la resistenza d'uscita, vista guardando nell'emettitore di  $T6$ , vale  $R_{c4}/h_{FE} = 800/50 = 16 \Omega$ . Ripetendo il calcolo per  $T2$ , si trova che la resistenza d'uscita della porta vale  $16/h_{FE} = 16/50 \approx 0,3$



$\Omega$ . In questo calcolo si è trascurata però la resistenza del transistor. In effetti il valore della resistenza d'uscita della porta ottenuto sperimentalmente risulta essere di circa  $10 \Omega$ . In ogni caso la porta di Fig. 6.12-1 presenta l'importante caratteristica di avere, quando  $T6$  e  $T2$  conducono, una resistenza d'uscita notevolmente inferiore a quella del circuito di Fig. 6.5-1. (I transistori  $T6$  e  $T2$  costituiscono, come si riconosce immediatamente, una configurazione Darlington, che ha proprio la caratteristica di presentare una resistenza d'uscita bassa.) Questa minore impedenza d'uscita comporta un aumento della velocità di funzionamento della porta. Infatti con una resistenza d'uscita più bassa, una qualsiasi capacità presente all'uscita della porta viene caricata in un tempo più breve.

Queste considerazioni sulla resistenza d'uscita non sono naturalmente valide quando i transistori  $T6$  e  $T2$  sono interdetti o saturi. Tuttavia, per un considerevole tratto della regione di transizione da un livello logico all'altro, entrambi i transistori vengono a trovarsi nella zona attiva, zona in cui risulta pienamente valido il discorso precedente. Per quanto riguarda questa configurazione, è interessante notare ancora che, mentre in Fig. 6.5-1 il transistor  $T2$  va in saturazione quando l'uscita della porta passa al livello logico **1**, nel circuito di Fig. 6.12-1 ciò non si verifica. In un circuito Darlington solo il transistor di ingresso ( $T6$  in Fig. 6.12-1) può venire saturato, ma non il tran-

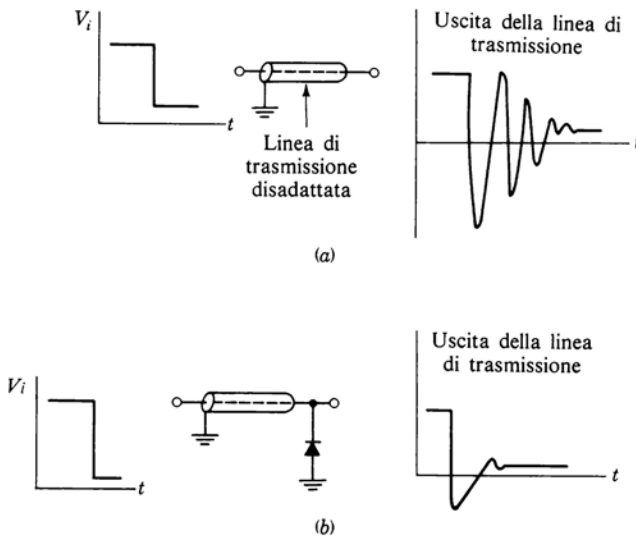


Figura 6.12-2 (a) Risposta di una linea di trasmissione ad un gradino negativo. (b) Risposta di una linea di trasmissione terminata con un diodo.

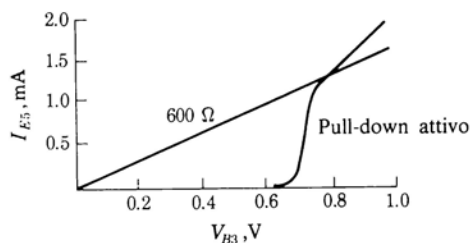


Figura 6.12-3 Effetto del pull-down attivo.

sistore d'uscita ( $T_2$ ). Infatti sia quando  $T_6$  è saturo sia quando si trova in regione attiva,  $V_{CE6}$  è sempre positiva. Poiché  $V_{CB2} = V_{CE6}$ , la giunzione base-collettore di  $T_2$  non può mai trovarsi polarizzata direttamente. Quindi  $T_2$  non può essere mai saturo.

**Il pull-down attivo** In Fig. 6.5-1 il resistore di emettitore  $R_e$  fornisce il collegamento a massa della base del transistore d'uscita  $T_3$ .  $R_e$  viene così ad essere il resistore di *pull-down* per la base di  $T_3$ , cioè il resistore che «tira giù» a massa la base di  $T_3$  quando  $T_4$  è interdetto. Il termine è analogo all'espressione *pull-up* usata per il resistore che collega il collettore alla tensione di alimentazione. Proseguendo allora nell'analogia, il circuito di cui fa parte  $T_5$  di Fig. 6.12-1 viene indicato con il termine *pull-down attivo*. Analizziamo ora i vantaggi che derivano dall'uso di tale circuito.

In Fig. 6.12-3 viene confrontata la caratteristica tensione-corrente di una resistenza da  $600\ \Omega$  con quella del pull-down attivo. Si lascia come esercizio dimostrare la validità della caratteristica del pull-down attivo rappresentata in figura. Nelle porte TTL ad alta velocità con configurazione Darlington ( $T_6$  e  $T_2$  in Fig. 6.12-1), ma con pull-down passivo, il resistore di pull-down vale  $600\ \Omega$ ; per questo motivo nella figura si è fatto il confronto con la caratteristica di un resistore da  $600\ \Omega$ .

Supponiamo ora che il transistore  $T_3$  debba essere portato in conduzione. Diventerà *ON* quando la tensione di base supererà  $0,65\text{ V}$  ed entrerà in saturazione quando la tensione di base raggiungerà  $0,75\text{ V}$ . Dalle Fig. 6.12-1 e 6.12-3 notiamo che in questo intervallo di tensioni il pull-down attivo sottrae alla base di  $T_3$  meno corrente che non il resistore da  $600\ \Omega$ . Il transistore  $T_5$  si comporta così come un «resistore» di valore superiore a  $600\ \Omega$ . Si ha quindi un primo vantaggio consistente nel fatto che  $T_3$  commuta in conduzione più rapidamente.

Esaminiamo ora un secondo vantaggio. Quando  $T_3$  conduce ed il fan-out è basso, la corrente di base di  $T_3$  è notevolmente superiore a quella strettamente necessaria per saturare il transistore stesso. Questa eccessiva corrente

di base fa aumentare il tempo di immagazzinamento e ritarda la commutazione all'interdizione del transistor. Può accadere anche che  $T3$  venga saturato così fortemente che la sua tensione base-emettitore superi 0,8 V. In questo caso, come si vede dalla Fig. 6.12-3, il pull-down attivo sottrae alla base più corrente di quanto non farebbe il pull-down passivo. Il pull-down attivo si comporta perciò come un resistore di valore inferiore a 600  $\Omega$ . In questo modo l'eccesso della corrente di base viene, almeno parzialmente, eliminato.

Prendendo in considerazione la commutazione *in interdizione* di  $T3$ , si potrebbe pensare però che, una volta che la tensione della base è scesa al di sotto di 0,8 V, il pull-down attivo si riveli uno svantaggio, dal momento che sembra sottrarre alla base di  $T3$  meno corrente che non il resistore da 600  $\Omega$ . In realtà però le cose non stanno proprio così. Dobbiamo infatti tenere presente che la caratteristica del pull-down attivo di Fig. 6.12-3 è valida solo in condizioni statiche. In effetti quando avviene la commutazione in interdizione, il pull-down attivo continua ad assorbire per alcuni nanosecondi l'elevata corrente di cui si è detto, finché la distribuzione della carica in  $T5$  non si è adattata al cambiamento.

Il pull-down attivo è particolarmente vantaggioso quando la gamma delle temperature di lavoro è piuttosto estesa. In una porta TTL sprovvista di pull-down attivo, il tempo necessario per interdire  $T3$  aumenta all'aumentare della temperatura, poiché  $T3$  viene pilotato sempre più fortemente in saturazione. Le cause che provocano questo fatto sono due: (1) poiché le tensioni delle giunzioni diminuiscono al crescere della temperatura, un aumento di quest'ultima provoca un aumento della corrente che entra nella base di  $T3$ ; (2) il guadagno di corrente di un transistor aumenta all'aumentare della temperatura, quindi al crescere della temperatura un transistor viene a saturarsi sempre più fortemente, pur rimanendo la sua corrente di base fissa. Ad una temperatura più elevata, però, il pull-down di Fig. 6.12-1 assorbe una corrente maggiore, riuscendo a mantenere così  $I_{B3}$  sufficientemente costante. Questa compensazione si verifica poiché un aumento della temperatura abbassa  $V_{BEs}$ , aumentando così  $I_{B5}$  e  $I_{Cs}$ . Il calcolo della variazione di  $I_{B3}$  in funzione della temperatura viene lasciato come esercizio.

Un ultimo vantaggio del pull-down attivo è costituito dalla sua influenza sulla caratteristica ingresso-uscita dalla porta TTL. In Fig. 6.12-4 sono poste a confronto le caratteristiche di porte con pull-down attivo e con pull-down resistivo. Il diagramma relativo al pull-down resistivo mostra una zona (tra  $a$  e  $b$ ) in cui la pendenza, come abbiamo visto nel Par. 6.5, presenta un valore pari al rapporto fra il resistore di collettore ed il resistore di emettitore di  $T4$ . In questa zona  $T4$  si trova nella sua regione attiva e presenta guadagno. Il punto  $a$  è il punto in cui inizia a condurre  $T4$ , mentre  $b$  è il punto in cui inizia a condurre  $T3$ .

Nel circuito di Fig. 6.12-1, finché  $T3$  non inizia a condurre, il pull-down attivo non consente il passaggio della corrente di emettitore di  $T4$ . Così  $T4$  e

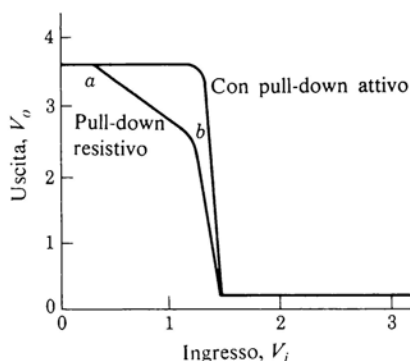


Figura 6.12-4 Confronto fra le caratteristiche di trasferimento di porte TTL: con resistore di pull-down e con pull-down attivo.

$T_3$  iniziano a condurre simultaneamente e la zona  $a-b$  scompare dalla caratteristica relativa al pull-down attivo. La caratteristica presenta così un salto fra i due livelli logici molto più brusco. Il fatto che la transizione fra i due livelli avvenga per variazioni molto più piccole della tensione di ingresso rappresenta naturalmente un vantaggio per quanto concerne l'immunità al rumore.

### 6.13 TTL SCHOTTKY

In tutte le porte TTL ci sono transistori che vengono pilotati in saturazione e diodi che vengono pilotati in conduzione. La causa principale che limita la velocità di funzionamento di queste porte è costituita dal tempo di immagazzinamento associato alla commutazione ON-OFF, durante il quale i transistori devono uscire dalla saturazione. L'impiego dei diodi Schottky (Par. 1.19) riduce il tempo di commutazione in interdizione a valori molto più bassi.

Nel Par. 1.19 abbiamo visto che un diodo inserito tra il collettore e la base di un transistore impedisce al transistore di entrare in saturazione (vedi Fig. 1.19-1). Riprendendo l'argomento, facciamo notare che un transistore in saturazione presenta la giunzione di collettore polarizzata direttamente con una tensione di circa 0,55 V o più. Il transistore può perciò essere mantenuto fuori dalla saturazione mediante un *diodo fissatore* che impedisca alla giunzione di collettore di venire adeguatamente polarizzata in modo diretto.

In Fig. 6.13-1a è illustrato un transistore provvisto di diodo fissatore Schottky. Questa combinazione diodo-transistore è nota come *transistore Schottky* e viene rappresentata generalmente col simbolo di Fig. 6.13-1b. La

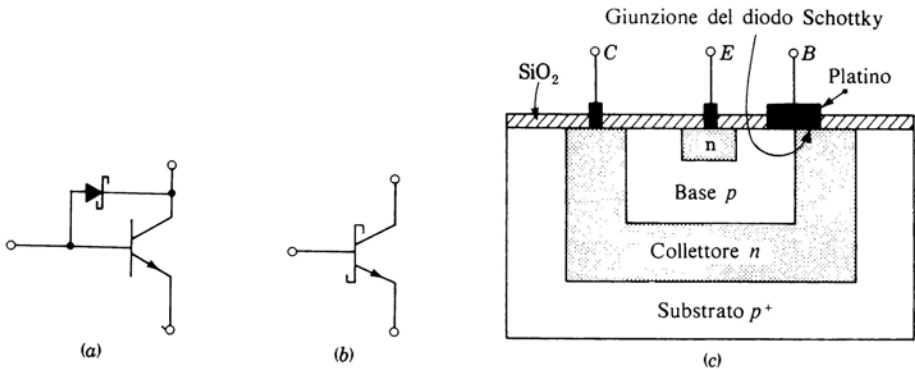


Figura 6.13-1 (a) Diodo Schottky collegato fra base e collettore. (b) Transistore Schottky. (c) Struttura del transistore Schottky.

geometria (semplificata ed idealizzata) di un transistore Schottky integrato è illustrata in Fig. 6.13-1c. Facciamo notare che il contatto metallico sulla base di tipo  $p$  viene esteso in modo da sovrapporsi anche al collettore di tipo  $n$ , creando così una giunzione semiconduttore-metallo (Schottky) tra il metallo ed il collettore. Come si è già spiegato nel Par. 1.19, il drogaggio della base è dosato in modo che la giunzione tra la base ed il metallo non sia raddrizzante.

È disponibile una famiglia di porte TTL ad alta velocità il cui schema circuitale è quello di Fig. 6.12-1, in cui però i diodi di ingresso sono diodi Schottky e tutti i transistori, eccetto  $T_2$ , sono transistori Schottky. Viene fatta un'eccezione per  $T_2$  perché questo transistore comunque non viene mai saturato. Questa famiglia di porte Schottky presenta tempi di propagazione di 2 ns e tempi di salita e di discesa da 2 a 3 ns. I picchi della corrente di alimentazione vengono anch'essi ridotti, scendendo al 20% circa di quelli delle porte TTL normali. In queste porte l'aumento della velocità di funzionamento è dovuto anche al fatto che la superficie occupata dai transistori Schottky è circa la metà di quella dei transistori della TTL convenzionale.

## 6.14 ALTRE FUNZIONI LOGICHE CON PORTE TTL

Nel Par. 5.6 avevamo fatto notare, riferendoci alle porte  $\text{NAND DTL}$ , la possibilità di effettuare la connessione  $\text{AND CABLATO}$  ed i vantaggi relativi. Questa connessione, che consiste nel collegare direttamente fra di loro le uscite di due o più porte, non è consentita con le porte  $\text{NAND TTL}$ . Supponiamo infatti di avere due porte TTL così connesse e che una di esse sia  $\text{OFF}$  e l'altra  $\text{ON}$ . Verrebbe allora a scorrere una corrente che, partendo dall'alimentazione,

attraverserebbe la piccola resistenza di collettore  $R_{c2}$  ed il transistor  $T2$  della porta OFF ed entrerebbe nel transistor  $T3$  della porta ON. Questa corrente sarebbe di circa 40 mA e non sarebbe limitata al breve istante della commutazione, ma si manterrebbe fino alla commutazione successiva. Ciò non solo provocherebbe un aumento dell'assorbimento dall'alimentazione, ma — fatto essenziale — porterebbe a valori eccessivi la dissipazione di potenza nei transistori  $T2$  e  $T3$  e nel resistore da 100  $\Omega$ .

Tuttavia il risparmio reso possibile dalla connessione AND CABLATO è tale da indurre i costruttori a produrre una porta TTL modificata adatta a questo tipo di connessione. La modifica consiste nell'eliminare il transistor superiore del totem-pole; queste porte cioè richiedono, per essere utilizzate, un pull-up passivo esterno (un resistore). Naturalmente i vantaggi del pull-up attivo vengono completamente persi. Queste porte prendono il nome di porte *a collettore aperto* (*open-collector*).

Anche se con la porta base NAND è possibile realizzare tutte le funzioni logiche desiderate, risulta spesso più conveniente ed economico poter disporre direttamente di porte AND. Naturalmente due porte NAND in cascata sono in grado di realizzare la funzione AND. In commercio sono però disponibili direttamente porte AND ottenute inserendo un'inversione nella porta base NAND in un punto a basso livello di potenza.

La famiglia logica TTL dispone inoltre di porte NOR e di porte che realizzano la funzione logica AND-OR-INVERTER (AOI). I circuiti relativi a queste porte sono naturalmente un po' diversi da quello della porta NAND (vedi Prob. da 6.14-1 a 6.14-4).

## BIBLIOGRAFIA

- 1 Morris R. L., and J.R. Miller, eds.: Designing with TTL Integrated Circuits. McGraw-Hill, New York, 1971.

## LOGICA AD ACCOPPIAMENTO DI EMETTITORE

### 7.1 INTRODUZIONE

Tutte le famiglie logiche esaminate finora (RTL, DTL, TTL) presentano una caratteristica fondamentale comune che limita la loro massima velocità di funzionamento. Questa caratteristica consiste nel fatto che nelle suddette famiglie logiche i transistori vengono fatti lavorare nella regione di saturazione, il che comporta tempi di propagazione più elevati. Questa constatazione ci porta a ricercare se sia realizzabile un tipo di logica in cui i transistori vengano fatti commutare dall'interdizione ad un punto di lavoro situato nella regione attiva, anziché nella regione di saturazione. Le famiglie logiche finora considerate non si prestano ad un simile tipo di funzionamento; infatti il campo di valori della tensione base-emettitore nella regione attiva si estende soltanto per alcune decine di millivolt e con un campo di valori così ristretto troppi fattori (variazioni della temperatura, dispersione dei valori dei parametri dovuta al processo di fabbricazione, ecc.) possono provocare effetti indesiderati. Supponiamo di far lavorare uno stadio a transistor, in corrispondenza ad uno dei due livelli logici, nella sua regione attiva. Allora anche una leggera deriva della tensione applicata all'ingresso potrebbe portare il transistor o in interdizione o in saturazione, provocando una variazione corrispondente molto elevata della tensione d'uscita dello stadio.

È però possibile mantenere stabilmente un transistor nella sua regione attiva introducendo una reazione negativa tramite il semplice impiego di un resistore di emettitore di valore elevato. Ciò è proprio quello che si fa nell'inseguitore di emettitore e nel separatore di fase. Con questo tipo di configurazione, a causa dell'elevata resistenza di emettitore, è però necessaria un'ampia escursione della tensione di base per far passare il transistor dall'interdizione alla saturazione. È tuttavia possibile conseguire entrambi i risultati, cioè avere un funzionamento stabile nella regione attiva ed ottenere una commutazione fra la regione attiva e l'interdizione tramite una piccola escursione della tensione d'ingresso. Per far ciò occorre realizzare un circuito che si basi, anziché sull'interruzione e la non-interruzione della corrente in un transistor, sulla deviazione della corrente da un transistor ad un altro.

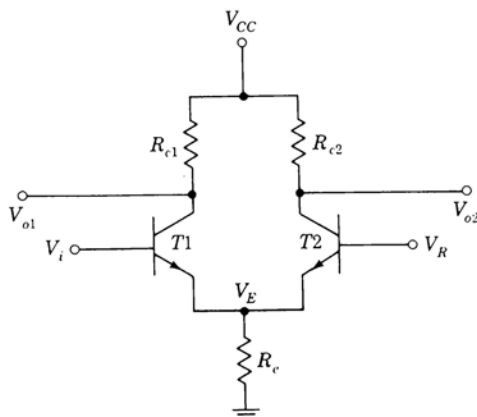


Figura 7.1-1 L'amplificatore differenziale.

La configurazione base impiegata nella famiglia logica che stiamo considerando, come si riconosce dalla Fig. 7.1-1, è l'*amplificatore differenziale*, che abbiamo già trattato nel Par. 2.1 parlando degli amplificatori operazionali e dei comparatori. Poichè in questo amplificatore differenziale gli emettitori dei due transistori sono collegati insieme, la famiglia logica che presenta questo circuito come elemento base prende il nome di *logica ad accoppiamento di emettitore* (ECL: *emitter-coupled logic*).

Nell'amplificatore differenziale usato come porta logica, la base del transistor  $T2$  viene mantenuta ad una tensione di riferimento fissa  $V_R$ , mentre alla base del transistor  $T1$  viene applicata la tensione di ingresso  $V_i$ . Quando  $V_i$  è sufficientemente minore di  $V_R$ , il transistor  $T1$  risulta interdetto e la corrente scorre attraverso  $T2$ . La tensione di riferimento  $V_R$  ed i resistori  $R_c$  ed  $R_e$  sono scelti in modo che  $T2$  lavori nella sua regione attiva e non nella regione di saturazione. Quando  $V_i$  aumentando raggiunge  $V_R$ , le correnti nei due transistori diventano nominalmente uguali. Aumentando ancora  $V_i$ , la tensione di emettitore  $V_E$  cresce, poichè  $V_E = V_i - V_{BE1}$  e  $V_{BE1}$  si mantiene all'incirca costante, sicchè alla fine  $T2$  risulterà interdetto. In corrispondenza  $T1$  verrà a lavorare nella sua regione attiva. In conclusione risulta chiaro che una variazione di  $V_i$  è in grado di provocare la deviazione della corrente da un transistor all'altro. Più avanti dimostreremo che, quando  $V_i$  passa dal valore in corrispondenza al quale si interdice  $T1$  al valore in corrispondenza al quale si interdice  $T2$ , la corrente totale di emettitore attraverso  $R_e$  presenta una variazione inferiore al 2%. Pertanto il principio di funzionamento di questo circuito consiste nel deviare una corrente di emettitore nominalmente costante da un transistor all'altro.



## 7.2 LA PORTA ECL

In Fig. 7.2-1 è illustrata una porta ECL contenente il circuito base di Fig. 7.1-1. In parallelo al transistore di ingresso  $T1$  di Fig. 7.2.1 sono posti altri transistori, onde fornire alla porta diversi ingressi.

Le uscite vengono prese sui collettori tramite due inseguitori di emettitore. Questi ultimi fungono da adattatori e forniscono una bassa impedenza ai terminali di uscita. Alla base di  $T2$  è applicata una tensione di riferimento  $V_R = -1,175$  V (a temperatura ambiente) precisa e controllata in temperatura. Si impiega una tensione di alimentazione  $-V_{EE} = -5,2$  V. Si noti che, contrariamente a quanto si fa di solito, i resistori di collettore dei transistori sono collegati a massa ed i resistori di emettitore all'alimentazione negativa. Così tutte le tensioni che si incontrano saranno negative. La ragione di questa polarizzazione negativa verrà data nel Par. 7.11.

Come per le altre famiglie logiche, anche le porte ECL sono disponibili sul mercato in diverse serie che differiscono notevolmente fra di loro per i valori dei resistori. Le porte con valori di resistenza più elevati dissipano meno potenza e lavorano a velocità più basse. Quelle con valori di resistenza più bassi dissipano più potenza, ma sono più veloci. La porta di Fig. 7.2-1 è una porta della Motorola di media velocità e media dissipazione, indicata con la sigla MECL II.

La porta ECL può lavorare sia come porta NOR che come porta OR. Si verifica subito che se l'uscita viene presa su  $V_{o1}$  si ottiene una porta NOR, mentre se viene presa su  $V_{o2}$  si ha una porta OR. In alcune applicazioni si userà l'una oppure l'altra delle due uscite mentre in altre risulta molto conveniente poter disporre di tutte e due le uscite, che, ovviamente, sono l'una il complemento dell'altra.

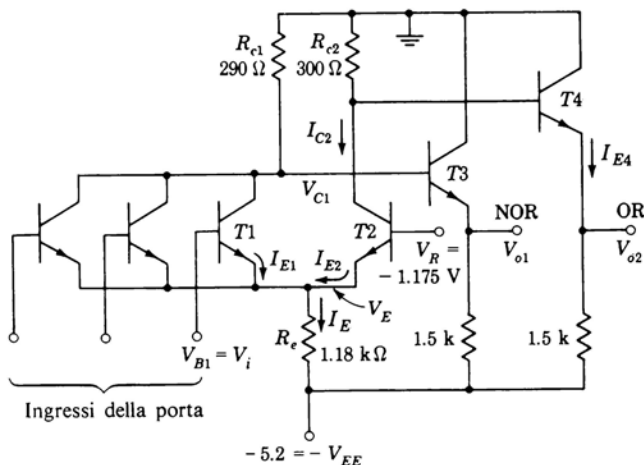


Figura 7.2-1 Porta ECL.

### 7.3 TENSIONI NEI TRANSISTORI ECL

La corrente di saturazione di un transistor è data da  $I_{\text{sat}} = |V_{CC} - V_{CE}(\text{sat})|/R$ , dove  $V_{CC}$  è la tensione di alimentazione ed  $R$  la resistenza complessiva in serie al transistor. Se, come normalmente si verifica,  $V_{CE}(\text{sat}) \ll V_{CC}$ , allora  $I_{\text{sat}} \approx V_{CC}/R$ , e risulta sostanzialmente indipendente dalle caratteristiche del transistor. La tensione base-emettitore  $V_{BE} (= V_{\gamma})$  richiesta affinché  $I_{\text{sat}}$  attraversi la giunzione di emettitore dipende dalla sezione trasversale della giunzione di emettitore. Cioè, almeno al limite della saturazione,

$$I_{\text{sat}} = I_C \approx I_E = I_{E0} e^{V_{\gamma}/V_T} \quad (7.3-1)$$

in cui  $I_C$  ed  $I_E$  sono rispettivamente le correnti di collettore e di emettitore ed  $I_{E0}$  è la corrente di saturazione inversa della giunzione di emettitore, proporzionale alla sezione della giunzione stessa. Quindi  $V_{\gamma}$  dipende complessivamente da  $V_{CC}$ , da  $R$  e dalla sezione della giunzione di emettitore.

Per le porte trattate precedentemente le tensioni di alimentazione, le resistenze e la forma geometrica del transistor integrato sono tali che, assumendo  $V_{\gamma} \approx 0,75$  V, i valori teorici delle tensioni si vengono a trovare in ragionevole accordo con i valori sperimentali. Per le porte ECL conviene invece assumere  $V_{\gamma} = 0,8$  V. Questo valore più alto è dovuto principalmente alle minori dimensioni del transistor ECL, caratteristica questa che serve a ridurre le capacità e quindi ad aumentare la velocità di funzionamento della porta.

Conformemente a quanto fatto in precedenza, si può anche ora supporre che l'interdizione avvenga ad una tensione di circa 100 mV inferiore a  $V_{\gamma}$ . Pertanto si ha  $V_{\gamma} = 0,70$  V. Quando il transistor si trova nella regione attiva assumeremo  $V_{BEA} = 0,75$  V, cioè assumeremo per  $V_{BEA}$  un valore intermedio fra  $V_{\gamma}$  e  $V_{\gamma}$ . Concludendo, a temperatura ambiente per i transistori ECL di Fig. 7.2-1 assumeremo

$$V_{BE} = \begin{cases} V_{\gamma} = 0.70 \text{ V} & \text{soglia} \\ V_{BEA} = 0.75 \text{ V} & \text{regione attiva} \\ V_{\sigma} = 0.80 \text{ V} & \text{saturazione} \end{cases} \quad (7.3-2)$$

Per le altre famiglie di porte ECL i valori delle tensioni differiscono di poco dai valori sopra elencati. Per la sensibilità termica di queste tensioni consideriamo valido ancora il valore di  $-2$  mV/°C.

### 7.4 CARATTERISTICA DI TRASFERIMENTO: L'USCITA OR

Con tutti i transistori di ingresso interdetti tranne uno, la caratteristica di trasferimento da  $V_i$  a  $V_{o2}$  (l'uscita OR) è riportata in Fig. 7.4-1a. Vediamo ora come si ricava questa caratteristica.

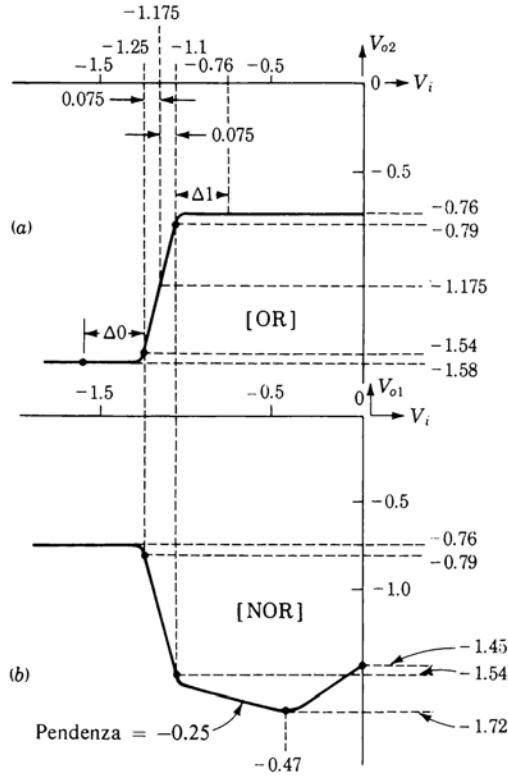


Figura 7.4-1 Caratteristica di trasferimento di una porta ECL.

Riferendoci alla Fig. 7.2-1 si vede che quando  $V_i$  è sufficientemente alta,  $T1$  è ON e  $T2$  OFF. Trascuriamo inizialmente la caduta di tensione su  $R_{c2}$  dovuta alla corrente di base di  $T4$ . Allora  $V_{c2} = V_{B4} = 0$  V e, supponendo una tensione di 0,75 V fra base ed emettitore di  $T4$ , si ha  $V_{o2} = -0,75$  V. Però, come si dimostrerà, non è completamente giustificato trascurare la caduta su  $R_{c2}$ , per cui si impone una leggera correzione.

La corrente di emettitore di  $T4$  è

$$I_{E4} = \frac{-0.75 + 5.2}{1.5} \approx 3 \text{ mA} \quad (7.4-1)$$

I transistori delle porte ECL presentano un guadagno di corrente  $h_{FE}$  che va da circa 40 a 150. Come valore tipico prenderemo  $h_{FE} = 100$ . La corrente di base di  $T4$  è  $I_{B4} = I_{E4} / (h_{FE} + 1) = 3/101 \approx 0,03$  mA. Questa corrente di

base scorrendo attraverso  $R_{c2} = 300 \, \Omega$ , provoca una caduta di tensione di  $300 (-0,03 \times 10^{-3}) \approx 0,01 \, \text{V}$ . Quindi  $V_{C2} = V_{B4} \approx -0,01 \, \text{V}$  invece di  $0 \, \text{V}$  e quindi  $V_{o2} \approx -0,76 \, \text{V}$ , come indicato in Fig. 7.4-1a.

Si diminuisca  $V_i$  in modo che  $T1$  vada in OFF e  $T2$  entri nella sua regione attiva. La tensione emettitore-massa  $V_E$  vale allora

$$V_E = V_R - V_{BEA}(T2) = -1.175 - 0.75 = -1.925 \, \text{V} \quad (7.4-2)$$

La corrente di emettitore è

$$I_E = \frac{V_E - (-V_{EE})}{R_e} = \frac{-1.925 + 5.2}{1.18} = 2.78 \, \text{mA} \quad (7.4-3)$$

La corrente in  $R_{c2}$  è uguale alla corrente di emettitore  $I_E$  *diminuita* della corrente di base di  $T2$  ed *aumentata* della corrente di base di  $T4$ . Poiché queste due correnti di base sono entrambe piccole rispetto ad  $I_E$  e circa uguali fra di loro, possiamo trascurarle nel calcolo di  $V_{C2}$  corrispondente allo stato logico 0. Troviamo  $V_{C2} = V_{B4} = -R_{c2} I_E = -300 (2.78) = -0.83$ . Infine la tensione di uscita della porta vale

$$V_{o2} = V_{B4} - V_{BEA}(T4) = -0.83 - 0.75 = -1.58 \, \text{V} \quad (7.4-4)$$

I due livelli logici  $V_{o2} = -0,76 \, \text{V}$  (1 logico) e  $V_{o2} = -1,58 \, \text{V}$  (0 logico) sono indicati in Fig. 7.4-1a.

**Dimostrazione che la variazione di  $I_E$  è inferiore al 2%** Quando il transistor  $T1$  passa dal limite dell'interdizione (tutta la corrente di emettitore scorre attraverso  $T2$ ) al punto in cui è attraversato da tutta la corrente di emettitore (corrente nulla in  $T2$ ), la variazione complessiva della tensione di emettitore è  $\Delta V_E = 50 \, \text{mV}$ . Poiché la tensione di base di  $T2$  è fissa, questa variazione  $\Delta V_E$  consente di portare  $V_{BE2}$  da  $0,75$  a  $0,70 \, \text{V}$  e quindi  $T2$  dalla sua regione attiva all'interdizione. [(vedi Eq. (7.3-2)]. La variazione nella corrente di emettitore è  $\Delta I_E = \Delta V_E / R_e = (50 \times 10^{-3}) / (1,18 \, \text{k}\Omega)$ ; dall'Eq. (7.4-3),  $I_E = 2,78 \, \text{mA}$ . Quindi

$$\frac{\Delta I_E}{I_E} = \frac{(50 \times 10^{-3}) / (1,18 \times 10^3)}{2,78 \times 10^{-3}} = 1.5\% \quad (7.4-5)$$

La variazione relativa è così piccola che non si commette un grave errore se si assume  $I_E$  costante.

**Ampiezza della regione di transizione** All'aumentare di  $V_i$ ,  $V_{o2}$  passa da  $-1,58$  (0 logico, in logica positiva) a  $-0,76 \, \text{V}$  (1 logico). Questo passaggio da un livello logico all'altro avviene in corrispondenza del passaggio dell'ingresso  $V_i$  da un limite all'altro di una regione di transizione, che, come vedremo, presenta un'ampiezza di  $150 \, \text{mV}$ . Si ha

$$I_{E1} + I_{E2} = I_E = I = \text{cost.} \quad (7.4-6)$$

Nella regione di transizione  $T1$  e  $T2$  si trovano entrambi nella loro regione attiva; quindi

$$I_{E1} \approx I_{E0} \epsilon^{V_{BE1}/V_T} = I_{E0} \epsilon^{(V_{B1} - V_E)/V_T} \quad (7.4-7)$$

$$e \quad I_{E2} \approx I_{E0} \epsilon^{(V_R - V_E)/V_T} \quad (7.4-8)$$

Il rapporto delle correnti di emettitore è

$$\frac{I_{E1}}{I_{E2}} = \epsilon^{(V_{B1} - V_R)/V_T} \quad (7.4-9)$$

Combinando l'Eq. (7.4-9) con l'Eq. (7.4-6) si ha

$$I_{E1} = \frac{I}{1 + \epsilon^{(V_R - V_{B1})/V_T}} \quad (7.4-10a)$$

$$e \quad I_{E2} = \frac{I}{1 + \epsilon^{(V_{B1} - V_R)/V_T}} \quad (7.4-10b)$$

Stabiliamo che uno dei limiti della regione di transizione corrisponda alla condizione  $I_{E1} = 0,05I$  e  $I_{E2} = 0,95I$ , e l'altro corrisponda alla condizione  $I_{E1} = 0,95I$  ed  $I_{E2} = 0,05I$ . Come si può facilmente verificare, la differenza  $\Delta V_{B1} = \Delta V_i$  corrispondente all'ampiezza complessiva della regione di transizione, è

$$\begin{aligned} \Delta V_i &= V_{B1}(I_{E1} = 0,95I) - V_{B1}(I_{E1} = 0,05I) \\ &\approx 2V_T \ln 20 = 6V_T = 150 \text{ mV} \end{aligned} \quad (7.4-11)$$

Come si può vedere in Fig. 7.4-1 la regione di transizione è disposta simmetricamente a cavallo della tensione di riferimento  $V_R$ . I limiti della regione di transizione si trovano in corrispondenza di  $V_R + 0,075 \text{ V}$  e  $V_R - 0,075 \text{ V}$  nei punti  $-1,1$  e  $-1,25 \text{ V}$ . I corrispondenti valori di  $V_{o2}$  sono  $-0,79$  e  $-1,54 \text{ V}$ .

**Margine di rumore** Si noti ora che la tensione di riferimento e le resistenze della porta ECL di Fig. 7.2-1 sono state scelte in modo che le tensioni di uscita siano simmetriche rispetto alla regione di transizione d'ingresso. Il valor medio delle tensioni di uscita è  $\frac{1}{2}(-0,76 - 1,58) = -1,170 \text{ V}$ . Questo valore è quasi coincidente con la tensione di riferimento  $V_R = -1,175 \text{ V}$ . Ne deriva che i due margini di rumore risultano essere sostanzialmente uguali.

L'uscita di una porta all'1 logico vale  $-0,76 \text{ V}$ . In Fig. 7.4-1 si nota che, affinché una porta riconosca al suo ingresso un 1 logico, la tensione di ingresso non deve essere inferiore a  $-1,1 \text{ V}$ . Perciò il margine di rumore  $\Delta 1$  è

$$\Delta 1 = -0,76 - (-1,1) = 0,34 \text{ V} \quad (7.4-12)$$

Analogamente il margine di rumore  $\Delta 0$  è dato da

$$\Delta 0 = -1.25 - (-1.58) = 0.33 \text{ V} \quad (7.4-13)$$

Si noti che questi valori dei margini di rumore sono valori tipici e non valori nelle condizioni più sfavorevoli.

## 7.5 L'USCITA NOR

I limiti della regione di transizione dell'uscita OR sono stati definiti come i punti in corrispondenza ai quali  $I_{C2} \approx I_{E2} = 0,05I$  e  $0,95I$ , dove  $I$  è la corrente nominalmente costante che attraversa  $R_e$ . Poichè la corrente  $I = I_{E1} + I_{E2}$  è costante,  $I_{C1} \approx I_{E1} = 0,05I$  quando  $I_{C2} \approx I_{E2} = 0,95I$  e viceversa. Quindi i punti di transizione per l'uscita OR e per l'uscita NOR corrispondono agli stessi valori di  $V_i$ , come indicato in Fig. 7.4-1b. Inoltre, se si trascura la piccola differenza fra  $R_{c1}$  e  $R_{c2}$ , le corrispondenti tensioni di uscita sono le stesse per l'uscita OR e per l'uscita NOR.

Quando  $V_i$  è sufficientemente bassa da interdire  $T1$ , la tensione di uscita è  $V_{o1} = -V_{BEA}(T3) - I_{B3} R_{c1} = -0,75 - 0,01 = -0,76 \text{ V}$ , proprio come per il livello logico 1 dell'uscita OR. Quando però  $V_i$  arriva al punto in cui tutta la corrente di emettitore si è trasferita in  $T1$ , un ulteriore aumento di  $V_i$  provocherà un ulteriore aumento di  $I_{C1}$  e  $V_{o1}$  continuerà a scendere. Con  $T2$  interdetto, il guadagno  $A$  dall'ingresso al collettore di  $T1$  (vedi Par. 6.5) vale

$$A = \frac{\Delta V_{C1}}{\Delta V_i} = -\frac{R_{c1}}{R_e} = -\frac{0.290}{1.18} = -0.25 \quad (7.5-1)$$

Quindi, come indicato in Fig. 7.4-1,  $V_{o1}$  scende con questa pendenza negativa, finchè il transistor  $T1$  non si avvicina alla saturazione.

Calcoliamo ora per quale valore della tensione di ingresso  $V_i$  comincia a manifestarsi la saturazione. Un transistor in piena saturazione presenta una tensione collettore-emettitore compresa fra 0,1 e 0,2 V. Al limite della saturazione però, come mostrato in Fig. 1.10-1, la tensione collettore-emettitore è vicina a 0,3 V. Con 0,3 V fra collettore ed emettitore, le tensioni  $V_{C1}$  e  $V_E$  valgono

$$V_{C1} = -(5.2 - 0.3) \frac{R_{c1}}{R_{c1} + R_e} = -\frac{4.9(.290)}{1.47} = -0.97 \text{ V} \quad (7.5-2)$$

$$\text{e} \quad V_E = -0.97 - 0.3 = -1.27 \text{ V} \quad (7.5-3)$$

La tensione d'uscita  $V_{o1}$  e la corrispondente tensione di ingresso valgono allora

$$V_{o1} = V_{C1} - V_{BE3} = -0.97 - 0.75 = -1.72 \text{ V} \quad (7.5-4)$$

$$\text{e} \quad V_i = V_E + V_\sigma = -1.27 + 0.8 = -0.47 \text{ V} \quad (7.5-5)$$

in cui abbiamo assunto per le tensioni base-emettitore di  $T3$  (in regione attiva) e  $T1$  (in saturazione) rispettivamente i valori 0,75 e 0,8 V.

Ad un ulteriore aumento di  $V_i$ ,  $V_{o1}$  comincia a salire poichè nella corrente di emettitore aumenta la componente dovuta alla corrente di base di  $T1$  a scapito della corrente di collettore. Quando  $V_i = 0$  V,  $T1$  è in piena saturazione. Assumendo la tensione base-emettitore di  $T1$  pari a 0,8 V e la tensione collettore-emettitore pari a 0,1 V, si ha  $V_E = -0,8$  V e  $V_{C1} = -0,8 + 0,1 = -0,7$  V. La tensione di uscita è allora

$$V_{o1} = -0.7 - 0.75 = -1.45 \text{ V} \quad (7.5-6)$$

come indicato in Fig. 7.4-1b.

Riferendoci alla Fig. 7.2-1, quando  $T1$  conduce insieme a qualcuno dei transistori posti in parallelo, la corrente in  $R_{c1}$  può essere un po' più elevata di quella che si ha in  $R_{c2}$  quando  $T2$  è ON. Per ridurre la corrispondente differenza fra i livelli logici 0 delle uscite OR e NOR, si sceglie  $R_{c1}$  più piccolo di  $R_{c2}$ .

## 7.6 SPECIFICHE FORNITE DALLE CASE COSTRUTTRICI: CARATTERISTICA DI TRASFERIMENTO

Il circuito ECL di Fig. 7.2-1 corrisponde sotto tutti gli aspetti, per valore dei componenti, tensioni di alimentazione e di riferimento, ecc., alla serie ECL della Motorola contrassegnata con la sigla MECL II. I diagrammi di Fig. 7.6-1 sono forniti dalla Motorola come caratteristiche di trasferimento *tipi-*

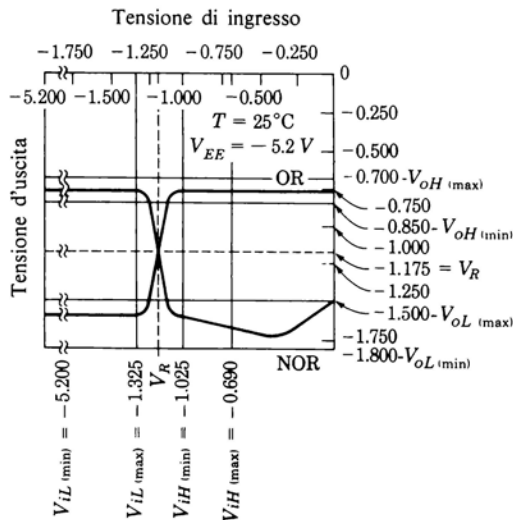


Figura 7.6-1 Caratteristiche di trasferimento tipiche della ECL.

che, medie. Fra i diagrammi di Fig. 7.6-1 e la caratteristica di trasferimento teorica di Fig. 7.4-1 esiste una soddisfacente concordanza.

In Fig. 7.6-1 sono indicati i massimi campi di variabilità previsti per i parametri di queste porte. Così, mentre la tensione d'uscita  $V_{oH}$  vale nominalmente  $-0,76$  V, in realtà il suo valore può variare da  $V_{oH}(\max) = -0,70$  V a  $V_{oH}(\min) = -0,85$  V. Analogamente la tensione di uscita  $V_{oL}$  è compresa fra  $V_{oL}(\max) = -1,5$  V e  $V_{oL}(\min) = -1,8$  V. Il costruttore specifica che la tensione di ingresso non deve essere più negativa di  $V_{iH}(\min) = -1,025$  V per essere sicuri che venga riconosciuta dalla porta come **1** logico. Il margine  $\Delta 1$ , nelle condizioni peggiori, è

$$\Delta 1 = V_{oH}(\min) - V_{iH}(\min) = -0.850 + 1.025 = 0.175 \text{ V} \quad (7.6-1)$$

invece del valore tipico di  $0,34$  V fornito dall'Eq. (7.4-10). Analogamente il margine  $\Delta 0$ , nel caso peggiore, è

$$\Delta 0 = V_{oL}(\max) - V_{iL}(\max) = 1.500 - 1.325 = 0.175 \text{ V} \quad (7.6-2)$$

Il valore  $V_{iL}(\min) = -5,2$  V viene specificato proprio per indicare che, anche se si applicasse all'ingresso la tensione più negativa presente nel circuito, non si verificherebbe alcun danno alla porta. La tensione  $V_{iH}(\max) = -0,69$  V viene specificata per indicare che una tensione superiore a questa costringe il transistor  $T1$  a sopportare una corrente inutilmente elevata che può portarlo in saturazione.

Si noti che per avere margini di rumore uguali ( $\Delta 0 = \Delta 1$ ) è necessario che i punti medi delle regioni di transizione delle uscite OR e NOR cadano sulle coordinate  $V_i = V_R$  e  $V_{o2} = V_{o1} = V_R$ .

## 7.7 FAN-OUT

Quando l'uscita di una porta si trova allo **0** logico, non occorre fornire alla porta da essa pilotata alcuna corrente. È necessario fornire una corrente di ingresso alla porta pilotata quando tale ingresso è al livello logico **1**; in questo caso si pone il problema del fan-out.

Si è visto che all'**1** logico  $V_{o2}$  (o  $V_{o1}$ ) è a  $-0,76$  V, se non viene erogata corrente. Si è anche visto che per  $V_i = -0,76$  V, il margine di rumore  $\Delta 1$  è  $\Delta 1 = 0,34$  V [vedi l'Eq. (7.4-12)]. Se si pilota un certo numero di porte, la tensione di uscita  $V_{o2}$  scenderà al di sotto di  $-0,76$  V, con una corrispondente diminuzione del margine di rumore. Nelle porte ECL (come del resto nelle porte RTL) il fan-out ammesso è funzione continua del margine di rumore che si vuole avere. La situazione è diversa da quella che si presenta nelle porte DTL e TTL, dove le uscite sono prese ai capi di un transistor in saturazione. Con queste porte, finché non si supera il fan-out massi-



mo, la tensione del transistor d'uscita resta sostanzialmente costante e così pure il margine di rumore.

Nel seguente esempio si esegue il calcolo di un fan-out.

**ESEMPIO 7.7-1** L'uscita  $V_{o2}$  della porta di Fig. 7.2-1 deve pilotare  $N$  porte dello stesso tipo, come indicato in Fig. 7.7-1. Trovare  $N$  a temperatura ambiente, con un margine di rumore  $\Delta I$  di 0,3 V. Si supponga di essere nelle seguenti condizioni sfavorevoli. I resistori della porta pilota sono del 20% superiori al valore nominale,  $R_{c2} = 300 (1,2) = 360 \Omega$ , il resistore di emettitore =  $1,5 (1,2) = 1,8 \text{ k}\Omega$ ; i resistori degli stadi pilotati sono del 20% inferiori al valore nominale,  $R_c = 1,18 (0,8) = 940 \Omega$ . La tensione di alimentazione è del 10% più alta del valore nominale,  $V_{EE} = 5,2 (1,1) = 5,7 \text{ V}$ . I transistori presentano un guadagno di corrente  $h_{FE} = 40$ . (Queste differenze dei parametri dai valori tipici sono tutte tali da rendere il fan-out più basso.)

**SOLUZIONE** Riferiamoci alla Fig. 7.7-1. Al limite della regione di transizione  $V_i = V_{o2} = -1,1 \text{ V}$ , come indicato in Fig. 7.4-1. Questo valore di tensione non è influenzato dalla variazione della  $R_c$ . Se il margine di rumore deve essere di 0,3 V, si richiede che  $V_i = V_{o2} = -1,1 + 0,3 = -0,8 \text{ V}$ . Supponendo, come sempre, che  $V_{BEA} = 0,75 \text{ V}$ , si ha  $V_E = -0,8 - 0,75 = -1,55 \text{ V}$ ,  $I_E = [-1,55 - (-5,7)]/940 = 4,4 \text{ mA}$  e

$$I_i = \frac{I_E}{h_{FE} + 1} = \frac{4,4}{41} = 107 \mu\text{A}$$

Per lo stadio pilota si ha  $V_{B4} = V_{o2} + 0,75 = -0,8 + 0,75 = -0,05 \text{ V}$ ;  $I_{B4} = 0,05/360 = 139 \mu\text{A}$ ;  $I_{E4} = (h_{FE} + 1)I_{B4} = 41 (139) = 5,7 \text{ mA}$ ;  $I_4 = [-0,8 - (-5,7)]/1,8 = 2,7 \text{ mA}$ , sicché

$$I_o = I_{E4} - I_4 = 5,7 - 2,7 = 3 \text{ mA}$$

Il fan-out vale

$$N = \frac{I_o}{I_i} = \frac{3000}{107} = 28$$

Il valore  $N = 28$ , calcolato nell'Esempio 7.7-1, va confrontato con il valore  $N = 25$  dato dal costruttore come «fan-out in continua». Viceversa, se ammettiamo un  $\Delta I = 0,1 \text{ V}$ , come si può verificare in Prob. 7.7-1,  $N$  sale a circa  $N \approx 250$ . In ogni caso è evidente che il fan-out nelle porte ECL non costituisce un problema per quanto riguarda la corrente di pilotaggio disponibile. Tuttavia la caratteristica principale della logica ECL è la sua alta velocità di funzionamento. Quest'ultima viene però ridotta dall'aumento del fan-out poichè ogni porta di carico in più provoca un corrispondente aumento della capacità di carico. Per questo motivo il costruttore specifica anche un «fan-out in alternata». Questo fan-out, di solito uguale a 15, è quello raccomandato per mantenere entro i limiti specificati i tempi di salita, di discesa e di propagazione.

## 7.8 VELOCITÀ DI FUNZIONAMENTO

Fra tutte le porte considerate, la ECL è la più veloce. Senza carico una porta MECL II presenta un tempo di propagazione di circa 4 ns. Una serie di porte

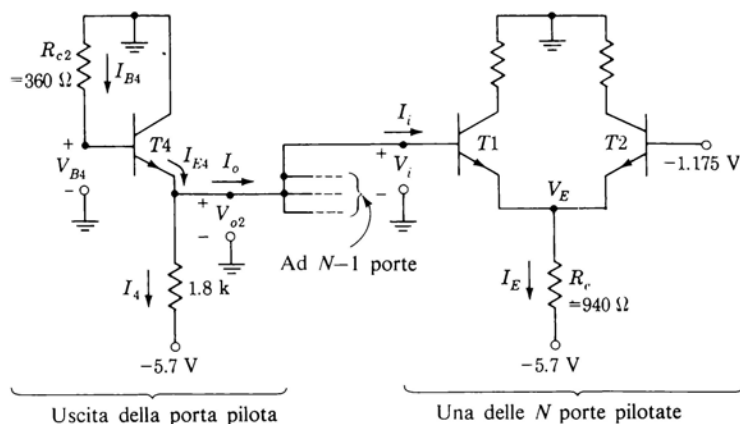


Figura 7.7-1 Calcolo del fan-out.

ancora più veloce (la MECL III) presenta un ritardo di propagazione tipico compreso fra 1 e 2 ns circa. La velocità di una porta ECL è tuttavia limitata dal carico capacitivo. Ciò si verifica a causa della caratteristica di funzionamento degli inseguitori di emettitore d'uscita. Infatti quando la tensione di base di un inseguitore di emettitore subisce una rapida variazione di segno tale da aumentare la corrente di emettitore, l'emettitore segue questa variazione. Una capacità presente sull'uscita dell'inseguitore si caricherà pertanto rapidamente attraverso la bassa impedenza di uscita dell'inseguitore di emettitore (circa  $6\ \Omega$  nella MECL II). Quando però la tensione di ingresso varia in senso contrario, la tensione di emettitore non riesce a seguire istantaneamente la tensione di base a causa della capacità d'uscita. Poiché la tensione

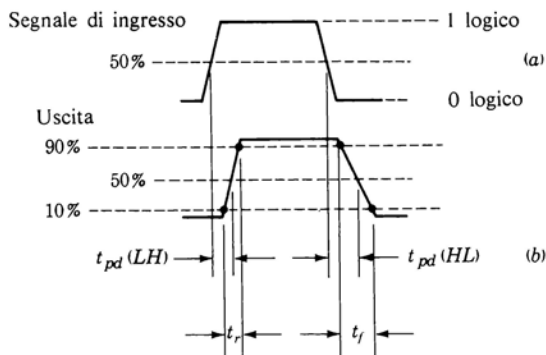


Figura 7.8-1 Ritardo di propagazione e tempi di salita e di discesa.

di base scende di colpo, l'inseguitore di emettitore si interdice e la capacità d'uscita può allora scaricarsi soltanto attraverso il resistore di emettitore, di valore relativamente elevato (1,5 k $\Omega$  in Fig. 7.2-1). Tuttavia, come fra poco vedremo, se il carico capacitivo è modesto, il tempo necessario alla scarica non è eccessivamente lungo, poichè la differenza di tensione fra i due livelli logici è piccola rispetto alla differenza fra i livelli stessi e la tensione di alimentazione.

Consideriamo infatti l'uscita  $OR$  della porta ECL. Inizialmente l'uscita si trova al livello logico **1** con  $V_{o2}(1) = -0,76$  V. Quando l'inseguitore di emettitore ( $T4$  in Fig. 7.2-1) si interdice, l'uscita comincia a scendere, tendendo asintoticamente a  $-V_{EE} = -5,2$  V. Il livello logico **0** viene raggiunto quando la tensione di uscita risulta  $V_{o2}(0) = -1,58$  V. Il tempo  $T$  necessario per passare da un livello logico all'altro è espresso dalla formula

$$T = RC \ln \left[ \frac{V_{o2}(1) - (-V_{EE})}{V_{o2}(0) - (-V_{EE})} \right] \quad (7.8-1)$$

Coi valori dati precedentemente si trova che

$$T \approx 0.2RC \quad (7.8-2)$$

Supponendo un carico capacitivo  $C = 5$  pF, si trova  $T = 1,5$  ns.

Supponiamo allora di avere un segnale di ingresso come in Fig. 7.8-1a. Con un carico sostanzialmente capacitivo sull'uscita della porta, l'uscita  $OR$  verrebbe ad avere l'andamento di Fig. 7.8-1b, con il fronte di discesa meno ripido del fronte di salita. I tempi di propagazione nelle porte ECL si misurano in corrispondenza ad una tensione a metà fra i livelli logici, nel punto indicato in figura con 50%. Si osservi che il tempo di propagazione  $t_{pd}(HL)$  relativo al fronte di discesa dell'uscita è maggiore del tempo di propagazione  $t_{pd}(LH)$  relativo al fronte di salita.

Nella MECL II la capacità di ingresso di una porta vale mediamente circa 3,3 pF. Tenendo conto della capacità dei collegamenti, si può ragionevolmente supporre che ogni porta pilotata dia un contributo di 5 pF alla capacità totale di carico. Senza porte da pilotare si trova che  $t_{pd}(HL)$  e  $t_{pd}(LH)$  sono circa uguali e pari a circa 3,5 ns. Con un fan-out di 20 però, e quindi con una capacità di carico corrispondente di  $5 \times 20 = 100$  pF, la casa costruttrice dice che il tempo  $t_{pd}(LH)$  sale a soli 5 ns circa, mentre  $t_{pd}(HL)$  sale a ben 18 ns circa. Analogamente si trova che con un fan-out uguale a zero i tempi di salita e di discesa  $t_r$  e  $t_f$  (vedi Fig. 7.8-1) sono rispettivamente di 6 e 4 ns. Con un fan-out di 20,  $t_r$  arriva a 8 ns, mentre  $t_f$  arriva a ben 30 ns circa. I tempi  $t_{pd}(HL)$  e  $t_f$  possono essere ridotti, naturalmente, ponendo un resistore esterno in parallelo al resistore di emettitore dell'inseguitore di emettitore d'uscita, a scapito però di un aumento della potenza dissipata. In ogni caso è evidente che se si vuole mantenere l'alta velocità propria delle porte ECL si deve limitare il fan-out.

## 7.9 COMPENSAZIONE TERMICA DELLA POLARIZZAZIONE

In tutta la trattazione precedente si è supposto che la porta lavori alla temperatura di 25 °C. Naturalmente la caratteristica di trasferimento e le altre caratteristiche delle porte ECL dipendono dalla temperatura, come del resto avviene nelle altre famiglie logiche. E, come nelle porte delle altre famiglie logiche, la causa principale di questa dipendenza è la sensibilità alla temperatura della tensione ai capi delle giunzioni base-emettitore polarizzate direttamente.

Per quanto riguarda la dipendenza dalla temperatura di una porta ECL, c'è da fare però un'importante considerazione. Si era fatto notare in precedenza che la porta ECL è progettata in modo che i margini di rumore  $\Delta 1$  e  $\Delta 0$  siano circa uguali. Se la tensione di riferimento  $V_R$  viene mantenuta fissa, la condizione precedente risulta valida solo per una certa determinata temperatura. È tuttavia possibile far dipendere la tensione di riferimento dalla temperatura in modo da assicurare che la simmetria dei margini di rumore si mantenga per un ampio intervallo di temperature. Il circuito di polarizzazione che consente di ottenere questo risultato con le porte MECL II e che spesso è incorporato direttamente nel chip del circuito integrato, è illustrato in Fig. 7.9-1. Analizziamo il suo funzionamento.

Supponendo che i diodi  $D1$  e  $D2$  lavorino con una polarizzazione diretta di 0,75 V alla temperatura  $T = 25$  °C, si trova (trascurando la corrente di base in  $T5$ ) che la tensione di base su  $T5$  è  $-0,425$  V. Supponendo una caduta di tensione di 0,75 V fra base ed emettitore di  $T5$ , si ha che  $V_R = -0,425 - 0,75 = -1,175$  V, come era da aspettarsi.

Supponiamo ora che si verifichi una variazione di temperatura  $\Delta T$ . In questo caso tutte le tensioni sulle giunzioni polarizzate direttamente variano di una quantità  $\delta = -k\Delta T$  (con  $k = 2$  mV/°C). Calcoliamo l'effetto di questa variazione sulla tensione di riferimento  $V_R$  e sui livelli delle tensioni di uscita  $V_o(1)$  e  $V_o(0)$ , corrispondenti all'1 e allo 0 logico dell'uscita OR (si lascia

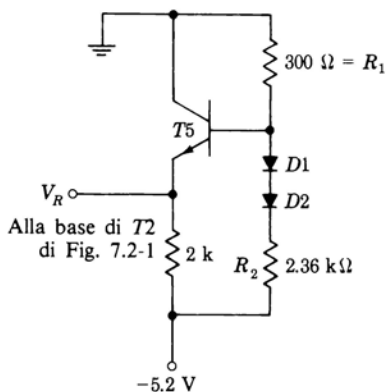


Figura 7.9-1 Circuito per la tensione di riferimento nelle porte ECL.

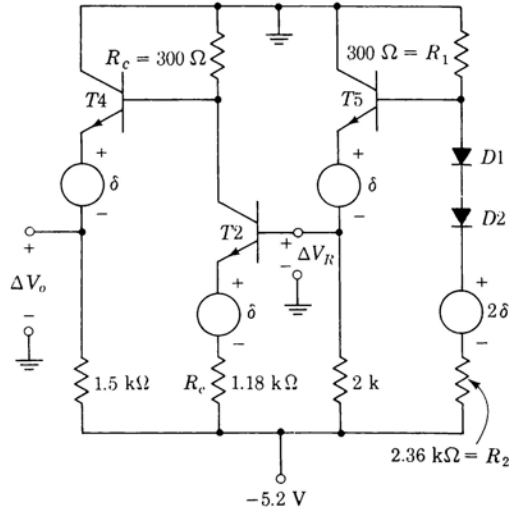


Figura 7.9-2 Circuito equivalente per calcolare l'effetto della variazione della temperatura.

come esercizio il calcolo relativo all'uscita NOR). Il circuito di Fig. 7.9-2 include il circuito di polarizzazione di Fig. 7.9-1 e la parte della porta di Fig. 7.2-1 che fornisce l'uscita OR. Per maggior chiarezza i transistori di Fig. 7.9-2 sono stati indicati come nelle Fig. 7.2-1 e 7.9-1. Sono stati aggiunti anche i generatori ( $\delta$  e  $2\delta$ ) che rappresentano gli incrementi di tensione dovuti alla variazione della temperatura.

Supponendo che il guadagno dell'inseguitore di emettitore (T5) sia unitario, si ottiene per la variazione della tensione di riferimento  $V_R$

$$\begin{aligned}\Delta V_R &= \frac{2\delta R_1}{R_1 + R_2} - \delta = \delta \left( -1 + \frac{2}{1 + R_2/R_1} \right) \\ &= \delta \left( -1 + \frac{2}{1 + 2.36/0.3} \right) \approx -0.77\delta\end{aligned}\quad (7.9-1)$$

Quando T2 conduce, l'uscita si trova al livello logico 0. L'incremento di questo livello risulta essere, usando l'Eq. (7.9-1)

$$\begin{aligned}\Delta V_o(0) &= -\Delta V_R \frac{R_c}{R_e} + \delta \frac{R_c}{R_e} - \delta \\ &= (0.77\delta + \delta) \frac{R_c}{R_e} - \delta \\ &= \left( 1.77 \frac{0.3}{1.18} - 1 \right) \delta = -0.55\delta\end{aligned}\quad (7.9-2)$$

Si noti che le Eq. (7.9-1) e (7.9-2) contengono soltanto rapporti di resistenze. Ciò è importante perchè i rapporti fra resistenze possono essere mantenuti entro tolleranze molto più strette ( $\approx 2\%$ ) che non i valori delle resistenze stesse ( $20\%$ ). Infine, quando  $T_2$  è interdetto e l'uscita si trova al livello logico **1**, l'incremento corrispondente è

$$\Delta V_o(1) = -\delta \quad (7.9-3)$$

Dalle Eq. (7.9-2) e (7.9-3) si può calcolare ora che l'incremento *medio* dei due livelli è

$$\frac{\Delta V_o(1) + \Delta V_o(0)}{2} = \frac{-\delta - 0.55\delta}{2} \approx -0.77\delta \quad (7.9-4)$$

che è uguale all'incremento  $\Delta V_R$  dato dall'Eq. (7.9-1). Così, quando la temperatura varia, il punto medio dell'intervallo fra il livello **0** ed il livello **1** si sposta della stessa quantità di cui è variata la tensione di riferimento  $V_R$ .

Poichè la tensione di riferimento si trova a metà fra i due livelli d'uscita, indipendentemente dalla variazione termica, i margini di rumore  $\Delta 1$  e  $\Delta 0$  rimangono uguali fra loro. Ciò rende pertanto massima l'immunità al rumore anche se essa varia con la temperatura (Prob. 7.9-2). L'analisi precedente trascura l'effetto prodotto dal fan-out. Si può dimostrare però (vedi Prob. 7.9-3) che il risultato ottenuto è relativamente indipendente dal fan-out.

Il circuito di polarizzazione di Fig. 7.9-1 fornisce pure una certa compensazione alle variazioni della tensione di alimentazione  $-V_{EE}$ . Tuttavia questa compensazione non è così efficace come quella per le variazioni di temperatura (vedi Prob. 7.9-5).

## 7.10 VERSATILITÀ LOGICA DELLE PORTE ECL

Come per la logica DTL, è possibile estendere le prestazioni logiche delle porte ECL semplicemente collegando insieme le loro uscite. Per esempio, si può verificare immediatamente che due o più inseguitori di emettitore, con carico comune, costituiscono una porta OR in logica positiva. Quindi se si collegano insieme le uscite di più porte ECL, si ottiene la somma logica (operazione OR) delle uscite. Questa configurazione è perciò chiamata configurazione OR CABLATO.

In Fig. 7.10-1 è illustrato un esempio di struttura OR CABLATO. In Fig. 7.10-1a è indicato il simbolo della porta ECL con l'indicazione di due uscite. Sono però disponibili in commercio anche porte provviste di uscite OR e NOR multiple, onde facilitare i collegamenti con porte successive e consentire un fan-out più elevato. Altre porte sono provviste invece di una sola uscita OR o una sola uscita NOR. La Fig. 7.10-1b illustra una connessione OR CABLATO che interessa sia le uscite OR che le uscite NOR.

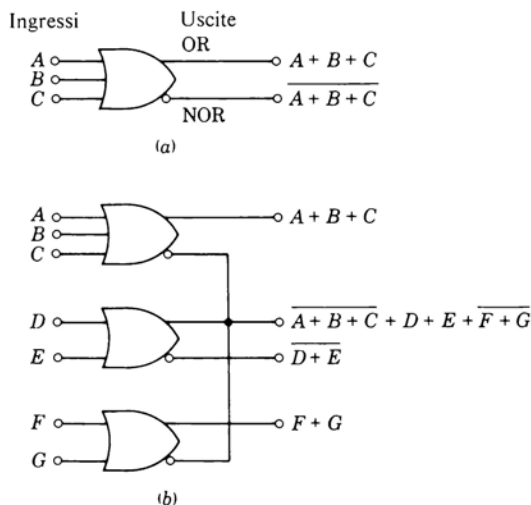


Figura 7.10-1 La connessione OR CABLATO.

## 7.11 LA TENSIONE DI ALIMENTAZIONE NEGATIVA

Nelle porte RTL, DTL e TTL il terminale negativo dell'alimentazione è posto a massa. Nelle porte ECL, come si è visto, è norma porre a massa il terminale positivo dell'alimentazione. Consideriamo i vantaggi che questa disposizione porta ai circuiti ECL.

Accantoniamo per un momento la questione del collegamento a massa ed apriamo una parentesi. In Fig. 7.11-1 abbiamo disegnato una porta ECL. (Per semplificare il disegno abbiamo ommesso la parte del circuito relativa all'uscita  $NOR$ . Questa semplificazione però non inficia il ragionamento.) Alla porta è stata applicata una tensione di alimentazione  $V_{CC}$ . Finora abbiamo sempre considerato come tensione d'uscita della porta la tensione  $V_o$  presa fra l'emettitore di  $T_4$  ed il polo positivo dell'alimentazione. Tuttavia si vede immediatamente che le cose non cambierebbero sostanzialmente se scegliessimo come tensione di uscita la tensione  $V'_o$  presa fra l'emettitore ed il polo negativo dell'alimentazione. Infatti, per quanto riguarda il segnale, cioè le variazioni di tensione, il polo positivo ed il polo negativo sono elettricamente lo stesso punto.

Proseguendo però il discorso, si noti che i collegamenti a  $V_{CC}$  vengono a formare delle maglie chiuse (una delle quali è indicata in Fig. 7.11-1a), con le quali può concatenarsi il flusso magnetico prodotto dalle correnti del circuito stesso o dalle correnti di circuiti vicini. Questo flusso, variando, produce un campo elettromagnetico nelle maglie comprendenti  $V_{CC}$ . Si dovrebbero allora

inserire nel circuito di alimentazione delle autoinduttanze e delle mutue induttanze (distribuite), che tengano conto dell'effetto del campo elettromagnetico. Oppure, il che è lo stesso, si inserisce, come si è fatto in Fig. 7.11-1b, in serie all'alimentazione un generatore di «rumore»  $V_n$ , che tenga conto di tutte le tensioni indotte. Considerare  $V_n$  come rumore non è sbagliato, poichè queste tensioni indotte sono casuali ed imprevedibili. Una sorgente di rumore rappresentabile da  $V_n$  è la seguente. Supponiamo che l'alimentazione di Fig.

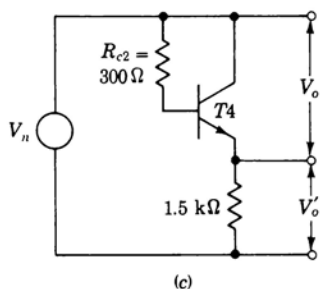
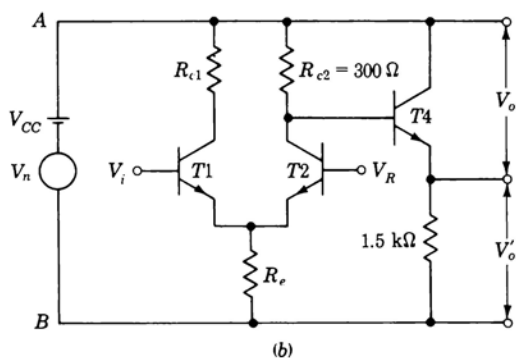
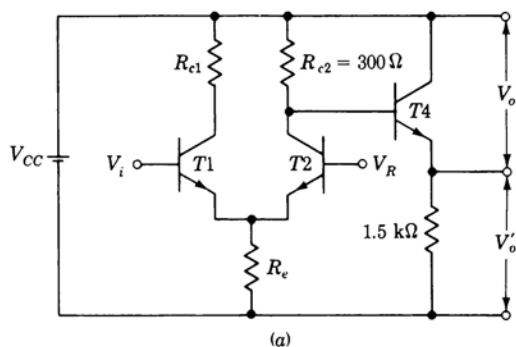


Figura 7.11-1 L'alimentazione negativa minimizza i disturbi esterni.



7.11-1 non alimenti soltanto la porta rappresentata in figura, ma anche altri circuiti. Poichè questi circuiti devono anch'essi rispondere alle variazioni logiche applicate ai rispettivi ingressi, le correnti che essi assorbono dall'alimentazione subiscono variazioni più o meno transitorie. A causa delle induttanze o anche solo dell'impedenza non nulla dell'alimentazione stessa, queste correnti generano tensioni che possono essere correttamente rappresentate da  $V_n$ .

A questo punto è chiaro che i due poli  $A$  e  $B$  dell'alimentazione non sono più equivalenti come pure non lo sono  $V_o$  e  $V'_o$ . Le tensioni  $V_o$  e  $V'_o$  rifletteranno il rumore in proporzione diversa. Per esempio, supponiamo  $T2$  interdetto. Allora per calcolare  $V_o$  e  $V'_o$  riferiamoci al circuito di Fig. 7.11-1c. L'impedenza fra collettore ed emettitore di  $T4$  è  $R_{c2}/(h_{FE} + 1) = 300/100 = 3 \Omega$  con  $h_{FE} = 99$ . Quindi  $V_o = (3/1.500)V_n = 0,002V_n$  mentre  $V'_o = (1.500/1.503)V_n \approx V_n$ . [Viene lasciato come esercizio (Prob. 7.11-2) il calcolo relativo al caso in cui  $T2$  conduce]. È chiaro che in questo caso è più vantaggioso considerare come uscita  $V_o$  anziché  $V'_o$ .

È ben noto che se si fa lavorare un circuito in prossimità di una massa metallica, è bene collegare elettricamente la massa ad un nodo comune del circuito. La massa metallica viene allora considerata come la massa elettrica del circuito e viene a costituire una prima schermatura, anche se non viene fisicamente interposta fra gli elementi circuitali da schermare. Questa massa è il più delle volte il telaio che sopporta il circuito e di solito comprende anche il contenitore in cui viene alloggiata l'intera unità. È inoltre regola molto comune (anche se non necessariamente generale) collegare a massa nei generatori di segnale uno dei terminali d'uscita e negli strumenti di misura (oscilloscopi a raggi catodici, ecc.), uno dei terminali di ingresso. Questa disposizione presenta il vantaggio che, quando si collegano fra di loro diverse unità, i telai, i contenitori, gli armadi, ecc. vengono a costituire un insieme elettricamente interconnesso.

Tornando alla porta ECL, è chiaro che siamo liberi di mettere a massa il polo positivo o il polo negativo dell'alimentazione. I due casi, dal punto di vista della schermatura, sono equivalenti. Tuttavia si è visto che conviene usare il polo positivo dell'alimentatore come uno dei terminali d'uscita della porta; avendo visto altresì la convenienza di collegare a massa uno dei terminali di uscita, si comprende finalmente la ragione del collegamento a massa del polo positivo di  $V_{CC}$ .

Un secondo motivo, anche se meno sofisticato, per preferire il collegamento a massa normalmente usato nella ECL è costituito dal pericolo di un corto-circuito accidentale fra l'uscita di una porta e massa. Col polo positivo dell'alimentazione a massa, come in Fig. 7.11-1, il corto-circuito porta tutta la tensione di alimentazione di 5,2 V ai capi del resistore di emettitore da 1,5 k $\Omega$  dell'inseguitore di emettitore di uscita. La porta è in grado di tollerare in questo modo il corto-circuito. Nel caso opposto, con il polo negativo dell'alimen-

tazione a massa, un corto-circuito fra l'uscita della porta e massa porterebbe tutta la tensione di alimentazione ai capi del transistor d'uscita e contemporaneamente sulla sua base attraverso  $R_{c1}$  o  $R_{c2}$  (290 o 300  $\Omega$ ). Questo corto-circuito provocherebbe un immediato surriscaldamento e la distruzione del transistor  $T4$ .

## 7.12 TRASLAZIONE DEI LIVELLI

In molte applicazioni è necessario connettere insieme porte appartenenti a due famiglie logiche diverse, come l'ECL e la TTL (o la DTL). Un esempio è costituito dalla moltiplicazione a divisione di tempo, processo che consente di comporre  $M$  segnali digitali in un segnale digitale unico. Anche se la velocità di bit di ciascuno degli  $M$  segnali è tale da consentire l'impiego della TTL, la velocità di bit del segnale composto è  $M$  volte più elevata e può richiedere l'impiego della ECL.

**Traslazione dei livelli dalla logica saturata alla logica ECL** In Fig. 7.12-1 è illustrato lo schema dell'unità logica che consente l'interfacciamento fra la lo-

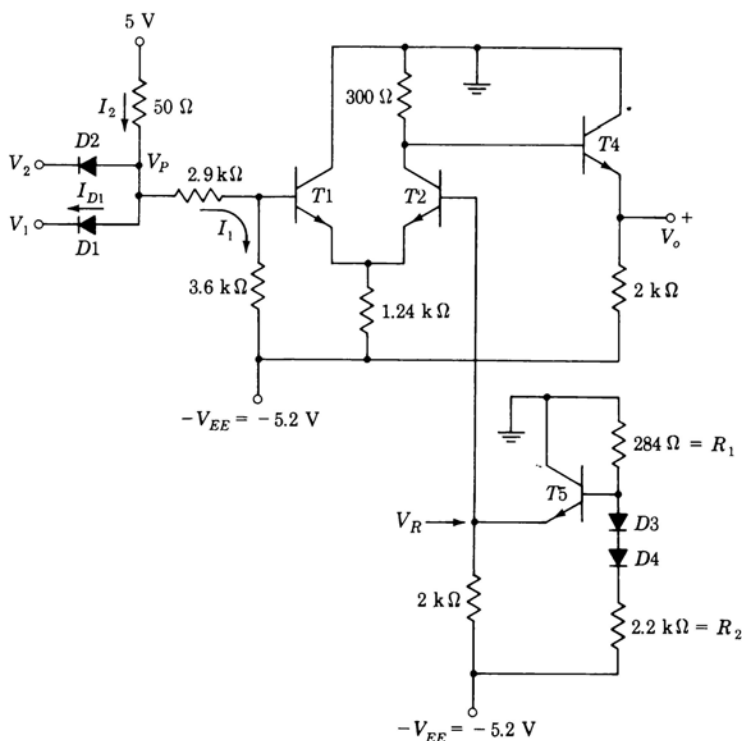


Figura 7.12-1 Traslatore di livelli da logica saturata a ECL.

gica saturata (TTL o DTL) e l'ECL. Il circuito comprendente  $T1$ ,  $T2$  e  $T4$  è la porta ECL priva dell'uscita NOR ( $T3$  in Fig. 7.2-1). I valori dei componenti sono lievemente diversi da quelli del circuito di Fig. 7.2-1. Il resistore di collettore di  $T1$  è stato eliminato poichè dal collettore di  $T1$  non viene prelevato alcun segnale. Ciò garantisce che  $T1$  non potrà mai andare in saturazione. La parte di circuito di cui fa parte  $T5$  fornisce la tensione di riferimento compensata termicamente. Quando si lavora con un solo segnale di ingresso, uno dei diodi di ingresso viene portato a 5 V ed è perciò interdetto. Quando ci sono due segnali d'ingresso, il circuito, oltre ad effettuare la traslazione dei livelli di tensione, realizza anche l'operazione AND, come si può verificare facilmente. I livelli di  $V_1$  e  $V_2$  nella logica saturata sono  $V_{ol} \approx 0,2$  V e  $V_{oh} \approx 3,5$  V (per la TTL; nella DTL i livelli sono di solito più alti). Si lascia come esercizio (Prob. 7.12-1) verificare che queste due tensioni, corrispondenti rispettivamente allo 0 e all'1 logico, producono sulla base di  $T1$  tensioni corrispondenti all'1 logico e allo 0 logico della ECL. In pratica la traslazione viene effettuata dai diodi di ingresso e dai tre resistori inseriti fra +5 e -5,2 V. Il resto del circuito provvede alla compensazione termica e a fornire un fan-out elevato.

La caratteristica di trasferimento del traslatore di livelli di Fig. 7.12-1 è rappresentata in Fig. 7.12-2.

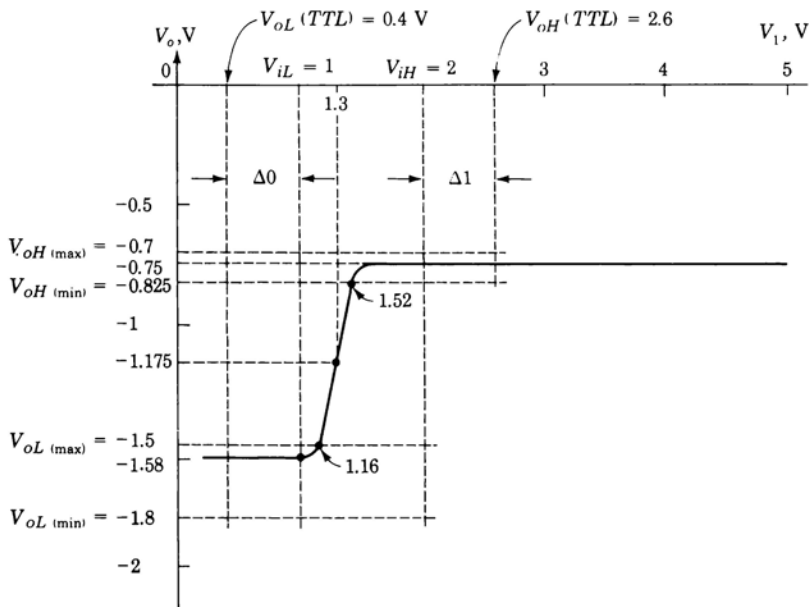


Figura 7.12-2 Caratteristica di trasferimento del traslatore di Fig. 7.12-1.  $V_{iL} = 1$  V e  $V_{iH} = 2$  V sono le specifiche fornite dal costruttore per il traslatore.

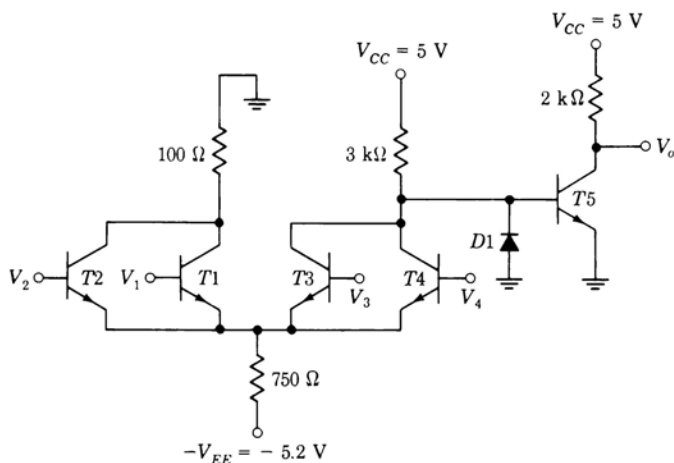


Figura 7.12-3 Traslatore ECL-logica saturata.

**Traslazione dei livelli dalla ECL alla logica saturata** In Fig. 7.12-3 è illustrato un traslatore di livelli dalla ECL alla logica saturata. Questo circuito può lavorare sia come OR che come NOR. Per ottenere la funzione NOR,  $V_4$  viene collegato alla tensione di riferimento  $V_R$  e  $V_3$  viene portato allo 0 logico. Allora  $V_o = V_1$  NOR  $V_2$ . Analogamente se  $V_2$  viene collegato alla tensione di riferimento  $V_R$  e  $V_1$  viene portato allo 0 logico,  $V_o = V_3$  OR  $V_4$ .

Il funzionamento del traslatore è piuttosto semplice; la traslazione viene fatta sul collettore dei transistori  $T4$  e  $T3$ , la cui resistenza di collettore viene riportata ai 5 V anziché a massa. Il diodo  $D1$  viene inserito, come nella TTL, per smorzare qualsiasi oscillazione del circuito. I calcoli particolareggiati e la determinazione della funzione di trasferimento vengono lasciati come esercizio.

### 7.13 CONNESSIONI FRA PORTE ECL

Una coppia di fili, uno spezzone di cavo coassiale, ecc., usati per interconnettere coppie di terminali devono essere considerati, almeno in linea di principio, come costituenti uno spezzone di linea di trasmissione. Lo studio della propagazione dei segnali lungo le linee di trasmissione viene svolto nell'Appendice A. Le interconnessioni assumono le caratteristiche di linea di trasmissione quando si lavora con segnali che presentano tempi di transizione fra i livelli logici confrontabili con il tempo di propagazione lungo la linea. Quando invece i tempi di transizione sono lunghi rispetto al tempo di propagazione lungo la linea, la linea può essere rappresentata con buona approssimazione con un circuito a parametri concentrati.

Consideriamo ora il collegamento fra l'uscita di una porta ECL (pilota) e l'ingresso di un'altra porta ECL (pilotata). L'inseguitore di emettitore pilota presenta un'impedenza di uscita bassa ( $< 10 \Omega$ ), mentre l'impedenza di ingresso della porta pilotata può essere anche dell'ordine di molte migliaia di ohm. Nell'Appendice A viene determinata l'impedenza caratteristica dei collegamenti normalmente utilizzati nei circuiti elettronici. Questa impedenza varia da alcune decine ad alcune centinaia di ohm. Quindi, come indicato in Fig. 7.13-1a, il collegamento fra le due porte può ragionevolmente essere rappresentato mediante una linea di trasmissione con tempo di ritardo, da un estremo all'altro,  $t_d$  ed impedenza caratteristica  $R_0$ . La terminazione all'estremità di trasmissione è costituita dalla resistenza  $R_s \ll R_0$  e la terminazione all'estremità di ricezione dalla resistenza  $R \gg R_0$ .

Se il segnale di ingresso alla linea  $V_i$  compie una brusca transizione fra i livelli di tensione, come indicato dalla forma d'onda a tratteggio di Fig. 7.13-1b, la forma d'onda d'uscita  $V_o$  risulta costituita dall'oscillazione smorzata rappresentata in figura a tratto continuo. Risulta così evidente che una transizione dell'uscita della porta pilota dal livello logico 0 al livello logico 1 può essere interpretata dalla porta pilotata come una successione di diverse transizioni. Se viceversa il segnale d'ingresso compie la sua transizione in un tempo piuttosto lungo rispetto a  $t_d$ , allora, come indicato in Fig. 7.13-1c, l'uscita riesce a seguire l'ingresso in modo più fedele; le oscillazioni di  $V_o$  intorno a  $V_i$  non sono più così pronunciate come nel caso precedente.

Avevamo già notato oscillazioni del tipo di quelle di Fig. 7.13-1b in relazione alle porte TTL (vedi Par. 6.12). Con le porte ECL il problema si presenta ancora più grave a causa della loro maggiore velocità di funzionamento. Nella ECL i tempi di transizione fra i livelli logici possono essere dell'ordine di 1 ns. A seconda della costante dielettrica dell'isolante usato come supporto delle linee, ritardi di 1 ns si riscontrano già in linee lunghe da 4 a 6 pollici.

Le oscillazioni sono eliminabili se si termina la linea alla sua estremità di ricezione con una resistenza pari alla sua impedenza caratteristica. In mancanza di tale terminazione, una variazione logica dell'ingresso, con un determinato tempo di salita, genera un'oscillazione che risulta tanto più pronunciata quanto più lunga è la linea. Per questo motivo i costruttori generalmente forniscono specifiche sulla lunghezza massima consentita per le linee senza terminazione. Questa lunghezza massima dipende dal tempo di salita, dal fan-out, dall'impedenza caratteristica della linea e dal ritardo di propagazione per lunghezza unitaria della linea. Per esempio, la serie MECL 10.000 della Motorola, che ha un tempo di salita di 3,5 ns, consente, con una linea a *microstrip* con  $R_0 = 50 \Omega$  e con un fan-out di 1, una lunghezza massima di 8,3 pollici. Per la MECL III della Motorola, che ha un tempo di salita di 1 ns, la lunghezza massima della linea, usando una *microstrip* con  $R_0 = 100 \Omega$ , è di soli 0,1 pollici, se il fan-out è di 8.

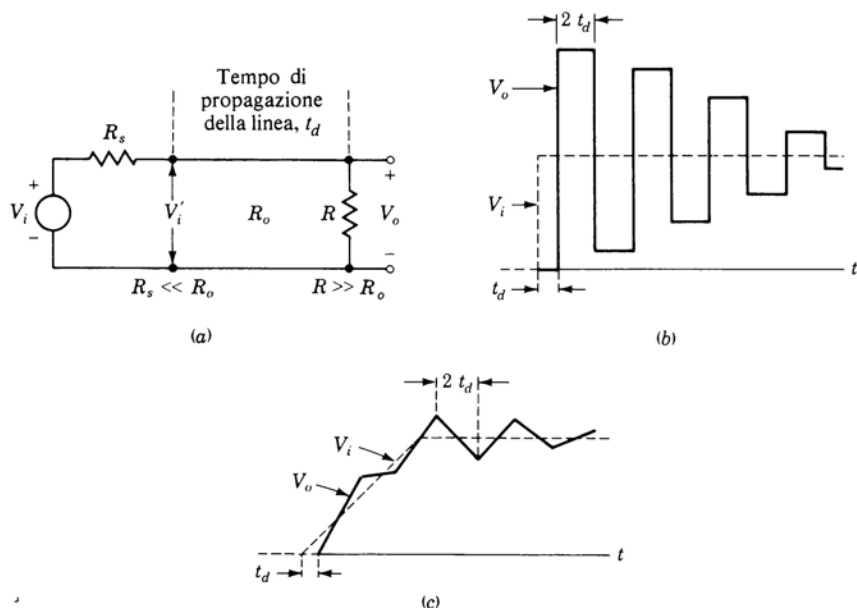


Figura 7.13-1 (a) Linea con tempo di ritardo  $t_d$  e impedenza caratteristica  $R_o$ . La linea è terminata al terminale di trasmissione da  $R_s \ll R_o$  e al terminale di ricezione da  $R \gg R_o$ . (b) La risposta dell'uscita ad un gradino in ingresso. (c) La risposta ad una rampa in ingresso che sale con un tempo di salita elevato rispetto a  $t_d$ .

In Fig. 7.13-2 è rappresentato il collegamento fra due porte mediante una linea di trasmissione. In questo caso si è usata una linea da  $50\ \Omega$  con terminazione adattata. Per quanto concerne il funzionamento in continua, un'estremità del resistore di terminazione risulta collegato all'emettitore dell'inseguitore di emettitore d'uscita della porta pilota. Se il valore del resistore di terminazione fosse più elevato, si potrebbe collegare l'altra sua estremità all'alimentazione di  $-5,2\text{ V}$ . Così facendo, il resistore di terminazione verrebbe a trovarsi in parallelo alla resistenza di emettitore dell'inseguitore d'uscita della porta pilota. Nel nostro caso però, per il basso valore della resistenza di terminazione, un collegamento di questo tipo farebbe passare una corrente eccessiva nell'inseguitore d'uscita con conseguente eccessiva dissipazione sia nel transistor che nel resistore di terminazione. Per evitare questo inconveniente il resistore di terminazione viene invece collegato ad una tensione di terminazione ausiliaria  $V_T$ , che di solito viene presa pari a  $-2\text{ V}$ , come indicato in Fig. 7.13-2a. Se si preferisce non usare due alimentazioni separa-

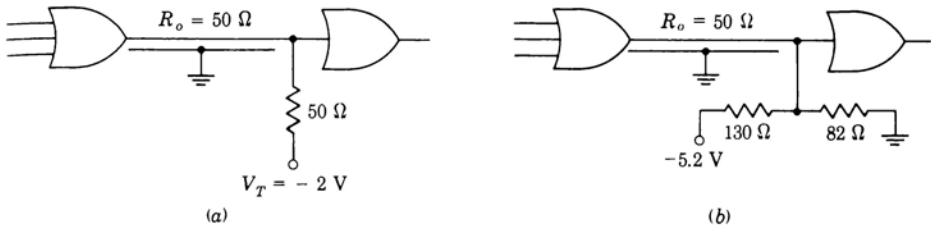


Figura 7.13-2 (a) Collegamento di porte mediante linea di trasmissione adattata e con tensione di alimentazione ausiliaria  $V_T$  alla terminazione. (b) Disposizione che evita l'uso della tensione ausiliaria.

te, si può ricorrere alla configurazione circuitale di Fig. 7.13-2b. Come si può facilmente verificare, l'alimentazione di  $-5,2$  V ed i due resistori da  $130 \Omega$  e  $82 \Omega$  equivalgono, secondo il teorema di Thevenin, ad una tensione di  $-2$  V in serie ad una resistenza di  $50 \Omega$ . Questa configurazione limita la corrente nell'inseguitore di emettitore d'uscita, ma a spese di una considerevole dissipazione nei resistori aggiunti. Facciamo presente che nelle porte ECL veloci, con le quali è praticamente obbligatorio l'impiego di una terminazione del tipo di quella di Fig. 7.13-2, i costruttori spesso omettono il resistore di emettitore nella porta pilota. In ogni caso la corrente assorbita dalle terminazioni costituisce una parte della corrente d'uscita che non è più disponibile per il pilotaggio di altre porte e che quindi deve essere tenuta in conto nel calcolo del fan-out.

In Fig. 7.13-3 sono illustrati due modi secondo cui possono venire connesse le porte ECL. In Fig. 7.13-3a tutte le porte pilotate sono disposte in parallelo, fisicamente molto vicine le une alle altre, all'estremità di ricezione di una linea di trasmissione adattata. In Fig. 7.13-3b la porta pilota alimenta tre linee di trasmissione, di cui due sono disadattate ed una adattata. La lunghezza delle linee disadattate deve rispettare i valori indicati dal costruttore. In una configurazione come quella di Fig. 7.13-3b, ad esempio, si trova, con porte MECL III e linea a microstrip da  $50 \Omega$ , che la linea disadattata con fan-out uguale ad 1 non può essere lunga più di 1,6 pollici. L'altra linea disadattata, con fan-out di 4 e carico distribuito in modo nominalmente uniforme lungo la linea, può al massimo presentare una lunghezza di 0,7 pollici.

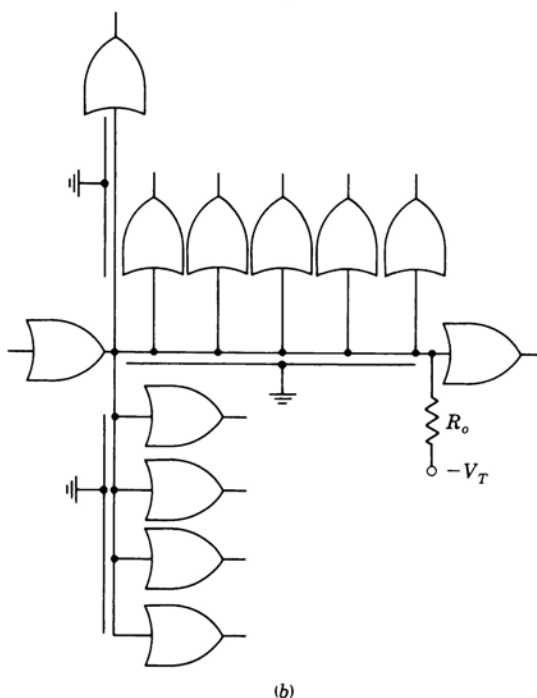
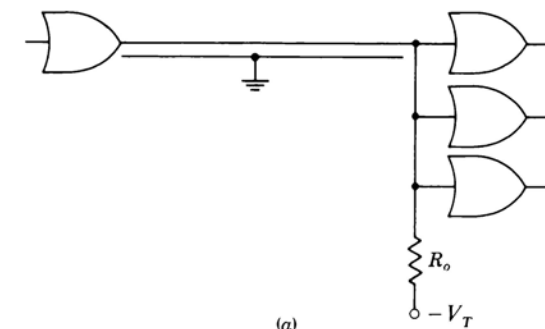
In Fig. 7.13-3b i carichi alimentati dalla linea adattata sono distribuiti lungo la linea. Questo tipo di connessione del carico viene analizzata nell'esempio seguente.

**ESEMPIO 7.13-1** La linea adattata di Fig. 7.13-3b è lunga 9 pollici e pilota 6 porte distanziate fra di loro di 1,5 pollici a partire dall'estremità di ingresso della linea. La linea presenta una capacità per u-

nità di lunghezza  $C = 2 \text{ pF/pollice}$  ed una induttanza per unità di lunghezza  $L = 0.02 \text{ } \mu\text{H/pollice}$ . La capacità di ingresso di ogni singola porta è  $5 \text{ pF}$ . Calcolare il valore del resistore di terminazione richiesto per la linea.

**SOLUZIONE** Tramite l'Eq. (A.1-4) si trova che l'impedenza caratteristica della linea è

$$R_0 = \sqrt{\frac{L}{C}} = \sqrt{\frac{0.02 \times 10^{-6}}{2 \times 10^{-12}}} = 100 \text{ } \Omega$$



**Figura 7.13-3** Collegamenti fra porte ECL: (a) le porte pilotate sono concentrate alla fine della linea adattata; (b) le porte sono distribuite lungo la linea adattata e la linea non adattata.



Le sei porte presentano una capacità totale di ingresso pari a  $6(5) = 30$  pF. Poiché la linea è lunga 9 pollici, le porte comportano una capacità aggiuntiva per unità di lunghezza  $C' = 30/9 = 3,3$  pF/pollice. Se questa capacità aggiuntiva fosse distribuita uniformemente lungo la linea, l'impedenza della linea sarebbe fornita esattamente dalla Eq. (A.1-4), con  $C$  data da  $C + C'$ . In realtà, anche se la situazione non è esattamente questa, possiamo usare ugualmente questa formula senza incorrere in un grosso errore. Si trova allora

$$R_0 = \sqrt{\frac{0.02 \times 10^{-6}}{5.3 \times 10^{-12}}} = 61 \Omega$$

Il ritardo di propagazione per unità di lunghezza [cioè l'inverso della velocità nell'Eq. (A.1-5)] è

$$t_{pd} = \sqrt{L(C + C')} = \sqrt{(0.02 \times 10^{-6})(5.3 \times 10^{-12})} \approx 0.3 \text{ ns/pollice}$$

**Terminazione serie** Una linea terminata alla sua estremità di ricezione viene detta *linea terminata in parallelo*, poichè, come si può vedere in Fig. 7.13-1, il resistore  $R$  di adattamento è inserito in parallelo alla linea. È anche possibile adattare una linea alla sua estremità di ingresso, ponendo  $R_s = R_0$  in Fig. 7.13-1; in questo caso si parla di *linea terminata in serie*. È possibile realizzare praticamente questo tipo di adattamento poichè l'impedenza di uscita di una porta (vedi Fig. 7.2-1) vale all'incirca  $R_{c2} / h_{FE} = 300/50 = 6 \Omega$ ; si è fatto notare che l'impedenza caratteristica è compresa fra  $50 \Omega$  e diverse centinaia di ohm. Per realizzare l'adattamento basta inserire quindi un resistore  $R_s$  in serie all'uscita della porta pilota, come indicato in Fig. 7.13-4. Si osservi che l'adattamento serie presenta il vantaggio di non richiedere alcuna alimentazione ausiliaria. Per contro, il resistore serie limita la corrente d'uscita disponibile ed abbassa quindi il fan-out a circa 10.

Nel caso in cui le porte da pilotare siano distribuite lungo una linea terminata in parallelo, possono sorgere alcune difficoltà dovute al fatto che i segnali della porta pilota giungono alle diverse porte pilotate in istanti differenti. Naturalmente anche nelle linee terminate in serie si manifestano gli stessi problemi. Con quest'ultimo tipo di terminazione sorge poi un altro problema, che non si manifesta nella linea con terminazione parallelo. Supponiamo che in Fig. 7.13-1a  $R_s = R_0$ ,  $R = \infty$  e  $V_i$  presenti l'andamento di Fig. 7.13-5a; cioè

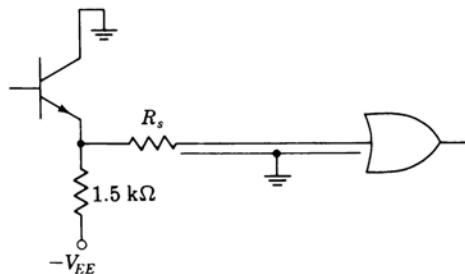


Figura 7.13-4 Linea adattata alla sua terminazione di ingresso.

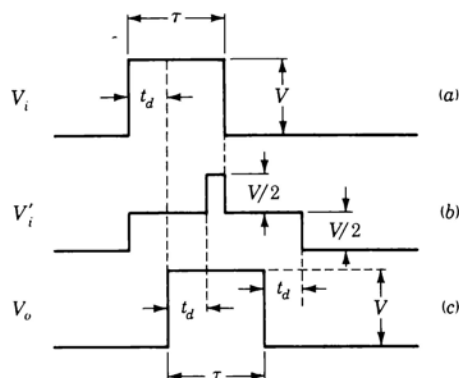


Figura 7.13-5 (a) Un impulso di durata  $T$  è applicato ad una linea adattata alla sua estremità di ingresso e aperta alla sua estremità di ricezione. Sono mostrate anche le forme d'onda (b) all'estremità di ingresso e (c) all'estremità di ricezione della linea.

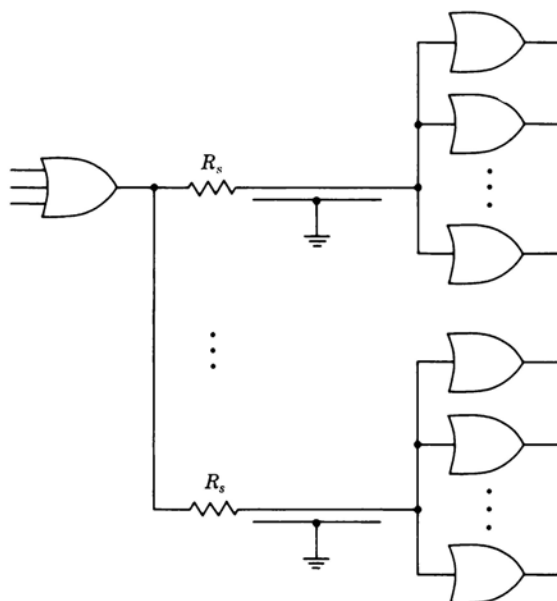


Figura 7.13-6 Diverse linee con adattamento serie per ottenere un fan-out elevato.

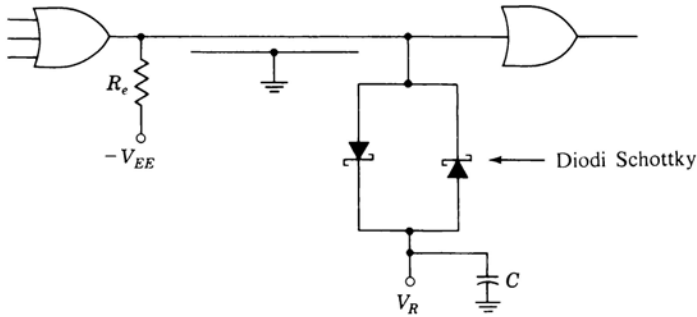


Figura 7.13-7 Terminazione a diodi di una linea.

la porta pilota commuti ad un certo istante la sua uscita e mantenga la nuova condizione soltanto per un intervallo  $\tau$ . Supponiamo inoltre che una delle porte pilotate si trovi all'estremità di ingresso della linea dove la tensione è  $V'_i$ . Si lascia come esercizio (Prob. 7.13-3) verificare che la forma d'onda di ingresso e la forma d'onda al termine della linea sono quelle indicate in Fig. 7.13-5. Abbiamo preso  $\tau = 2,5t_d$ , dove  $t_d$  è il ritardo di propagazione da un'estremità all'altra della linea. Si noti che il nuovo livello di  $V_o$  dopo la commutazione si mantiene per la stessa durata  $\tau$  di  $V_i$ , anche se fra le due forme d'onda esiste un ritardo pari a  $t_d$ . Per contro in  $V'_i$  il valore pieno del nuovo livello viene mantenuto soltanto per l'intervallo  $\tau - 2t_d$  a partire dall'istante  $2t_d$ . Se fosse  $\tau < 2t_d$ ,  $V'_i$  non potrebbe mai raggiungere il valore pieno del nuovo livello. Questo inconveniente può venire evitato rendendo molto piccola l'interspaziatura fra le varie porte pilotate rispetto alla loro distanza dall'estremità di trasmissione. Quando si devono pilotare numerose porte, si rivela molto efficace la disposizione di Fig. 7.13-6. Si dispongono cioè diverse linee in parallelo, ciascuna con la sua terminazione serie.

**Terminazione a diodi** Un altro sistema che consente di eliminare le oscillazioni è illustrato in Fig. 7.13-7. Questo sistema non è altro che un'estensione piuttosto ovvia dell'impiego dei diodi di ingresso visto per le porte TTL. Naturalmente qui vengono impiegati diodi Schottky. Si è visto che i livelli di tensione nelle porte ECL sono simmetrici rispetto alla tensione di riferimento (vedi Fig. 7.6-1). I diodi perciò vengono collegati alla tensione di riferimento. I diodi Schottky, presentando una tensione di soglia  $V_\gamma \approx 0,3$  V, consentono alla tensione di linea di variare fra i livelli  $V_R \pm V_\gamma$ , mentre tagliano di netto le oscillazioni che escono da questa fascia.

**Linee a coppia di fili intrecciati** Un secondo problema che interessa la trasmissione con porte ECL è rappresentato dalla *diafonia*, cioè dall'accoppia-

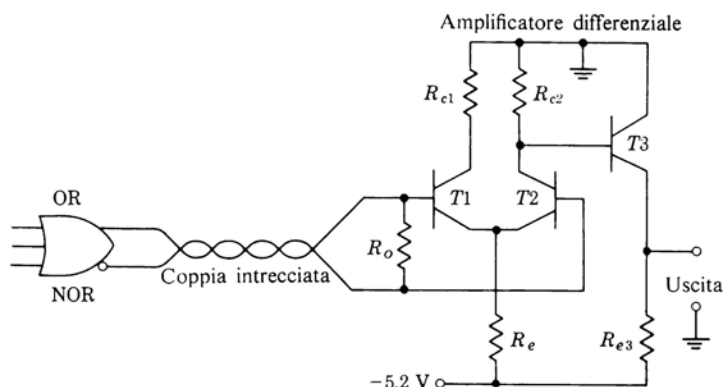


Figura 7.13-8 Trasmissione in ECL mediante coppia di fili intrecciati.

mento indesiderato di segnali fra linee diverse. A causa della loro elevata velocità, i segnali possono passare per accoppiamento da una linea all'altra attraverso le capacità e le mutue induttanze parassite. Naturalmente la diafonia può venire ridotta impiegando cavi coassiali; questi però hanno il difetto di essere ingombranti e di non consentire facili allacciamenti distribuiti delle porte di carico.

Una caratteristica delle porte ECL che viene sfruttata per sopprimere la diafonia è costituita dalle due uscite (OR e NOR) di cui le porte sono provviste. Queste uscite forniscono segnali uguali ma di polarità opposta. Ogni volta che su di un'uscita si verifica una transizione di tensione, sull'altra si verifica una transizione di tensione uguale ed opposta. È possibile sfruttare vantaggiosamente questa caratteristica, come indicato in Fig. 7.13-8. Il segnale *differenza* preso fra l'uscita OR e l'uscita NOR viene trasmesso tramite una coppia di fili intrecciati ad un amplificatore *differenziale*. Questa tensione differenziale presenta un'ampiezza che è nominalmente il doppio di quella dei segnali disponibili separatamente sulle uscite OR e NOR. Le case costruttrici forniscono un amplificatore differenziale apposito, che prende il nome di *ricevitore*. Il fatto che i fili di trasmissione siano intrecciati fa sì che essi si mantengano vicini l'uno all'altro e che la loro posizione reciproca si inverta ad intervalli regolari. Quindi un qualsiasi segnale indotto in un'altra linea da uno dei due fili è sempre accompagnato da un segnale uguale ed opposto indotto dall'altro filo della coppia. Pertanto la diafonia prodotta dalla coppia di fili intrecciati su di un'altra linea risulta minimizzata. Analogamente i segnali indotti nella coppia di fili intrecciati da altre linee appaiono all'amplificatore differenziale come segnali di *modo comune* e pertanto vengono fortemente attenuati all'u-

scita. Naturalmente, come è indicato in figura, la linea a coppia di fili intrecciati deve venire adattata alla sua estremità di ricezione. La coppia di fili intrecciati viene impiegata su distanze di molti piedi e per distribuire segnali comuni (come segnali di clock) utilizzati in punti diversi del sistema. In genere nei vari punti in cui avviene il prelevamento dei segnali si richiede l'impiego di un ricevitore.

#### **BIBLIOGRAFIA**

- 1 Blood, W. R., Jr.: «MECL System Design Handbook» Motorola Semiconductor Products, Inc Phoenix Ariz., October 1971.



## CAPITOLO 8

# PORTE MOS

Anche i transistori MOS, come i transistori a giunzione bipolare (BJT), trovano applicazione nelle porte logiche. In questo capitolo considereremo il funzionamento delle porte a PMOS (a canale  $p$ ), a NMOS (a canale  $n$ ) ed a CMOS (a simmetria complementare). Le porte a CMOS sono diventate rapidamente le più diffuse a causa del loro minor consumo di potenza, del loro più breve ritardo di propagazione e dei loro più brevi tempi di salita e di discesa.

### 8.1 EQUAZIONI ANALITICHE DEI MOSFET

Nel MOSFET, per definizione, i portatori di carica si muovono dal *source* verso il *drain*. Pertanto in un dispositivo a canale  $n$ , in cui i portatori sono negativi, la direzione convenzionale della corrente all'interno del dispositivo va dal drain al source. Il drain risulta così positivo rispetto al source, cioè  $V_{DS}$  è positiva così come è positiva la corrente  $I_{DS}$ . In Fig. 8.1-1 sono illustrate caratteristiche tipiche di MOSFET a canale  $n$ . In Fig. 8.1-1a e -1b le caratteristiche si riferiscono ad un MOSFET ad *arricchimento* (*enhancement*). In questo dispositivo in corrispondenza a  $V_{GS} = 0$  V non esiste canale fra source e drain. Fra drain e source non passa alcuna corrente  $I_{DS}$  finché la tensione gate - source non supera la tensione di soglia  $V_T$ . La polarità di questa tensione di soglia è la stessa di quella della tensione normalmente applicata al drain. Pertanto in un dispositivo a canale  $n$ , in cui  $V_{DS}$  è positiva, anche  $V_T$  positiva ed il canale si forma quando  $V_{GS} > V_T$ .

In un dispositivo a canale  $p$ , in cui i portatori sono positivi, sono la  $V_{SD}$  e la  $I_{SD}$  (anziché la  $V_{DS}$  e la  $I_{DS}$ ) ad essere positive. Inoltre il canale si forma, consentendo il passaggio della corrente  $I_{SD}$ , quando la tensione  $V_{SG}$  fra source e gate (anziché  $V_{GS}$ ) supera la tensione positiva di soglia  $V_T$ , cioè quando  $V_{SG} > V_T$ . Il simbolo  $V_T$  è usato con due diversi significati. In un dispositivo a canale  $n$ ,  $V_T$  è definito come un particolare valore di  $V_{GS}$  mentre in un dispositivo a canale  $p$ ,  $V_T$  rappresenta un particolare valore di  $V_{SG}$ . Nei casi in cui potrebbero sorgere confusioni useremo invece i simboli  $V_T(n)$  e

$V_T$  (p). Il simbolismo che abbiamo adottato consente di evitare l'inconveniente di usare il segno negativo ed il segno di valore assoluto.

In Fig. 8.1-1c e d sono illustrate le caratteristiche di un transistor a *svuotamento* (depletion) a canale *n*. In questo caso per  $V_{GS} = 0$  il canale è già

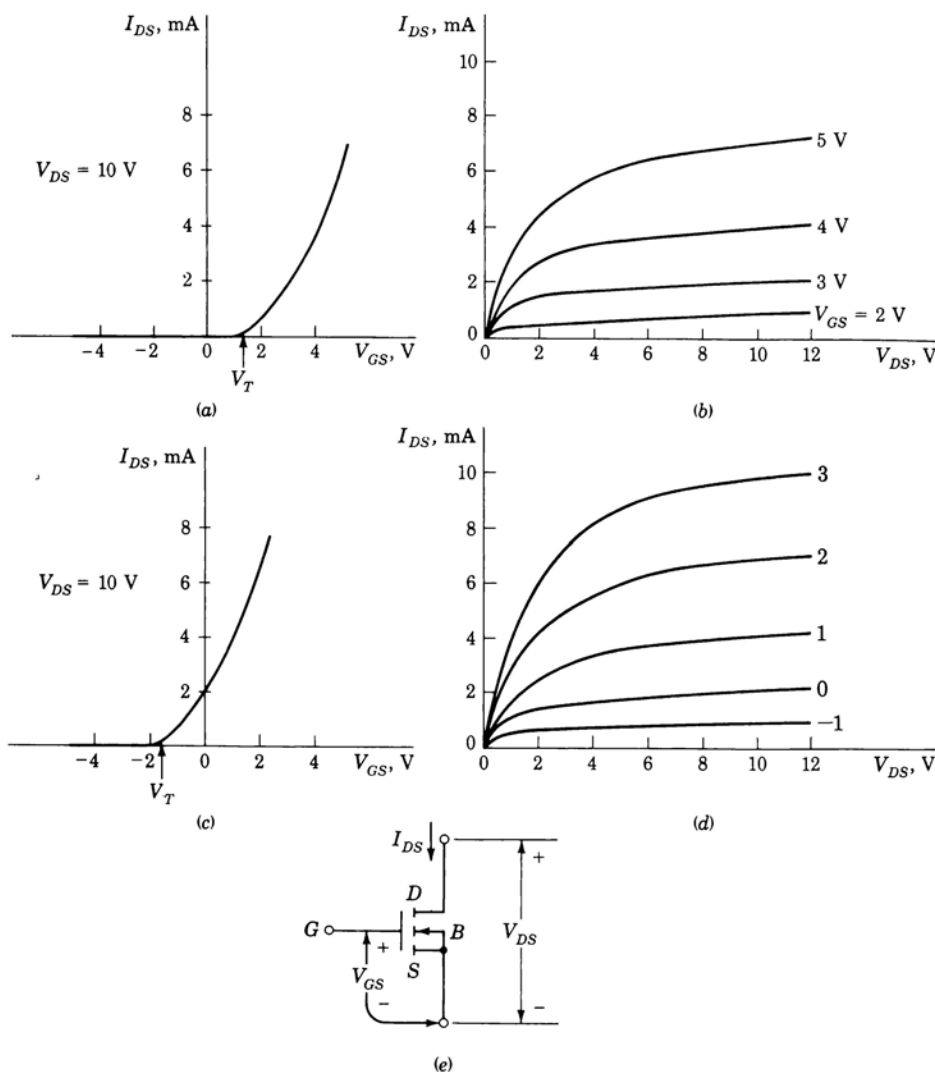


Figura 8.1-1 Caratteristiche di MOSFET (a e b) ad arricchimento, (c e d) a svuotamento. (e) Definizione delle tensioni e delle correnti. Il simbolo rappresenta un transistor a canale *n* ad arricchimento.



esistente e la tensione di soglia  $V_T$  è negativa. Più esattamente questo transistor a canale  $n$  funziona nel modo a svuotamento quando  $V_{GS}$  è negativa e nel modo ad arricchimento quando  $V_{GS}$  è positiva. È d'uso comune però chiamare questo dispositivo semplicemente MOSFET a svuotamento. Nelle porte logiche sono impiegati sia transistori ad arricchimento che transistori a svuotamento.

Entrambi questi due tipi di transistori (ad arricchimento e a svuotamento) possono funzionare nella regione di non-saturazione (detta anche regione di *triode* con riferimento ai tubi a vuoto) o nella regione di saturazione. Nella regione di triodo, fra il source e il drain si stabilisce un canale continuo e  $I_{DS}$  varia «linearmente» con  $V_{DS}$ , per  $V_{GS}$  costante. In corrispondenza del source la profondità del canale è nominalmente proporzionale alla differenza fra la tensione gate-source e la tensione di soglia, cioè a  $V_{GS} - V_T$ . Per una  $V_{GS}$  costante, la profondità del canale rimane fissa. In corrispondenza del drain la profondità del canale è proporzionale alla differenza fra la tensione gate-drain  $V_{GD}$  e la tensione  $V_T$ . Pertanto al drain la profondità del canale è proporzionale a  $V_{GD} - V_T = V_{GS} - V_{DS} - V_T$ . Il canale viene *strozzato* dalla parte del drain quando  $V_{GD} - V_T \leq 0$  o quando

$$V_{DS} \geq V_{GS} - V_T \quad (8.1-1)$$

Quando  $V_{DS} > V_{GS} - V_T$  il transistor è in *saturazione*. Cioè, a causa dello strozzamento (*pinch-off*) del canale, la corrente  $I_{DS}$  rimane circa costante, aumentando di pochissimo all'aumentare di  $V_{DS}$ .

Così come è molto utile disporre di un'espressione analitica per il transistor bipolare (equazioni di Ebers-Moll), è altrettanto utile poter disporre di espressioni analitiche per il MOSFET. Nella regione di triodo si trova che, per un dispositivo a canale  $n$ ,

$$I_{DS} = k[2(V_{GS} - V_T)V_{DS} - V_{DS}^2] \quad 0 \leq V_{DS} \leq V_{GS} - V_T \quad (8.1-2)$$

Nella regione di saturazione

$$I_{DS} = k(V_{GS} - V_T)^2 \quad 0 \leq V_{GS} - V_T \leq V_{DS} \quad (8.1-3)$$

La costante  $k$  è data da

$$k = \frac{\mu \epsilon}{2t} \frac{W}{L} \quad (8.1-4)$$

dove

- $\mu$  = mobilità dei portatori nel canale (elettroni nel canale  $n$ )
- $\epsilon$  = costante dielettrica dello strato di ossido isolante
- $t$  = spessore dell'ossido sotto il gate
- $W$  = larghezza del canale
- $L$  = lunghezza del canale

Tipicamente per i dispositivi a canale  $n$  il rapporto  $\mu\epsilon/2l \approx 12 \mu\text{A}/\text{V}^2$  e per i dispositivi a canale  $p$  il rapporto è minore per un fattore circa uguale a 3. Il rapporto larghezza-lunghezza  $W/L$  può andare da 0,1 per un transistor di carico, a 20 o 40 per un transistor pilota. (Vedi Par. 1.13)

Per un transistor a canale  $p$  funzionante nella regione di triodo, le equazioni vengono scritte in modo più conveniente secondo la forma

$$I_{SD} = k[2(V_{SG} - V_T)V_{SD} - V_{SD}^2] \quad 0 \leq V_{SD} \leq V_{SG} - V_T \quad (8.1-5)$$

Nella regione di saturazione

$$I_{SD} = k(V_{SG} - V_T)^2 \quad 0 \leq V_{SG} - V_T \leq V_{SD} \quad (8.1-6)$$

Queste equazioni, come le Eq. (8.1-2) e (8.1-3), sono approssimate e non tengono conto di tutte le cause che possono influenzare la corrente del dispositivo; esse sono però più che sufficienti per studiare il funzionamento delle porte logiche a FET.

## 8.2 EFFETTI DELLA TEMPERATURA

Le equazioni (8.1-2), (8.1-3), (8.1-5) e (8.1-6) relative alla corrente  $I_{DS}$  (e  $I_{SD}$ ) sono influenzate dalla temperatura poichè sia  $V_T$ , tensione di soglia, sia il parametro  $k$  dipendono dalla temperatura. La dipendenza dalla temperatura di  $V_T$  è espressa approssimativamente da

$$\frac{dV_T}{dT} \approx -2.5 \text{ mV}/^\circ\text{C} \quad (8.2-1)$$

La dipendenza dalla temperatura di  $k$  è dovuta quasi esclusivamente alla dipendenza dalla temperatura di  $\mu$ , la mobilità dei portatori [vedi Eq. (8.1-4)]. La mobilità diminuisce approssimativamente in proporzione inversa alla temperatura assoluta e pertanto anche  $k$  si comporta in modo analogo. Quando la temperatura aumenta,  $I_{DS}$  (o  $I_{SD}$ ) tende ad aumentare a causa della diminuzione di  $V_T$  e a diminuire a causa della diminuzione della mobilità dei portatori. In un caso tipico si trova che l'effetto di  $\mu$  può essere di cinque volte superiore all'effetto di  $V_T$ . Complessivamente pertanto un aumento di temperatura produce una diminuzione della corrente.

Sotto questo aspetto il MOSFET differisce dal transistor bipolare, in cui un aumento della temperatura produce un aumento della corrente sia a causa dell'aumento del guadagno di corrente  $h_{FE}$ , sia a causa della diminuzione delle tensioni di giunzione.

## 8.3 L'INVERTITORE A MOS

Come si è visto nel Cap. 1, la configurazione base di un circuito di commutazione a MOS è un invertitore comprendente un transistor MOSFET che funziona da interruttore e che pilota a sua volta un carico costituito da un al-

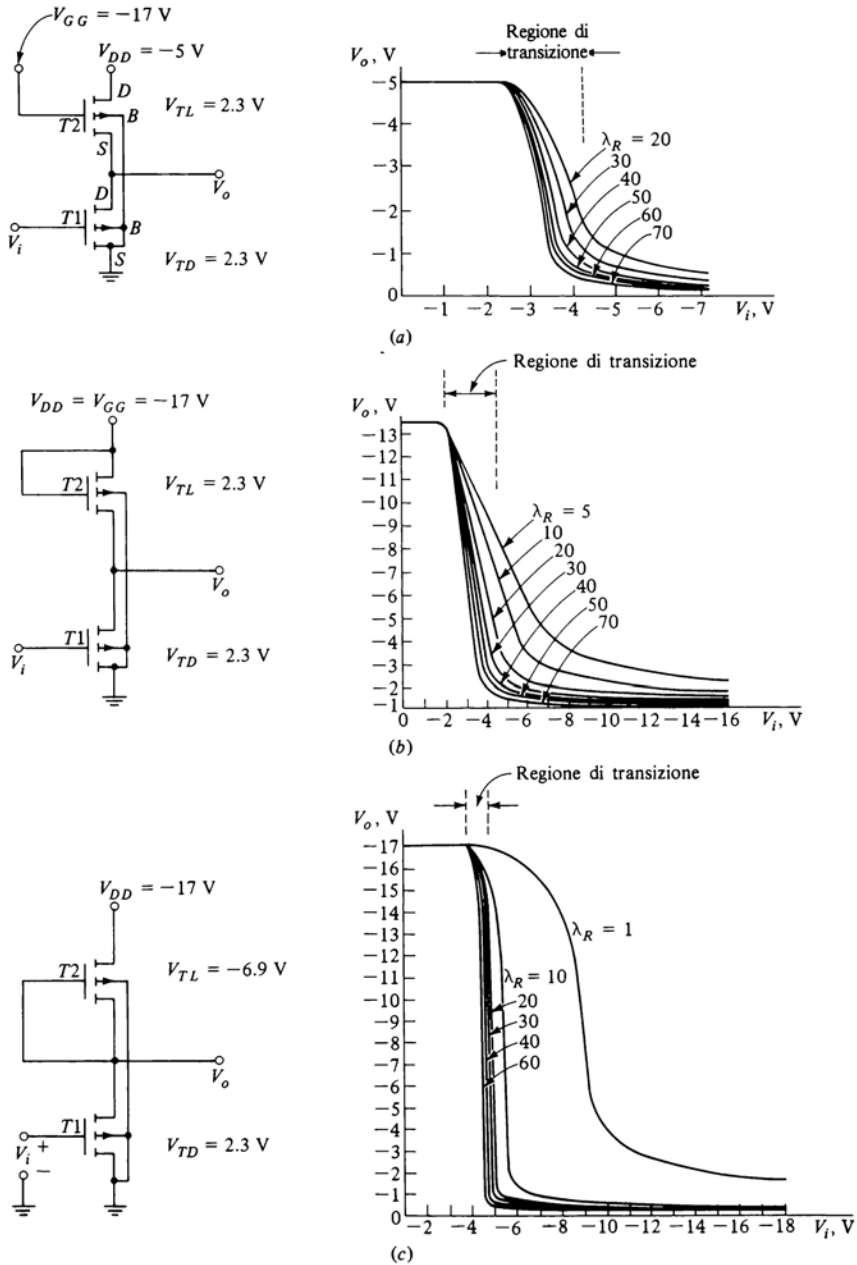


Figura 8.3-1 Caratteristiche di ingresso-uscita. (Da «MOS/LSI Design and Applications» W.N. Carr e J. P. Mize, McGraw-Hill, cap. 4, 1972.)

tro transistor MOSFET, anzich  da un resistore passivo. Il transistor pilota   invariabilmente un dispositivo ad arricchimento poich  risulta molto conveniente che il pilota sia OFF quando la tensione di gate   a massa o quasi a massa. Quando il pilota passa in conduzione, viene a trovarsi invariabilmente nella regione di triodo. Ci  si verifica perch  la tensione di gate (fornita da un'altra porta pilota)   uguale o prossima alla tensione di alimentazione e la tensione fra drain e source si trova al suo valore minimo. Il carico invece pu  essere un dispositivo ad arricchimento o a svuotamento e pu  lavorare sia nella regione di triodo che nella regione di saturazione.

In Fig. 8.3-1 sono illustrate le caratteristiche d'ingresso-uscita teoriche relative a invertitori a PMOS in tre casi tipici. In Fig. 8.3-1a entrambi i transistori sono del tipo ad arricchimento ed entrambi hanno una tensione di soglia  $V_T = 2,3$  V. Poich  si tratta di transistori a canale  $p$ , applichiamo il criterio espresso nell'Eq. (8.1-6) al fine di determinare se i transistori si trovano nella regione di triodo o in quella di saturazione. Affinch  essi siano nella regione di triodo si richiede che  $V_{SD} \leq V_{SG} - V_T$ . Tale condizione si pu  scrivere come

$$V_{DG} \geq V_T \quad (8.3-1)$$

Poich   $V_{DG} = V_D - V_G = -5 - (-17) = 12$  V, essa   maggiore di  $V_T = 2,3$  V e quindi il transistor di carico   polarizzato nella regione di triodo. In Fig. 8.3-1b il transistor pilota funziona esattamente come quello di Fig. 8.3-1a, mentre il transistor di carico lavora in zona di saturazione (la dimostrazione di questa affermazione viene lasciata come esercizio). In Fig. 8.3-1c il transistor di carico   un dispositivo a svuotamento con una tensione di soglia negativa  $V_T = -6,9$  V. La polarizzazione del transistor di carico lo porta a lavorare nella regione di triodo quando  $V_o \leq -10,1$  V e a lavorare in zona di saturazione quando  $V_o > -10,1$  V.

Come abbiamo visto nel Par. 1.14 (vedi Fig. 1.14-1), la forma della caratteristica ingresso-uscita dovrebbe dipendere principalmente dal parametro  $\lambda_R$ , definito come

$$\lambda_R \equiv \frac{\lambda_D}{\lambda_L} \equiv \frac{(W/L)_D}{(W/L)_L} \quad (8.3-2)$$

dove  $(W/L)_D$  = rapporto fra larghezza e lunghezza del canale del transistor pilota

$(W/L)_L$  = rapporto fra larghezza e lunghezza relativo al carico.

Abbiamo fatto notare che al crescere di  $\lambda_R$  la transizione dell'uscita tra i livelli alto e basso diviene sempre pi  ripida. Tutto ci    confermato in Fig. 8.3-1. Nei calcoli che hanno condotto ai diagrammi di Fig. 8.3-1 si   tenuto conto dell'effetto dovuto alla polarizzazione del substrato. Notiamo inoltre

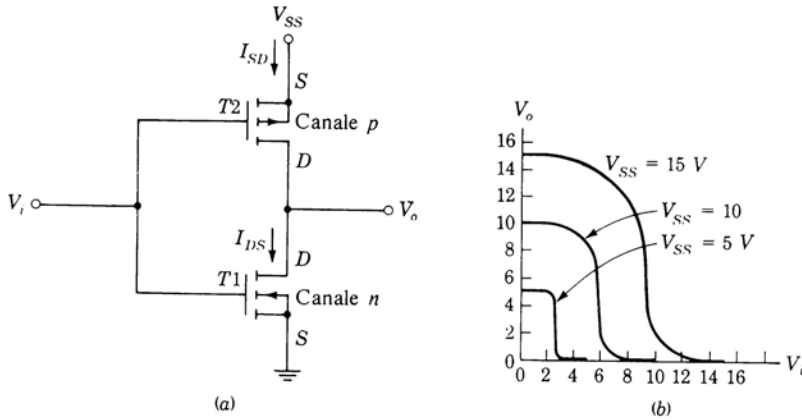


Figura 8.4-1 (a) Invertitore a CMOS e (b) sua caratteristica di trasferimento.

che l'invertitore che impiega come carico il MOSFET a svuotamento presenta la transizione più rapida.

## 8.4 L'INVERTITORE A CMOS

In Fig. 8.4-1a è illustrato l'invertitore a CMOS. Il drain di un transistor a canale *p* è connesso al drain di un transistor a canale *n* e fra i due source è applicata una tensione di alimentazione  $V_{SS}$ . L'uscita è prelevata dai drain in comune. L'ingresso  $V_i$  presenta escursioni di ampiezza nominalmente pari a  $V_{SS}$ . Nell'invertitore a CMOS illustrato, avendo posto a massa il source del dispositivo a canale *n*,  $V_{SS}$  sarà una tensione positiva e  $V_i$  varierà fra massa e  $V_{SS}$ .

Appare chiaro che per la completa simmetria del circuito i due transistori devono essere, per quanto possibile, simili. Perciò di solito si fa in modo che il parametro  $k$  delle Eq. (8.1-2), (8.1-3), (8.1-5) e (8.1-6) sia lo stesso per i due transistori. La mobilità dei portatori nel dispositivo a canale *p* è minore della mobilità nel dispositivo a canale *n* per un fattore pari a 2 o 3. Pertanto per rendere uguali i due  $k$  occorre che il rapporto  $W/L$  relativo al canale *p* sia corrispondentemente maggiore per un fattore pari a 2 o 3 del rapporto  $W/L$  relativo al canale *n* [vedi Eq. (8.1-4)]. Però, nonostante questo accorgimento, l'invertitore a CMOS non è proprio assolutamente simmetrico poiché le tensioni di soglia dei dispositivi a canale *p* e a canale *n* risultano generalmente leggermente differenti.

Di solito le porte a CMOS sono realizzate per lavorare con tensioni di alimentazione da 5 a 15 V. In Fig. 8.4-1b sono rappresentate alcune tipiche caratteristiche di trasferimento. Il dispositivo a cui si riferiscono le caratteristi-

che di Fig. 8.4-1b presenta un valore della tensione di soglia di circa 2 V per ciascun transistor. Si osservi la ripidità della transizione e si noti che le escursioni totali delle tensioni sono pari a  $V_{SS}$ . Negli invertitori a MOS questa situazione si verifica soltanto quando il rapporto  $\lambda_R$  dei  $\lambda$  è molto elevato. Nel caso dei CMOS ciò avviene in maniera sostanzialmente indipendente dal valore di  $\lambda_R$ . Per questa ragione l'invertitore a CMOS viene spesso chiamato invertitore *ratioless*, cioè indipendente dal rapporto.

## 8.5 CALCOLO DELLA CARATTERISTICA DI TRASFERIMENTO DI UN INVERTITORE A CMOS

È istruttivo usare le equazioni della corrente del transistor per calcolare la caratteristica di trasferimento di un invertitore a CMOS in un caso tipico. Riferendoci alla Fig. 8.4-1, risulta che, per  $V_i \leq V_T(n)$ ,  $T1$  è OFF,  $T2$  è ON e  $V_o = V_{SS}$ .

Analogamente per  $V_i \geq V_{SS} - V_T(p)$ ,  $T2$  è OFF,  $T1$  è ON, e  $V_o = 0$  V. Inoltre  $T1$  è saturo quando  $V_{DS1} \geq V_{GS1} - V_T$ , cioè,

$$V_T(n) \leq V_i \leq V_o + V_T(n) \quad (8.5-1)$$

mentre  $T2$  è saturo quando  $V_{SD2} \geq V_{SG2} - V_T$ , cioè,

$$V_o - V_T(p) \leq V_i \leq V_{SS} - V_T(p) \quad (8.5-2)$$

Così, se ad esempio  $V_T(n) = V_T(p) = 2$  V e  $V_{SS} = 10$  V, avremo  $T1$  saturo quando  $2 \leq V_i \leq V_o + 2$  e  $T2$  saturo quando  $V_o - 2 \leq V_i \leq 8$ . Oppure, in altro modo,  $T1$  sarà saturo quando

$$V_o \geq V_i - 2 \quad (8.5-3)$$

e  $T2$  diventerà saturo quando

$$V_o \leq V_i + 2 \quad (8.5-4)$$

Le correnti  $I_{SD}$  e  $I_{DS}$  indicate in Fig. 8.4-1a sono sempre eguali fra di loro. Di conseguenza quando  $T1$  è in saturazione e  $T2$  no, avremo, usando le Eq. (8.1-3) e (8.1-5),

$$k_n[V_i - V_T(n)]^2 = k_p\{2[V_{SS} - V_i - V_T(p)](V_{SS} - V_o) - (V_{SS} - V_o)^2\} \quad (8.5-5)$$

Qui si è tenuto conto del fatto che per un transistor a canale  $p$   $V_{SG} = V_{SS} - V_i$  e  $V_{SD} = V_{SS} - V_o$ . Analogamente troviamo che quando  $T2$  è in saturazione e  $T1$  no, abbiamo

$$k_p[V_{SS} - V_i - V_T(p)]^2 = k_n\{2[V_i - V_T(n)]V_o - V_o^2\} \quad (8.5-6)$$

Infine quando entrambi i transistori sono in saturazione, troviamo

$$k_n[V_i - V_T(n)]^2 = k_p[V_{SS} - V_i - V_T(p)]^2 \quad (8.5-7)$$

Usando le Eq. da (8.5-5) a (8.5-7) abbiamo tracciato in Fig. 8.5-1 la caratteristica ingresso-uscita di un invertitore a CMOS con  $V_T(n) = V_T(p) = 2$  V,  $V_{SS} = 10$  V, e  $k_p/k_n = 1$ . Al di sopra della linea per  $V_o = V_i - 2$  [Eq. (8.5-3)]  $T1$  è in saturazione. Al di sotto della linea per  $V_o = V_i + 2$  [Eq. (8.5-4)]  $T2$  è in saturazione. Nella zona compresa fra le due linee entrambi i transistori sono in saturazione.

Si noti che la contemporanea saturazione dei due transistori definisce un'unica tensione  $V_i(\text{sat})$ , calcolata dall'Eq. (8.5-7),

$$V_i(\text{sat}) = \frac{\sqrt{k_p/k_n}[V_{SS} - V_T(p)] + V_T(n)}{1 + \sqrt{k_p/k_n}} \quad (8.5-8)$$

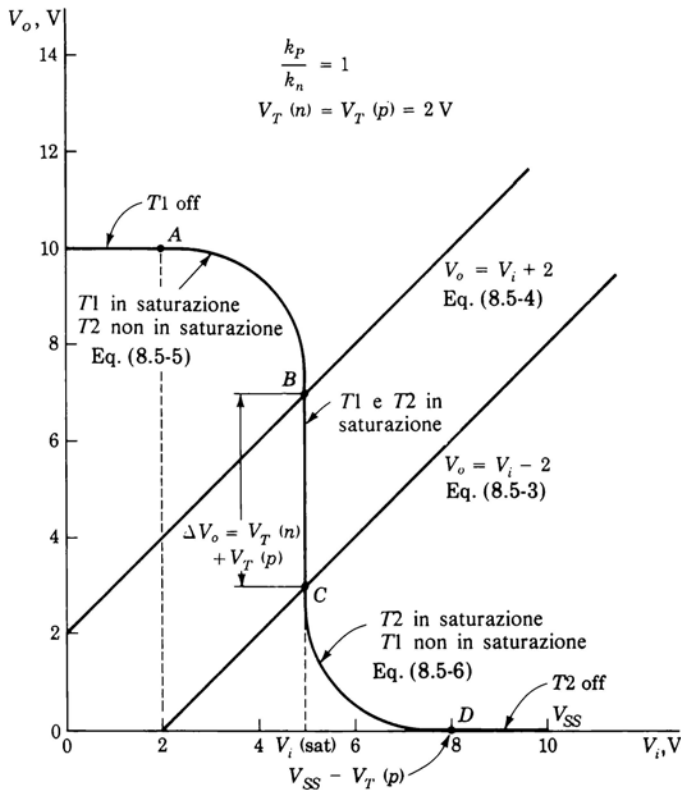


Figura 8.5-1 Funzione di trasferimento di un invertitore CMOS con  $k_p/k_n = 1$ .

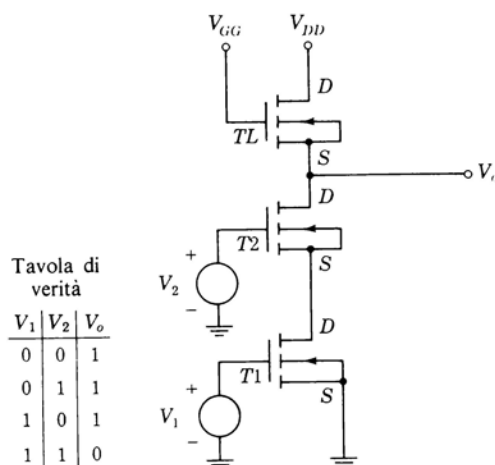


Figura 8.6-1 Porta NAND NMOS.

In Fig. 8.5-1 con  $k_p/k_n = 1$ ,  $V_T(p) = V_T(n)$ , si ha  $V_i(\text{sat}) = 5$  V. Questa tensione, in corrispondenza della quale si verifica una brusca transizione della tensione d'uscita, si trova a metà fra 0 e  $V_{ss}$ , poichè si è scelto  $k_p = k_n$ . Se  $k_p$  non fosse uguale a  $k_n$ , allora anche se  $V_T(n)$  fosse uguale a  $V_T(p)$ , non si avrebbe una completa simmetria. In ogni caso si trova, dalle Eq. (8.5-1) e (8.5-2), che l'ampiezza del salto è data da

$$\Delta V_o = V_T(n) + V_T(p) \quad (8.5-9)$$

Il fatto che in Fig. 8.5-1 la pendenza di questo tratto di curva sia infinita deriva dalla supposizione che nella regione di saturazione la corrente del dispositivo sia assolutamente indipendente dalla tensione drain-source, cioè che il dispositivo sia un generatore di corrente costante. Naturalmente le cose non stanno proprio così e pertanto la transizione fra B e C nel caso reale è sì ripida, ma non assolutamente verticale come nel disegno.

## 8.6 PORTE MOS

Supponendo di lavorare in logica positiva, il circuito di Fig. 8.6-1 a NMOS costituisce una porta NAND a due ingressi. Le tensioni di alimentazione  $V_{DD}$  e  $V_{GG}$  e la tensione di soglia  $V_T$  sono tutte positive. Lo 0 logico è rappresentato da una tensione inferiore alla tensione di soglia mentre l'1 logico è rappresentato da una tensione superiore alla tensione di soglia. Si verifica facilmente la tavola di verità data in Fig. 8.6-1. Quando o  $V_1$  o  $V_2$  o entrambi sono sotto la tensione di soglia, solo TL conduce. In questo caso  $V_o$  è pari a  $V_{GG} - V_T$



oppure a  $V_{DD}$ , a seconda di quale tensione è più bassa. Quando sia  $V_1$  che  $V_2$  sono sopra la soglia, sia  $T1$  che  $T2$  conducono. La tensione d'uscita  $V_o$  è data dalla somma delle tensioni su  $T1$  e  $T2$  ed è presumibilmente ben inferiore alla tensione di soglia.

Si possono introdurre altri ingressi aggiungendo ulteriori dispositivi in serie a  $T1$  e  $T2$ . L'uscita  $V_o$ , allo 0 logico, risulta essere la somma delle cadute di tensione su ciascuno di questi dispositivi in serie. Naturalmente è necessario tenere  $V_o$  allo 0 logico e perciò ad un livello opportunamente inferiore alla soglia  $V_r$ . Pertanto quanto maggiore è il numero dei dispositivi posti in serie, tanto minore deve essere la caduta di tensione ai capi di ciascuno di essi. Per far questo occorre aumentare il rapporto larghezza-lunghezza  $W/L$  dei dispositivi in modo da ridurre la resistenza del loro canale. Ad esempio supponiamo, partendo dal progetto di una porta a due ingressi, di voler modificare la porta in modo da dotarla di tre ingressi. Per far ciò, le due porte pilota di partenza devono essere sostituite da tre porte pilota presentanti ciascuna un rapporto  $W/L$  pari a tre-mezzi del rapporto  $W/L$  dei dispositivi di partenza.

Dal momento che i livelli di tensione (rispetto a massa) corrispondenti allo 0 e all'1 logico sono gli stessi per tutti i terminali d'ingresso della porta, la tensione gate-source non è la stessa per ogni FET pilota. La tensione gate-source è massima per il transistor pilota che si trova alla base della pila e diminuisce man mano che si sale verso l'alto (vedi Fig. 8.6-1). Come abbiamo fatto notare, i transistori pilota lavorano nella regione di triodo, dove la resistenza del dispositivo è funzione della tensione di gate. Così per compensare l'effetto dovuto alla disposizione dei transistori l'uno sull'altro, dobbiamo rendere  $W/L$  progressivamente più elevato man mano che si passa ai transistori che si trovano più in alto.

Se i transistori pilota NMOS sono disposti in parallelo, come in Fig. 8.6-2, si ottiene, come si può verificare, una porta NOR.

Se vengono impiegati dispositivi PMOS, le tensioni di alimentazione  $V_{DD}$  e  $V_{GG}$  devono essere negative rispetto a massa. Si lascia al lettore verificare

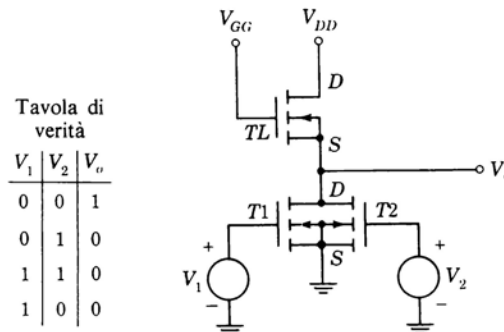


Figura 8.6-2 Porta NOR NMOS.

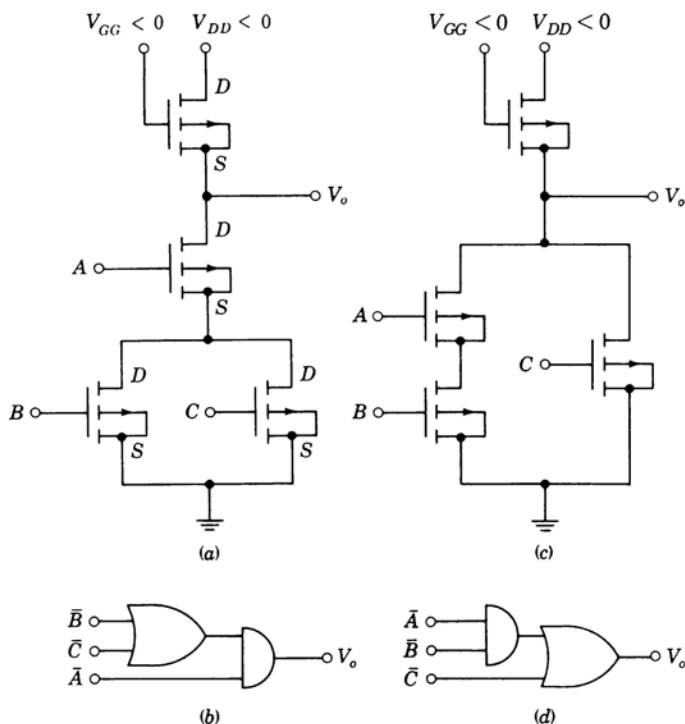


Figura 8.6-3 Configurazioni con più MOSFET in serie.

che, in logica positiva, con i MOS pilota in serie abbiamo porte NOR, con i MOS pilota in parallelo abbiamo porte NAND. La possibilità di disporre più MOS in serie [cosa che non si realizza facilmente con i dispositivi bipolari (vedi Prob. 8.6-3)] consente di realizzare alcune interessanti configurazioni del tipo di quelle di Fig. 8.6-3. In questo caso si sono usati dispositivi PMOS. Il circuito di Fig. 8.6-3a realizza la funzione logica indicata in Fig. 8.6-3b mentre il circuito di Fig. 8.6-3c realizza la funzione logica indicata in Fig. 8.6-3d.

## 8.7 TEMPO DI SALITA IN UNA PORTA MOS

Nel transistor bipolare, alla commutazione in ON è associata la formazione di una distribuzione di carica di portatori minoritari nella base del transistor e alla commutazione in OFF è associata la rimozione di tale carica minoritaria. Inoltre devono venire caricate e scaricate capacità di vario tipo. La velocità di funzionamento delle porte a transistori bipolari è perciò limitata dalla velocità con cui si verificano queste operazioni. Nei dispositivi a MOS viceversa

non entra in gioco la carica dei portatori minoritari e pertanto la velocità di funzionamento è determinata soltanto dalla velocità con cui possono caricarsi e scaricarsi le capacità.

Consideriamo la situazione rappresentata in Fig. 8.7-1. Questo invertitore base può diventare una porta ad ingressi multipli aggiungendo altri transistori in parallelo o in serie a  $T_1$ . La capacità  $C_L$  rappresenta il carico capacitivo della porta e può benissimo essere la capacità d'ingresso di una porta successiva. Ora considereremo il tempo di salita della tensione d'uscita  $V_o (= V_C$ , tensione sulla capacità) quando  $T_1$  commuta in OFF. Supponiamo che  $V_C$  parta da 0 V. Consideriamo dapprima il caso in cui il transistor di carico  $TL$  lavori nella regione di saturazione, caso che si verifica quando  $V_{GG} = V_{DD}$ .

Nella regione di saturazione abbiamo, come dall'Eq. (8.1-3),

$$I_L = I_C = k_L(V_{GS} - V_T)^2 \quad (8.7-1)$$

La tensione gate-source del transistor di carico, con  $k = k_L$ , è  $V_{GS} = V_{DD} - V_C$ . Pertanto la velocità di salita di  $V_C$ , che è  $dV_C/dt = I_C/C_L$ , è data da

$$\frac{dV_C}{dt} = \frac{I_C}{C_L} = \frac{k_L}{C_L} (V_{DD} - V_T - V_C)^2 \quad (8.7-2)$$

Risulta conveniente introdurre la tensione  $V_f \equiv V_{DD} - V_T$ . Questa tensione  $V_f$  è la tensione (finale) a cui  $V_C$  tende asintoticamente. La soluzione dell'Eq. (8.7-2), con la condizione iniziale che  $V_C = 0$  per  $t = 0$ , è data da (Prob. 8.7-1)

$$V_C = \frac{(k_L t / C_L) V_f^2}{1 + (k_L t / C_L) V_f} \quad (8.7-3)$$

Definendo il tempo di salita  $t_r$  come il tempo necessario affinché  $V_C$  salga da 0 V a  $0,9 V_f$ , dall'Eq. (8.7-3) troviamo che

$$t_r = \frac{9C_L}{k_L V_f} \quad (8.7-4)$$

Per esempio, se  $C_L = 5$  pF (capacità d'ingresso tipica di una porta) e  $k_L = 20 \mu\text{A}/\text{V}^2$  (valore tipico per il transistor di carico) e se  $V_f = 10$  V, troviamo  $t_r \approx 0,2 \mu\text{s}$ . Questo tempo di salita è estremamente elevato rispetto al tempo di salita delle porte a BJT. La causa di questa risposta molto lenta è da ricercare nel fatto che il canale del transistor di carico deve essere lungo e stretto. E questa caratteristica del canale è dovuta alla necessità di far sì che la caratteristica di ingresso-uscita presenti una transizione ripida fra i due livelli logici. Il canale, essendo lungo e stretto, limita il valore della corrente di carica della capacità  $C_L$ .

Se, partendo con il transistor di carico saturo, si aumentasse la tensione di gate  $V_{GG}$  fino al punto in cui  $V_{GG} - V_T > V_{DD}$ , il transistor verrebbe a lavorare nella regione di triodo. L'aumento di  $V_{GG}$  farebbe aumentare la

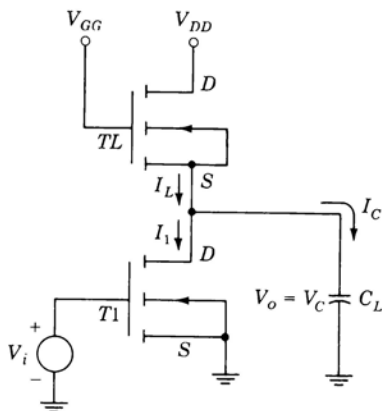


Figura 8.7-1 Porta MOS con carico capacitivo  $C_L$ .

corrente attraverso  $TL$  e quindi la corrente disponibile per caricare la capacità di carico. Tuttavia un aumento limitato della  $V_{GG}$  provocherebbe soltanto un modesto aumento della corrente e pertanto non migliorerebbe sostanzialmente il tempo di salita. Il tempo di salita risulterebbe limitato ancora dalla bassa corrente consentita dalla forma lunga e stretta del canale del transistor di carico. [L'equazione per  $V_C(t)$  nel caso di funzionamento nella regione di triodo è data nel Prob. 8.7-2.]

## 8.8 IL TEMPO DI DISCESA

Nell'invertitore di Fig. 8.7-1, quando il transistor pilota  $T1$  va in conduzione, la capacità si scarica attraverso  $T1$ , scendendo, alla fine, nominalmente al potenziale di massa. Mentre  $T1$  sta scaricando  $C_L$ , la corrente che fluisce in  $TL$  tenderebbe a caricare  $C_L$ . D'altra parte, come abbiamo visto, il rapporto  $W/L$  relativo al pilota è molto maggiore del corrispondente rapporto relativo al carico. Pertanto la corrente di scarica in  $T1$  risulta molto maggiore della corrente di carica in  $TL$  e quindi quest'ultima può essere trascurata.

Supponiamo ora che  $T1$ , inizialmente OFF, sia portato in conduzione mediante l'applicazione sul suo gate di una tensione  $V_{GS} > V_T$ . In Fig. 8.8-1 è illustrata la caratteristica tensione-corrente relativa al transistor per questa tensione di gate. Inizialmente il transistor è OFF e lavora nel punto  $P_1$ , dove si ha  $V_{DS} = V_{CM}$ , che rappresenta la massima tensione ai capi della capacità. Quando  $T1$  passa in ON, il punto di lavoro si sposta bruscamente in  $P_2$  poiché la capacità non ammette variazioni istantanee di tensione. La tensione ai capi della capacità,  $V_C = V_{DS}$ , successivamente diminuisce ed il transistor compie uno spostamento attraverso la regione di saturazione, come è indica-

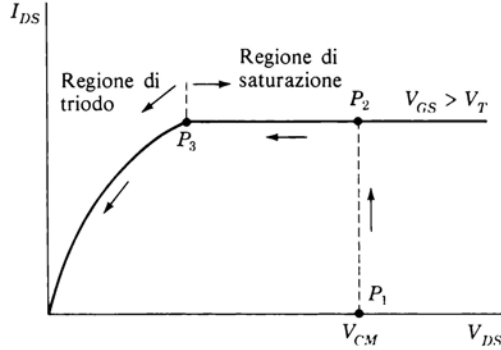


Figura 8.8-1 Spostamento del punto di lavoro di T1 durante la scarica di  $C_L$ .

to in Fig. 8.8-1. Abbiamo idealizzato la caratteristica nella regione di saturazione in modo da farla corrispondere esattamente all'Eq. (8.1-3), dove si suppone  $I_{DS}$  perfettamente costante e indipendente da  $V_{DS}$ . Nel punto  $P_3$  incomincia la regione di triodo e il transistor e la capacità seguono la caratteristica di triodo fino alla tensione zero.

Usando l'Eq. (8.1-3), che vale per la regione di saturazione, troviamo

$$V_C(t) = V_{CM} - \frac{I_{DS}}{C_L} t = V_{CM} - \frac{k_D}{C_L} (V_{GS} - V_T)^2 t \quad (8.8-1)$$

Il punto  $P_3$  viene raggiunto quando  $V_{DS} = V_{GS} - V_T$ . L'istante  $t = t_{sat}$ , in cui  $V_C(t) = V_{GS} - V_T$ , si ricava dall'Eq. (8.8-1) e risulta

$$t_{sat} = \frac{C_L}{k_D} \left[ \frac{V_{CM} - V_{GS} + V_T}{(V_{GS} - V_T)^2} \right] \quad (8.8-2)$$

Nella regione di triodo, usando l'Eq. (8.1-2), troviamo

$$\frac{dV_C}{dt} = -\frac{I_{DS}}{C_L} = -\frac{k_D}{C_L} [2(V_{GS} - V_T)V_C - V_C^2] \quad (8.8-3)$$

Il tempo che impiega  $V_C(t)$  per scendere da  $V_{CM}$  a  $0,1 V_{CM}$  nella regione di triodo, è

$$t_{triodo} = -\int_{V_{CM}}^{0,1V_{CM}} \frac{dV_C}{(k_D/C_L)[2(V_{GS} - V_T)V_C - V_C^2]} = \frac{1,15C_L}{k_D(V_{GS} - V_T)} \quad (8.8-4)$$

Prendiamo  $k_D = 1 \text{ mA/V}^2$ . Poiché abbiamo supposto  $k_L = 20 \text{ } \mu\text{A/V}^2$ , risulta  $k_D/k_L = 50$ , che è un valore ragionevole per una porta MOS.

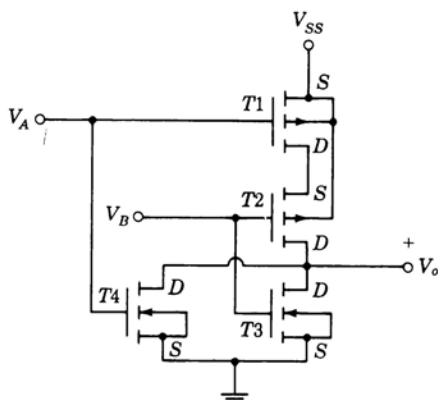


Figura 8.9-1 Porta NAND CMOS.

Supponiamo anche che  $V_{CM} = 10$  V,  $V_{GS} - V_T = 5$  V e  $C_L = 5$  pF. Dalle Eq. (8.8-2) e (8.8-4) ricaviamo che  $t_{sat} = 0,004$   $\mu$ s e  $t_{irido} = 0,016$   $\mu$ s. Il tempo di discesa totale è dunque  $t_f = 20$  ns. Il tempo di discesa risulta quindi essere decisamente inferiore al tempo di salita di 0,2  $\mu$ s precedentemente calcolato. La ragione principale di questa notevole differenza consiste nel fatto che  $k_D \gg k_I$ , poichè il canale del transistor pilota è molto più largo e corto di quello del transistor di carico.

## 8.9 LA PORTA CMOS

In Fig. 8.9-1 è illustrata una porta  $\text{NAND CMOS}$  a due ingressi. Notiamo che i transistori pilota sono collegati in serie mentre i transistori di carico sono di-

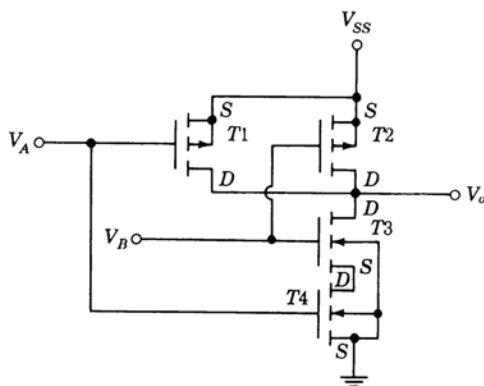


Figura 8.9-2 Porta NOR CMOS.

sposti in parallelo. I singoli segnali di ingresso vengono applicati sia al transistore pilota che al transistore di carico, contemporaneamente. Lavorando in logica positiva e supponendo che lo 0 logico corrisponda nominalmente al potenziale di massa e l'1 logico corrisponda nominalmente a  $V_{SS}$ , possiamo facilmente verificare che il circuito costituisce proprio una porta  $NAND$ . L'uscita  $V_o$  sarà allo 0 logico (massa) solo quando entrambi i transistori NMOS pilota sono  $ON$ , nel qual caso entrambi i transistori PMOS di carico sono  $OFF$ . Si può facilmente verificare che il circuito di Fig. 8.9-2, in cui i dispositivi di carico sono collegati in serie ed i transistori pilota sono disposti in parallelo, costituisce una porta  $NOR$ .

## 8.10 TEMPI DI SALITA E DI DISCESA NELLE PORTE CMOS

Nei dispositivi NMOS e PMOS il canale dei transistori di carico deve essere molto più lungo e stretto del canale dei transistori pilota; cioè deve essere  $k_L \ll k_D$ . Questa norma di progetto è necessaria per garantire che, quando il pilota è  $ON$ , la caduta di tensione sul pilota sia una frazione molto piccola della tensione di alimentazione. Nei CMOS invece, quando il pilota passa in conduzione, il transistore di carico viene contemporaneamente interdetto. Pertanto, come si è già fatto notare, nei CMOS  $k_L \approx k_D$ . Poiché il pilota è un dispositivo a canale  $n$  ed il carico un dispositivo a canale  $p$ , i rapporti  $W/L$  sono studiati in modo da risultare inversamente proporzionali alle rispettive mobilità.

Uno dei maggiori vantaggi dei CMOS è rappresentato allora dal fatto che esiste sempre un percorso, attraverso un canale a bassa resistenza, per la carica e la scarica del carico capacitivo presente all'uscita della porta. In Fig. 8.10-1 è indicato il carico capacitivo presente all'uscita di un invertitore CMOS. Nelle porte NMOS o PMOS i tempi di carica e di scarica della capacità di carico sono molto diversi fra di loro a causa delle diverse forme geometriche dei canali del transistore pilota e del transistore di carico, cioè della diversità fra  $k_D$  e  $k_L$ . Nella porta CMOS viceversa i tempi di carica e scarica sono dello stesso ordine.

Il calcolo relativo alla carica della capacità precedentemente svolto per l'invertitore a NMOS può venire applicato direttamente al caso attuale. Con riferimento alla Fig. 8.10-1 supponiamo che  $TL$  sia  $ON$  e  $TD$   $OFF$ , sicché  $V_C = V_{SS}$ . La capacità  $C_L$  inizierà a scaricarsi quando la tensione all'ingresso della porta (proveniente dall'uscita di una porta precedente) passa a  $V_{GS} = V_{SS}$ , commutando  $TL$  in  $OFF$  e  $TD$  in  $ON$ . Il tempo di discesa  $t_f$  è  $t_f = t_{sat} + t_{triode}$ , come risulta dalle Eq. (8.8-2) e (8.8-4). In queste equazioni  $V_C(\max) = V_{GS} = V_{SS}$ . Possiamo notare che in effetti queste equazioni si applicano più esattamente a questo caso che non al caso (con NMOS o PMOS) per il quale erano state ricavate; infatti ricordiamo che allora si era trascurata la piccola corrente di carica attraverso il transistore di carico durante la scarica della

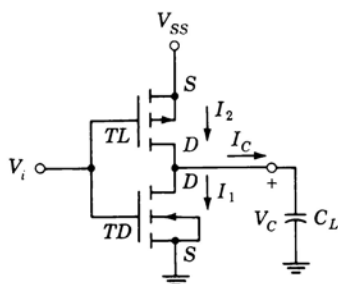


Figura 8.10-1 Porta CMOS con carico capacitivo  $C_L$ .

capacità. In questo caso, viceversa, durante la scarica non passa corrente alcuna attraverso il transistore di carico.

Il parametro  $k$ , sia nel transistore di carico che nel pilota, risulta essere dello stesso ordine del  $k$  del transistore pilota di una porta non a simmetria complementare. Pertanto nei CMOS il tempo di discesa è dello stesso ordine del tempo di discesa calcolato nel Par. 8.7. A causa della simmetria della configurazione CMOS di Fig. 8.10-1, il tempo di salita sarà uguale al tempo di discesa, se  $k_L = k_D$ . Come si può verificare, le equazioni che descrivono la carica di  $C_L$  sono identiche, a meno del verso di variazione della  $V_C(t)$ , alle equazioni che descrivono la sua scarica.

## 8.11 SPECIFICHE DEL COSTRUTTORE

Le specifiche fornite dai costruttori per le porte a CMOS sono simili a quelle fornite per le porte a BJT. Queste specifiche forniscono le tensioni e le correnti di ingresso e di uscita, i ritardi di propagazione, i tempi di salita e di discesa, ecc. In Fig. 8.11-1 sono fornite le specifiche per la porta NAND a bassa potenza 4012 della Motorola. (Le specifiche per la porta NOR 4001 sono identiche). Queste specifiche valgono per una tensione di alimentazione  $V_{SS} = 5$  V. Le definizioni dei parametri  $V_{IH}$ ,  $V_{iL}$ ,  $V_{oH}$ ,  $V_{oL}$  sono date nel Par. 4.11. La corrente  $I_{IH}$  è la minima corrente che deve essere fornita all'ingresso per mantenerlo ad una tensione sufficientemente alta (a  $V_{IH}$  o più) da essere riconosciuta dalla porta CMOS come rappresentante il livello logico 1. Le altre correnti hanno significati analoghi. Si osservi che le correnti di ingresso, essendo dell'ordine di 10 pA, possono generalmente venire trascurate. Riferendoci alle specifiche di uscita, notiamo che l'uscita della porta è in grado di assorbire un massimo di 0,4 mA con una tensione di uscita sufficientemente bassa da essere compresa ancora nella fascia dello 0 logico, cioè  $V_o \leq V_{oL}$ . La porta è in grado di erogare al massimo 0,5 mA rimanendo ancora nella fascia dell'1 logico.



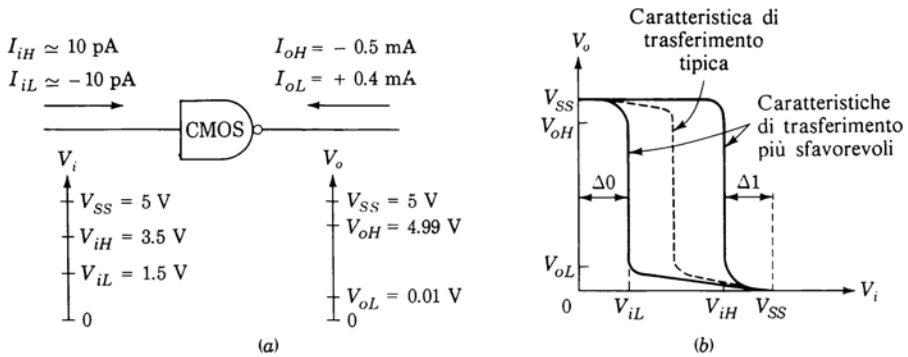


Figura 8.11-1 (a) Alcune specifiche del costruttore. (b) Caratteristica di trasferimento nelle condizioni più sfavorevoli.

La Fig. 8.11-1b illustra le caratteristiche di trasferimento della porta nelle condizioni più sfavorevoli. La caratteristica di trasferimento tipica sarà compresa fra le curve limite relative alle *condizioni più sfavorevoli*. Con una alimentazione di 5 V il costruttore specifica che

$$\Delta 0 = V_{iL} - V_{oL} \approx 1.5\text{ V} \quad (8.11-1a)$$

$$\Delta 1 = V_{oH} - V_{iH} \approx 1.5\text{ V} \quad (8.11-1b)$$

Se anziché al caso peggiore ci riferiamo al caso tipico, troviamo che le immunità al rumore valgono circa 2,25 V con  $V_{SS} = 5\text{ V}$ . Questi valori delle immunità risultano essere superiori, a parità di tensione di alimentazione, a quelli incontrati nelle porte a BJT.

Il ritardo di propagazione ed i tempi di transizione per le porte Motorola sono indicati nella Tab. 8.11-1, con un carico costituito da una capacità  $C_L = 15\text{ pF}$  in parallelo ad un resistore  $R_L = 200\text{ k}\Omega$ . Si suppone che l'impedenza di ingresso di una porta CMOS sia data da una capacità di 5 pF, sicché il suddetto carico capacitivo rappresenta un fan-out di 3. Aumentando il fan out, il tempo di ritardo ed i tempi di transizione aumentano linearmente, poichè la costante di tempo del circuito è direttamente proporzionale alla capacità di carico complessiva.

La porta CMOS a cui si riferisce la Tab. 8.11-1 è relativamente lenta. Sono però disponibili porte CMOS ad alta velocità con tempi di propagazione dell'ordine di 20 ns. Recenti progressi nelle tecniche di fabbricazione utilizzando come materiale per il substrato lo *zaffiro*, hanno permesso di ottenere porte CMOS a bassa potenza ancor più veloci. Queste nuove porte, chiamate SOS/CMOS (SOS: *silicon-on-sapphire*), presentano tempi di salita e di disce-

sa inferiori ai 20 ns. Le porte CMOS ad alta velocità oggi sono confrontabili con le porte DTL e sono quasi altrettanto veloci delle TTL più lente.

Il consumo di potenza a riposo tipico delle porte CMOS a bassa potenza è di 50 nW. Lavorando a 100 kHz però il consumo sale a circa 30  $\mu$ W. Il consumo aumenta di 20 dB/decade ed è anche funzione del carico capacitivo. In Fig. 8.11-2 sono illustrate alcune curve di dissipazione della porta 4012 Motorola. (Vedi anche Par. 1.15.)

Tabella 8.11-1

	Tempo, ns
$t_{pd}(LH)$	30
$t_{pd}(HL)$	30
$t_r$	60
$t_f$	60

**I buffer** La porta CMOS è una porta a bassa corrente adatta a pilotare altre porte CMOS. Quando si deve usare una porta CMOS per pilotare porte TTL o DTL, viene spesso impiegato il *buffer* (*adattatore*) CMOS. Il buffer 4009A RCA è in grado di assorbire una corrente di carico di 4 mA ( $I_{OL}$ ) nello stato logico basso e di erogare una corrente di 1,75 mA quando la tensione d'uscita è 2,5 V. Si specifica questo valore di 2,5 V poichè esso corrisponde a  $V_{IH}$  per molte porte TTL.

La configurazione circuitale del buffer è la stessa di quella della porta standard. Per ottenere correnti più elevate sono state però aumentate le dimensioni dei transistori CMOS.

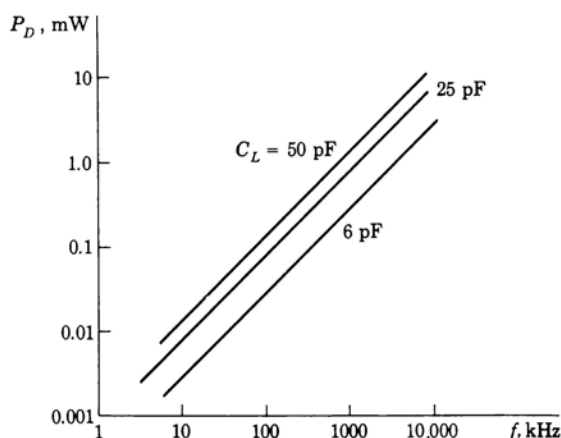


Figura 8.11-2 Dissipazione di potenza in funzione della frequenza.

## 8.12 INTERFACCIAMENTO FRA PORTE A BJT E CMOS

Le porte MOS e, allo stato attuale, anche le porte CMOS sono più lente delle porte BJT. D'altro canto le porte MOS permettono una densità di componenti sul singolo chip superiore a quella dei dispositivi a BJT. Come è noto, una estensione ridotta della «superficie attiva» della piastrina di silicio rappresenta un pregio nei dispositivi integrati. Infatti più aumenta la superficie del circuito integrato e più aumenta la probabilità che eventuali imperfezioni del cristallo rendano difettoso il dispositivo. Risulta pertanto conveniente in molti casi utilizzare insieme dispositivi a BJT e dispositivi a MOS. I dispositivi a BJT vengono impiegati nei casi in cui è richiesta un'elevata velocità di funzionamento mentre i dispositivi a MOS vengono impiegati dove sono consentite velocità più basse. Poiché i dispositivi a BJT e a MOS lavorano con livelli di tensione e di corrente differenti, è utile fare alcune considerazioni per un corretto interfacciamento. In molti casi l'interfacciamento richiede di interporre circuiti a transistori bipolari discreti fra i dispositivi dei due tipi. Questo caso potrebbe verificarsi, per esempio, se si vuole interfacciare una logica ECL, che lavora fra 0 e  $-5,2$  V, con una logica MOS che lavora fra 0 e  $+14$  V. In casi più semplici però l'interfacciamento può richiedere un adattamento meno complesso fra porte a BJT e porte a MOS.

Per illustrare alcune delle tecniche che possono essere adottate, consideriamo l'interfacciamento fra la logica TTL e la logica CMOS. Questo tipo di interfacciamento è il più comune, data la grande diffusione delle porte TTL. La TTL lavora con un'alimentazione positiva di 5 V. Consideriamo allora il caso in cui anche la CMOS lavori con un'alimentazione di  $+5$  V. In Fig. 8.12-1 abbiamo indicato in una tabella le specifiche più importanti della porta TTL.

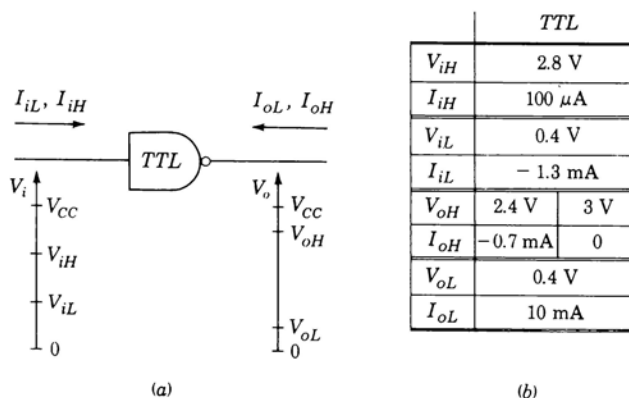


Figura 8.12-1 (a) Valori caratteristici di ingresso e uscita. (b) Tabella dei valori tipici.

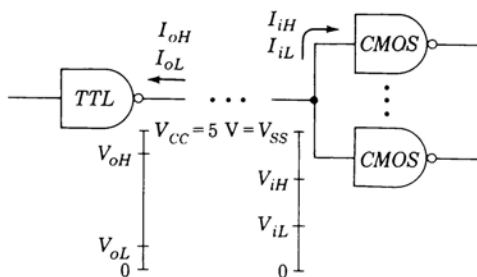


Figura 8.12-2 Porta TTL che pilota  $N$  porte CMOS.

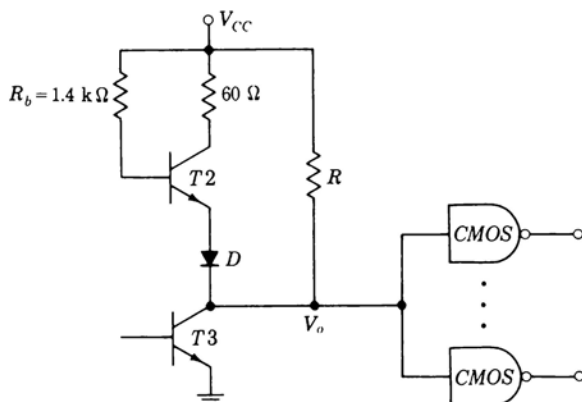


Figura 8.12-3 TTL con pull-up passivo.

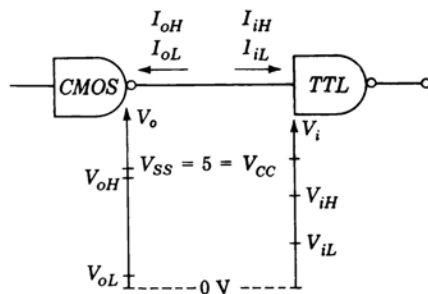


Figura 8.12-4 CMOS che pilota una porta TTL.

Consideriamo dapprima il caso di una porta TTL che piloti  $N$  porte CMOS, come indicato in Fig. 8.12-2. Il fan-out risulta essere  $N$ . Affinchè un tale circuito funzioni correttamente, occorre che

$$-I_{oH}(\text{TTL}) \geq NI_{iH}(\text{CMOS}) \quad (8.12-1a)$$

$$I_{oL}(\text{TTL}) \geq -NI_{iL}(\text{CMOS}) \quad (8.12-1b)$$

$$V_{oL}(\text{TTL}) \leq V_{iL}(\text{CMOS}) \quad (8.12-1c)$$

$$V_{oH}(\text{TTL}) \geq V_{iH}(\text{CMOS}) \quad (8.12-1d)$$

Come si può facilmente verificare dai dati di Fig. 8.11-1 e Fig. 8.12-1, le Eq. (8.12-1a) e (8.12-1b) sono soddisfatte per un fan-out ragionevole. Inoltre è soddisfatta anche l'Eq. (8.12-1c). L'Eq. (8.12-1d) non è soddisfatta poichè, anche «senza carico»,  $V_{oH}(\text{TTL}) = 3 \text{ V}$  mentre  $V_{iH}(\text{CMOS}) = 3,5 \text{ V}$ . Una modifica frequentemente impiegata per portare  $V_{oH}(\text{TTL})$  sopra i 3,5 V è quella illustrata in Fig. 8.12-3, in cui un resistore  $R$  esterno viene disposto fra  $V_{CC}$  e l'uscita. Valori tipici di  $R$  sono compresi fra 2 e 6 k $\Omega$ .

Considerando ora una porta CMOS che pilota una porta TTL (vedi Fig. 8.12-4), vediamo che la condizione  $I_{oL}(\text{CMOS}) \geq -NI_{iL}(\text{TTL})$  non è soddisfatta neppure per  $N = 1$ , poichè  $I_{oL}(\text{CMOS}) = 0,4 \text{ mA}$  e  $-I_{iL}(\text{TTL}) = 1,34 \text{ mA}$ . Sono disponibili però diversi buffer CMOS che presentano una corrente d'uscita adatta (fino a 6 mA).

## BIBLIOGRAFIA

- 1 Carr, W.N., and J.P. Mize: «MOS/LSI Design and Applications», McGraw-Hill, chap. 4, 1972.
- 2 RCA Solid State Databook: SSD-203B, COS/MOS Digital Integrated Circuits.



## CAPITOLO 9

# I FLIP - FLOP

### 9.1 INTRODUZIONE

Il circuito di Fig. 9.1-1, costituito da due porte NOR collegate in modo incrociato, è chiamato *flip-flop*. Questo circuito presenta due terminali di ingresso,  $S$  e  $R$ , iniziali rispettivamente di «set» (impostare) e di «reset» (azzerare). Useremo i simboli  $S$  e  $R$  non solo per designare i terminali, ma anche per indicare i livelli logici presenti sui terminali stessi. Pertanto  $S = 1$  significa che al terminale  $S$  è presente una tensione corrispondente al livello logico **1**. Analogamente  $Q$  e  $\bar{Q}$  rappresentano i terminali d'uscita e i corrispondenti livelli logici di uscita. Nella scelta di questa simbologia si è tenuto conto del fatto che, come vedremo, normalmente i livelli logici presenti sulle uscite sono complementari.

La caratteristica principale e fondamentale del flip-flop consiste nel fatto che questo dispositivo possiede una «memoria». In altri termini, supponendo che ad un dato istante i livelli logici su  $S$  e  $R$  siano **0** e **0**, è possibile, esaminando lo stato delle uscite, determinare quali erano i livelli logici presenti su  $S$  e  $R$  immediatamente prima dei livelli logici attuali.

### 9.2 TERMINOLOGIA

In vista della trattazione che seguirà, è bene introdurre un po' di terminologia e far conoscere una convenzione generalmente accettata dai progettisti di sistemi logici.

In una porta NAND o NOR (come anche in una porta AND o OR) possiamo, se torna utile, scegliere arbitrariamente uno dei terminali di ingresso e considerarlo come *ingresso di abilitazione-disabilitazione*. Consideriamo dunque una porta NOR oppure una porta OR. Se portiamo l'ingresso prescelto all'**1** logico, l'uscita della porta diviene indipendente da tutti gli altri ingressi. L'ingresso prescelto controlla da solo la porta che rimane disabilitata rispetto ad ogni altro ingresso. [Il termine «inibizione» è usato come sinonimo di «disabilitazione».] Se invece l'ingresso è a livello logico **0**, non può controllare la porta che risulta pertanto abilitata a rispondere agli altri ingressi. In una por-

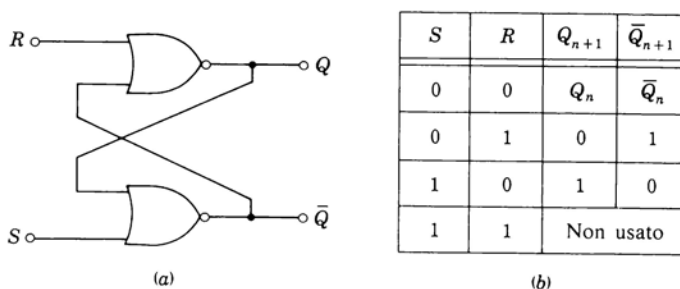


Figura 9.1-1 (a) Flip-flop  $SR$  e (b) relativa tavola di verità.

ta  $NAND$  o  $AND$  l'ingresso prescelto controlla e disabilita la porta quando è allo  $0$  logico. Infatti con un ingresso logico  $0$ , l'uscita della porta non è più in grado di rispondere agli altri ingressi. Si noti la differenza tra porte  $NOR$  o  $OR$  da un lato e porte  $NAND$  o  $AND$  dall'altro. Nel primo caso l'ingresso di abilitazione assume il controllo quando va al livello logico  $1$ ; nel secondo caso assume il controllo quando va al livello logico  $0$ .

Nei sistemi digitali generalmente si tende a vedere lo  $0$  logico come lo stato base, non disturbato, non perturbato, di riposo e a vedere il livello logico  $1$  come lo stato eccitato, attivo, efficace, cioè lo stato che si determina «dopo che è successo qualche cosa». Pertanto, quando si è verificato un certo evento, si è soliti associare lo stato raggiunto al valore logico  $1$  di una variabile logica. Tale variabile è invece allo  $0$  logico quando «non è successo nulla». Analogamente, se il cambiamento di una variabile logica deve determinare un certo evento, si preferisce definire la variabile in modo tale che l'evento si verifichi quando essa assume il valore logico  $1$ . Nel corso della trattazione sui flip-flop vedremo che di norma ci si attiene a questa convenzione.

### 9.3 IL FLIP-FLOP COME ELEMENTO DI MEMORIA

Nel circuito del flip-flop illustrato in Fig. 9.1-1,  $S$  e  $R$  sono ingressi di controllo. Poniamo  $S = R = 0$ . In questo caso, poichè si tratta di porte  $NOR$ , gli ingressi di controllo non sono attivi e possiamo ignorarli. Le uscite delle porte dipendono solo dai livelli logici presenti agli altri due ingressi. Supponiamo che  $\bar{Q} = 1$ ; in tal caso l'uscita della porta  $NOR$  superiore è a livello logico  $0$ . Quindi, come anticipato, le uscite sono proprio complementari ed abbiamo  $Q = 0$ . Abbiamo supposto  $\bar{Q} = 1$ ; dobbiamo verificare ora che l'ipotesi è coerente. L'ipotesi è coerente poichè i due ingressi della porta inferiore sono  $S = 0$  e  $Q = 0$  e quindi l'uscita della porta stessa è  $\bar{Q} = 1$ .

Mantenendo  $S = R = 0$ , se avessimo supposto  $Q = 0$ , avremmo trovato



$Q = 1$ , risultato, come il precedente, perfettamente coerente con l'ipotesi. In conclusione si vede che, con  $S = R = 0$ , il flip-flop permane in uno dei due stati (spesso chiamati *stati stabili*)  $Q = 0$  e  $\bar{Q} = 1$  oppure  $Q = 1$  e  $\bar{Q} = 0$ . Chiameremo il primo *stato di reset*, il secondo *stato di set*. Lo stato di reset viene spesso chiamato *stato di azzeramento* (*clear*) ed è definito come lo stato in cui  $Q = 0$ . Questi termini sono stati scelti in analogia al loro uso, per esempio, nelle calcolatrici da tavolo. Quando si preme il tasto di «clear», tutti i registri vengono azzerati, ritornano cioè allo stato iniziale, quando non era stata eseguita ancora alcuna operazione, e la macchina è pronta per un altro calcolo. Nel caso del flip-flop lo stato corrispondente è identificato da  $Q = 0$ .

Se poniamo  $S = 0$  e  $R = 1$ , possiamo verificare che il flip-flop può assumere uno solo degli stati possibili, cioè lo stato di reset, con  $Q = 0$ . Analogamente, ponendo  $S = 1$  e  $R = 0$ , il flip-flop si porta nello stato di set con  $Q = 1$ .

Supponiamo ora che il flip-flop sia nello stato di reset con  $S = 0$  e  $R = 1$  sicché  $Q = 0$ , e che ad un certo istante, diciamo per  $t = T$ , l'ingresso  $R$  passi ad  $R = 0$ . Come si può verificare dalla Fig. 9.1-1, la variazione su  $R$  non fa cambiare lo stato del flip-flop, poichè la variazione si è verificata sull'ingresso di una porta NOR che ha come secondo ingresso  $\bar{Q} = 1$ . Pertanto troviamo che, con  $R = S = 0$ , il flip-flop permane nel suo stato di reset e dallo stato del flip-flop possiamo dedurre che prima dell'istante  $t = T$  i livelli d'ingresso erano  $S = 0$  e  $R = 1$ . Dunque il flip-flop ha *ricordato* quali erano gli stati degli ingressi prima dell'istante  $t = T$ . In altri termini, con  $S = R = 0$  lo stato del flip-flop dipende dalla storia dei livelli di ingresso immediatamente precedente. Analogamente, se poniamo  $S = 1$  e  $R = 0$ , il flip-flop si porta allo stato di set, con  $Q = 1$ ; se poi  $S$  commuta, sicché i livelli d'ingresso diventano  $S = R = 0$ , il flip-flop permane nello stato di set.

Supponiamo infine che gli ingressi  $S$  e  $R$  siano entrambi  $S = R = 1$ . In questo caso le uscite sono entrambe allo 0 logico. (Qui l'affermazione, implicita in Fig. 9.1-1, che le uscite siano complementari, non è più valida.) Se ora entrambi gli ingressi commutassero simultaneamente agli stati  $S = R = 0$ , gli stati delle uscite non sarebbero più prevedibili. Infatti con  $S = R = 0$  sono possibili due stati, per cui lo stato risultante è assolutamente casuale. A causa di questa ambiguità la combinazione  $S = R = 1$  non viene usata.

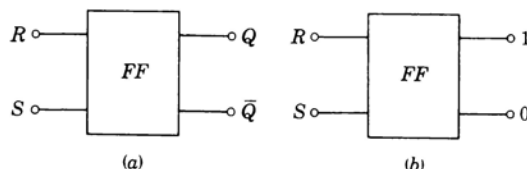


Figura 9.3-1 Simboli circuitali del flip-flop SR.

I risultati di questa analisi sul funzionamento del flip-flop sono riassunti nella tavola di verità illustrata in Fig. 9.1-1b. In essa i livelli logici presenti agli ingressi  $S$  e  $R$  variano in modo arbitrario. Vi saranno intervalli di tempo in cui  $S = 0$  e  $R = 0$ , intervalli in cui  $S = 0$  e  $R = 1$ , ecc.. Designiamo gli intervalli con  $1, 2, \dots, n, n+1, \dots$ . Nell'intervallo  $n+1$ , quando  $S = 0$  e  $R = 1$ , avremo  $Q_{n+1} = 0$  ( $\bar{Q}_{n+1} = 1$ ) senza che la storia di  $S$  e  $R$  durante gli intervalli precedenti abbia alcuna influenza. Analogamente con  $S = 1$  e  $R = 0$ , avremo  $Q_{n+1} = 1$ . Se invece nell'intervallo  $n+1$ ,  $S = R = 0$ , lo stato del flip-flop sarà uguale allo stato che si aveva nell'intervallo  $n$ .

Supponiamo di avere  $S = R = 1$  durante l'intervallo  $n$  e  $S = R = 0$  durante l'intervallo  $n+1$ . Solo in teoria però  $S$  e  $R$  commutano simultaneamente, in pratica ciò non si può verificare. Nei casi reali, se  $S$  commuta per primo, cosicché si passa dallo stato  $S = R = 1$  allo stato  $S = 0$ ,  $R = 1$  e poi allo stato  $S = 0$ ,  $R = 0$ , l'uscita finale risulta  $Q_{n+1} = 0$ . Se invece  $R$  commuta per primo, lo stato finale risulta  $Q_{n+1} = 1$ .

In Fig. 9.3-1a è illustrato il simbolo circuitale del flip-flop. In Fig. 9.3-1b le uscite sono designate con i livelli logici  $1$  e  $0$ , rispettivamente corrispondenti a  $Q$  e  $\bar{Q}$ . Naturalmente ciò non implica che su questi terminali d'uscita vi siano dei livelli logici fissi. Si vuole semplicemente indicare che il terminale contrassegnato con «1» è a livello logico  $1$  (stato di set) quando l'ingresso di set è attivo, cioè  $S = 1$  ( $R = 0$ ).

## 9.4 FLIP-FLOP A PORTE NAND

In Fig. 9.4-1a è illustrato un flip-flop realizzato con porte NAND. Possiamo facilmente verificare che per questo flip-flop è valida la tavola di verità illustrata in Fig. 9.4-1b. Qui la condizione  $S = R = 0$  determina sulle uscite livelli logici non complementari (livelli logici  $1$ ); per cui costituisce uno stato non operativo. In questa tavola di verità abbiamo eliminato la colonna relativa a  $\bar{Q}$ , che risulta superflua quando si sia indicata la colonna relativa a  $Q$ . Poiché si tratta di porte NAND, gli ingressi sono attivi quando sono al livello logico  $0$ , cioè il flip-flop commuta quando l'uno o l'altro degli ingressi è portato allo  $0$  logico. Poiché in questo caso lo stato asserito non è concorde con la convenzione scelta nei paragrafi precedenti, abbiamo indicato i due ingressi di controllo con  $\bar{S}$  e  $\bar{R}$ , invece che con  $S$  e  $R$ .

Le variabili non complementate  $S$  e  $R$  non compaiono nel circuito illustrato in Fig. 9.4-1a. Tuttavia possiamo immaginare due variabili  $S$  e  $R$  che siano complementi di  $\bar{S}$  e  $\bar{R}$ , e quindi dire che  $S = 1$ ,  $R = 0$  e  $S = 0$ ,  $R = 1$  comportano rispettivamente lo stato di set e di reset. Usando queste due variabili virtuali, o fittizie, e basandoci sulla tavola di verità di Fig. 9.4-1b, possiamo compilare la tavola di verità di Fig. 9.4-1c; quest'ultima è identica a quella di Fig. 9.1-1b che si applicava direttamente nel caso delle porte NOR. Pertanto, considerando o le variabili reali o le variabili virtuali, la tavola di verità di Fig. 9.1-1b diventa una tavola di verità «universale», applicabile a

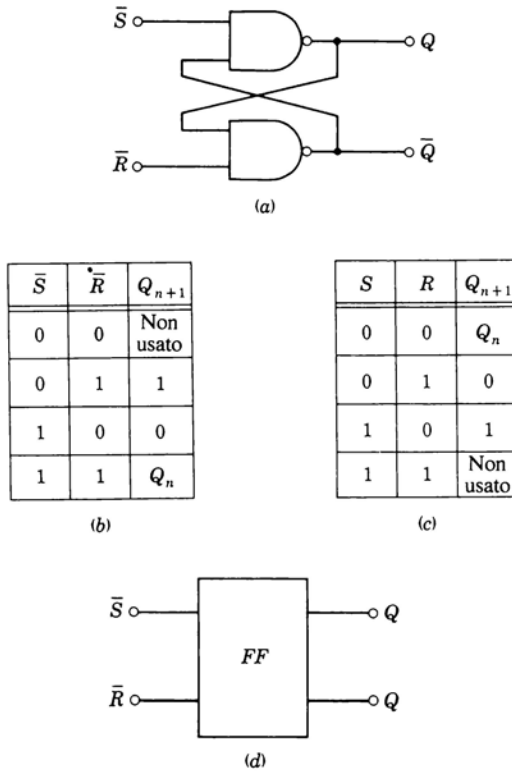


Figura 9.4-1 (a) Flip-flop  $SR$  a porte  $NAND$ , (b) tavola di verità del flip-flop  $SR$  espressa mediante  $S$  e  $R$ , (c) tavola di verità espressa mediante  $S$  e  $R$ , (d) simbolo del flip-flop illustrato in (a).

qualsiasi flip-flop, indipendentemente dal tipo di porte usate. In Fig. 9.4-1d è illustrato il simbolo circuitale di questo tipo di flip-flop.

## 9.5 COMMUTATORE CON CIRCUITO ANTI-RIMBALZO

Come semplice ed utile applicazione del flip-flop  $SR$ , esaminiamo la situazione illustrata in Fig. 9.5-1. In Fig. 9.5-1a è rappresentato un commutatore che permette di trasferire all'uscita una tensione  $V_o = 0$  oppure una tensione  $V_o = V_{cc}$ . Tali tensioni, in un sistema digitale, potrebbero essere le tensioni corrispondenti ai due livelli logici. Il circuito deve consentire di applicare manualmente all'ingresso di un sistema digitale uno o l'altro dei livelli logici. Tuttavia nei commutatori e negli interruttori meccanici il braccio del contat-

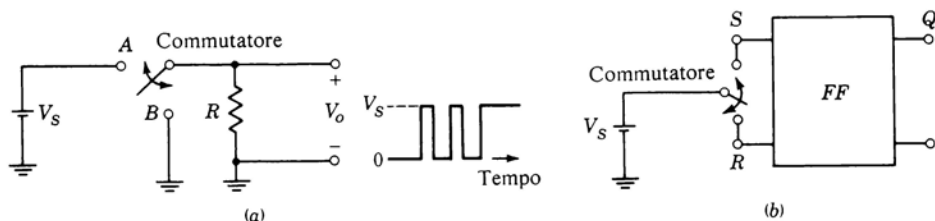


Figura 9.5-1 (a) Commutatore a due posizioni e (b) commutatore con circuito anti-rimbalzo.

to mobile, quando viene spostato da una posizione all'altra, *rimbalza* o *vibra* parecchie volte prima di stabilizzarsi sulla posizione di contatto. Supponiamo, ad esempio, di ruotare il commutatore in modo che  $V_o$  passi dal livello logico **0** al livello logico **1**. Generalmente il commutatore fa contatto nella posizione *A*, rimbalza da *A* (ma *non* ritorna in *B*) e compie parecchie oscillazioni prima di stabilizzarsi. Si noti che, quando il commutatore è nella posizione *A*, la tensione di uscita è  $V_s$ , mentre quando il braccio mobile non tocca il contatto *A*, la tensione d'uscita è  $0\text{ V}$ , poichè nel resistore *R* non passa corrente.

In Fig. 9.5-1*b* è illustrato un commutatore con circuito *anti-rimbalzo*. Supponiamo che il flip-flop funzioni secondo la tavola di verità di Fig. 9.1-1, il che si verifica se il flip-flop è realizzato con porte, per esempio, **NOR** **RTL**. In questo caso un terminale di ingresso della porta lasciato senza connessioni esterne («fluttuante») può essere considerato a livello logico **0**. Il commutatore rappresentato in Fig. 9.5-1*b* può essere ruotato in una posizione o nell'altra per determinare su *S* o su *R* il livello logico **1**. È facile verificare che, se il commutatore è chiuso, per esempio, su *R*, l'uscita è  $Q = 0$ , mentre quando il contatto viene spostato su *S*, l'uscita diventa  $Q = 1$ .

Entrambe le commutazioni, da **0** ad **1**, o da **1** a **0**, avvengono istantaneamente al primo contatto e non sono influenzate dai rimbalzi del contatto, perché difficilmente il commutatore rimbalza indietro fino all'altro ingresso; quindi, durante i rimbalzi,  $S = R = 0$ .

Nei circuiti pratici si usa molto comunemente il flip-flop **SR** per prevenire i rimbalzi, inserendolo a valle del commutatore meccanico; a tal scopo si possono usare sia flip-flop a porte **NAND** che a porte **NOR**.

## 9.6 FLIP-FLOP CON COMANDO DI CLOCK

Per risolvere un problema che sorge regolarmente quando si lavora con i flip-flop, esaminiamo la situazione illustrata in Fig. 9.6-1. Prendiamo un flip-flop **SR** che funziona secondo la tavola di verità di Fig. 9.1-1*b*. Il circuito illustra-

to potrebbe far parte di un sistema digitale più complesso e gli ingressi del flip-flop provenire da punti diversi del sistema stesso. Supponiamo che ad un certo istante gli stati degli ingressi siano  $R = 0$  e  $S = 0$ , dove  $S$  è il risultato di una operazione logica combinatoria su due segnali logici  $A$  e  $B$ , che valgono  $A = 1$  e  $B = 0$ . Con  $S = R = 0$  le uscite possono assumere entrambi gli stati; supponiamo in questo caso  $Q = 0$ .

Supponiamo ora che  $A$  e  $B$  commutino entrambi quasi nello stesso istante, e che la commutazione debba lasciare invariato lo stato del flip-flop. A tal fine è necessario che  $A$  commuti *prima* di  $B$  in modo da mantenere lo stato  $S = 0$ . Tuttavia nella progettazione di un sistema può risultare difficile garantire questa sequenza temporale. Se  $A$  commutasse *dopo*  $B$ , il flip-flop subirebbe una commutazione indesiderata nello stato di set contemporaneamente alla commutazione di  $B$  e permanerebbe nello stato di set indipendentemente dalla successiva commutazione di  $A$ . Nei sistemi digitali complessi i ritardi di propagazione attraverso le porte e altri tipi di ritardo (non facilmente prevedibili) provocano spesso problemi di questo tipo. [Vedi Fig. 4.12-2.]

Questi ritardi provocano dei problemi anche nei normali circuiti combinatori, cioè in circuiti privi di memoria, ma i problemi aumentano quando sono in gioco elementi di memoria. Ad esempio in Fig. 9.6-1 si vuole che  $S$  rimanga allo stato  $S = 0$ . Se  $B$  commuta un intervallo di tempo  $\Delta t$  prima di  $A$ , lo stato di  $S$  resterà errato solo per l'intervallo  $\Delta t$ , mentre il flip-flop conserverà lo stato errato per un tempo indefinito.

Sarebbe perciò molto utile poter disporre di un flip-flop in cui gli ingressi  $S$  e  $R$  determinino ancora gli stati finali delle uscite del flip-flop, ma in cui l'istante preciso di risposta del flip-flop ai livelli d'ingresso sia determinato da un segnale ausiliario. Le transizioni degli stati d'uscita potrebbero allora essere differite fino a che tutti i livelli logici d'ingresso che influenzano il flip-flop non si siano stabilizzati completamente.

In Fig. 9.6-2 è illustrato un flip-flop che elimina i problemi di temporizzazione di cui si è parlato. In esso sono state aggiunte due porte al circuito base e sono state impiegate porte NAND invece che porte NOR. Gli ingressi di set e reset del flip-flop base sono indicati con  $\bar{S}'$  e  $\bar{R}'$ , mentre i simboli  $S$  e  $R$  sono riservati ai terminali di set e reset a cui si può accedere dall'esterno.

Sono anche disponibili come terminali esterni  $\bar{S}_d$  e  $\bar{R}_d$ , che costituiscono gli ingressi diretti alle porte del flip-flop base. Tali ingressi non sono essenziali

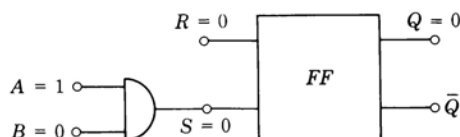


Figura 9.6-1 Circuito che esemplifica la necessità di un segnale di temporizzazione (clock) nel flip-flop.

al funzionamento del flip-flop, per cui rimandiamo la descrizione del loro funzionamento. Per ora supponiamo che  $\overline{S}_d = \overline{R}_d = 1$ , sicché le porte d'uscita sono *abilitate*; infatti, quando  $\overline{S}_d = \overline{R}_d = 1$ , né  $\overline{S}_d$  né  $\overline{R}_d$  influenzano il funzionamento del flip-flop.

L'ingresso logico ausiliario designato con la lettera  $C$  è generalmente chiamato ingresso di *clock* (o di *cadenza*). Quando il segnale di clock applicato a questo ingresso è a livello logico 0,  $\overline{S}' = \overline{R}' = 1$  indipendentemente dagli stati di  $S$  e  $R$ . Sono quindi possibili entrambi gli stati d'uscita e lo stato effettivo dipende dalla storia precedente di  $S$  e  $R$ . Analogamente quando  $S = R = 0$ , il clock non può influenzare lo stato del flip-flop e quindi lo stato effettivo dipende di nuovo dalla storia precedente.

Supponiamo ora di porre  $S = 1$  e  $R = 0$ , mentre il clock si trova allo 0 logico ( $C = 0$ ). All'istante in cui  $C$  diventa  $C = 1$ , il flip-flop commuta allo stato di set (se già non vi si trovava). Pertanto ponendo  $S = 1$  e  $R = 0$ , si è solo deciso che il flip-flop dovrà passare nello stato di set, ma l'istante preciso della transizione viene determinato dal clock e più precisamente dall'istante in cui si verifica la *transizione positiva* (o *fronte di salita*) del clock. Analogamente poniamo  $S = 0$  e  $R = 1$ ; alla transizione positiva del clock, il flip-flop passerà allo stato di reset (o vi rimarrà). In entrambi i casi, come si può facilmente verificare, il successivo ritorno del clock a  $C = 0$  lascerà invariato lo stato del flip-flop. Lo stato d'ingresso  $S = R = 1$  non è usato; infatti in tal caso con  $C = 1$  avremmo  $\overline{S}' = \overline{R}' = 0$  e al ritorno di  $C$  a  $C = 0$ , lo stato del flip-flop non sarebbe prevedibile.

Per garantire che gli stati cambino solo in corrispondenza ad una transizione positiva del clock, generalmente si richiede che  $S$  e  $R$  non possano variare se non quando il clock è basso ( $C = 0$ ); può quindi essere utile fare in modo che il segnale di clock rimanga a  $C = 1$  soltanto per il tempo necessario alla commutazione del flip-flop. In tal caso la forma d'onda del clock si

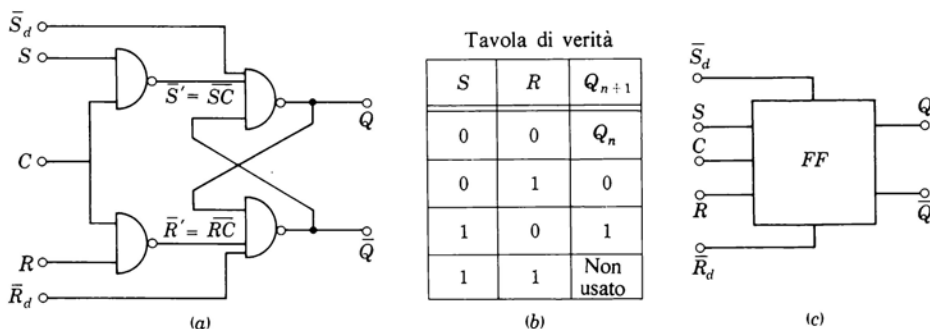


Figura 9.6-2 (a) Flip-flop a porte NAND con clock, (b) relativa tavola di verità, (c) simbolo circuitale del flip-flop con clock e con ingressi diretti.

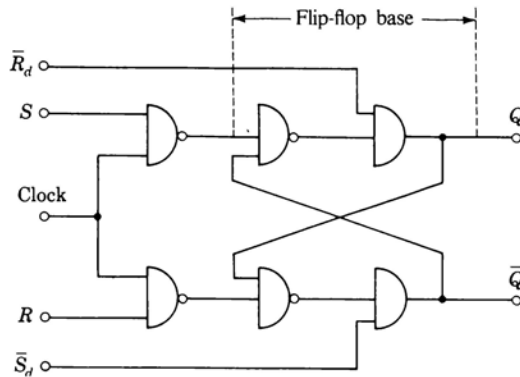


Figura 9.6-3 Flip-flop con ingressi diretti  $R_d$  e  $S_d$  che scavalcano il comando di clock.

presenta come una sequenza di impulsi positivi relativamente stretti; cioè l'intervallo fra gli impulsi è lungo in confronto alla durata degli impulsi stessi; la forma d'onda del clock è pertanto costituita da una sequenza di *impulsi di clock*.

In un sistema digitale che utilizza flip-flop con comando di clock, come quello illustrato in Fig. 9.6-2, ciascun impulso di clock fa avanzare il processo digitale di un passo. La velocità di avanzamento è quindi determinata dalla *velocità* con cui si presentano gli impulsi: da ciò deriva l'uso del termine «clock» (segnale di cadenza o di orologio). In molti sistemi gli impulsi di clock si presentano ad una velocità regolare che ricorda il tic-tac di un orologio e in questo caso il termine è ancora più appropriato. Dal momento che l'intero sistema digitale lavora in sincronismo con il clock, il sistema è chiamato *sincrono*.

Il funzionamento del flip-flop è riassunto nella tavola di verità illustrata in Fig. 9.6-2b. Il simbolo  $Q_n$  indica lo stato del flip-flop prima dell' $n$ -esima transizione positiva del clock, mentre  $Q_{n+1}$  indica lo stato successivo all' $n$ -esima transizione. Così quando  $S = R = 0$ , lo stato non cambia e  $Q_{n+1} = Q_n$ .

In altri termini, supponiamo che un ciclo del segnale di clock termini alla transizione che provoca un eventuale cambiamento di stato. (In questo caso un ciclo termina quando il clock passa all'1 logico.) Il simbolo  $Q_n$  indica allora lo stato del flip-flop durante l' $n$ -esimo ciclo di clock e  $Q_{n+1}$  indica lo stato durante il ciclo successivo, l' $(n+1)$ -esimo.

**Ingressi diretti** Gli ingressi diretti  $\bar{S}_d$  e  $\bar{R}_d$ , indicati in Fig. 9.6-2a, sono usati per stabilire lo stato iniziale del flip-flop o per mantenere il flip-flop in uno sta-

to particolare indipendentemente dai dati presenti ai terminali d'ingresso dati  $S$  e  $R$ . Così, in assenza di impulso di clock, lo stato del flip-flop è completamente determinato dagli ingressi diretti.

Gli ingressi diretti possono essere usati per scavalcare gli ingressi dati. Infatti vediamo che se  $\overline{R_d} = \overline{S_d} = 1$ , il controllo passa agli ingressi dati. Se invece poniamo  $\overline{S_d} = 1$  e  $\overline{R_d} = 0$  oppure  $\overline{S_d} = 0$  e  $\overline{R_d} = 1$ , il flip-flop si troverà rispettivamente nello stato di reset o nello stato di set alla *fine* dell'impulso di clock, cioè dopo che  $C$  è ritornato allo 0 logico, indipendentemente dai livelli logici presenti su  $S$  e  $R$ . Poichè  $S$  e  $R$  funzionano unitamente agli impulsi di clock, mentre ciò non si verifica per  $\overline{S_d}$  e  $\overline{R_d}$ ,  $S$  e  $R$  sono spesso chiamati *ingressi sincroni* mentre  $\overline{S_d}$  e  $\overline{R_d}$  sono chiamati *ingressi asincroni*. In Fig. 9.6-2c è illustrato il simbolo circuitale di questo flip-flop.

La configurazione con ingressi diretti di Fig. 9.6-2a presenta una caratteristica talvolta inaccettabile. Supponiamo, per esempio, che  $\overline{S_d} = 1$  e  $\overline{R_d} = 0$  prima, durante, e dopo un impulso di clock. Allora prima dell'impulso di clock il flip-flop viene portato in stato di reset, con  $Q = 0$  e  $\overline{Q} = 1$ , indipendentemente da  $S$  e  $R$ . Anche alla fine dell'impulso di clock (quando  $C$  è di nuovo allo 0 logico), il flip-flop è nello stato di reset. Tuttavia se abbiamo  $S = 1$  e  $R = 0$ , per la durata dell'impulso di clock ( $C = 1$ ), mentre  $\overline{Q}$  rimane allo stato  $\overline{Q} = 1$ ,  $Q$  passa da 0 ad 1. Infatti quando l'impulso di clock è all'1 logico,  $\overline{S}$  si porta allo stato  $\overline{S} = 0$  e quindi  $Q$  deve passare allo stato  $Q = 1$ .

In Fig. 9.6-3 è illustrato un flip-flop che non presenta questo inconveniente; infatti l'uscita è assolutamente indipendente dall'impulso di clock quando sono attivati gli ingressi diretti. Si lascia come problema verificare che se  $\overline{S_d} = 0$  e  $\overline{R_d} = 1$  risulta  $Q = 1$  oppure che se  $\overline{S_d} = 1$  e  $\overline{R_d} = 0$  risulta  $Q = 0$ , indipendentemente dagli stati di  $C$ ,  $S$  e  $R$ . Inoltre si può verificare che  $C$ ,  $S$  e  $R$  hanno il controllo del funzionamento del flip-flop solo se  $\overline{R_d} = \overline{S_d} = 1$ . Notiamo anche che a causa dei nuovi punti di applicazione di  $\overline{S_d}$  e  $\overline{R_d}$ , l'ordine di questi terminali di ingresso nella Fig. 9.6-3 è differente da quello di Fig. 9.6-2.

## 9.7 INTERCONNESSIONE FRA FLIP-FLOP: LA CONFIGURAZIONE MASTER-SLAVE

Nel flip-flop con comando di clock si ha un livello del segnale di clock in corrispondenza del quale le porte di ingresso sono disabilitate ed il flip-flop risulta isolato dai dati presenti ai suoi terminali di ingresso. (Nel circuito di Fig. 9.6-2 questo livello di clock è  $C = 0$ , ma in altri flip-flop può essere benissimo  $C = 1$ .) Nel circuito di Fig. 9.6-2 la commutazione alle uscite  $Q$  e  $\overline{Q}$  ha luogo quando il clock compie una transizione dal livello in cui le porte di ingresso sono disabilitate al livello in cui le porte sono abilitate. Chiameremo questa transizione *transizione di comando* (*triggering transition*); in altri termini il flip-flop risponde alla transizione di clock *dal livello disabilitante al livello abilitante*. Spesso questo funzionamento è inaccettabile. È preferibile un fun-



zionamento in cui il flip-flop risponda alla transizione di clock *dal livello abilitante al livello disabilitante*. Spiegheremo qui la ragione per cui si preferisce questa seconda alternativa e descriveremo un flip-flop che funziona appunto in questo modo. Nei paragrafi successivi descriveremo i circuiti di altri flip-flop che presentano questa stessa caratteristica.

Nei sistemi digitali si verifica in genere questa situazione: (1) un segnale di clock unico è usato per comandare tutti i flip-flop del sistema, e (2) gli ingressi dati dei flip-flop sono derivati tutti o in parte dalle uscite di altri flip-flop. In questo caso un flip-flop che risponde quando il clock passa dal livello disabilitante a quello abilitante presenta un grave inconveniente. Infatti il flip-flop viene a rispondere non solo ai dati presenti ai suoi ingressi prima della transizione di clock ma anche ai *nuovi dati* che si presentano agli ingressi in seguito al fatto che anche altri flip-flop hanno cambiato essi stessi stato.

Per chiarire questo punto con un semplice esempio, esaminiamo la situazione rappresentata in Fig. 9.7-1, illustrante due flip-flop con comando di clock disposti in cascata. I flip-flop sono del tipo illustrato in Fig. 9.6-2 e rispondono quando il clock passa da  $C = 0$  (porte di ingresso disabilitate) a  $C = 1$  (porte abilitate). Supponiamo che gli ingressi diretti (non indicati) siano stati usati per portare inizialmente ciascun flip-flop nello stato di reset, sicché  $Q_1 = 0$  e  $Q_2 = 0$ . Si vuole che il circuito funzioni nel modo seguente. Applicato il segnale di clock, durante il primo ciclo di clock  $Q_1$  deve andare a  $Q_1 = 1$  mentre  $Q_2$  deve rimanere a  $Q_2 = 0$ . Durante il secondo ciclo di clock  $Q_1$  deve rimanere a  $Q_1 = 1$ , ma  $Q_2$  deve diventare  $Q_2 = 1$ . Cioè i dati di ingresso ( $S_1 = 1$ ,  $R_1 = 0$ ) devono venire trasferiti durante il primo ciclo di clock a  $FF1$  e durante il secondo ciclo di clock anche ad  $FF2$ . (Si noti che se questi due flip-flop funzionassero correttamente, potremmo aggiungere alla cascata altri flip-flop e ottenere così un circuito che ad ogni ciclo di clock faccia scorrere i dati di ingresso lungo la cascata. Una struttura di questo tipo prende il nome di *registro a scorrimento (shift register)* e sarà trattata in seguito nel Par. 10.1.)

Esaminando la forma d'onda di Fig. 9.7-1b, si può vedere però che questa sequenza non ha luogo. In figura sono stati indicati i tempi di salita, di discesa ed i ritardi di propagazione. Il segnale di clock viene applicato all'istante  $t = 0$  e alla prima transizione di  $C$  (da  $C = 0$  a  $C = 1$ )  $Q_1$  passa a  $Q_1 = 1$  poichè  $S_1 = 1$  e  $R_1 = 0$ . Inizialmente  $Q_2$  non cambia poichè  $S_2 = Q_1 = 0$  e  $R_2 = \overline{Q_1} = 1$ . Però dopo il ritardo di propagazione attraverso  $FF1$ ,  $S_2$  diviene  $S_2 = 1$  e  $R_2$  diviene  $R_2 = 0$ . Poichè  $C$  è ancora a  $C = 1$ , livello abilitante,  $FF2$  compie una transizione a  $Q_2 = 1$ . Pertanto vediamo che  $FF2$  risponde e  $Q_2$  passa a  $Q_2 = 1$  durante il primo ciclo di clock anzichè durante il secondo, come si desiderava. (Se in cascata ci fossero altri flip-flop, ciascuno risponderebbe con un ritardo rispetto al flip-flop precedente pari al suo tempo di propagazione, fintanto che  $C$  rimane a  $C = 1$ .)

Un modo per risolvere questo problema è far sì che il clock rimanga al livello abilitante per un tempo molto breve. In questo caso il segnale di clock

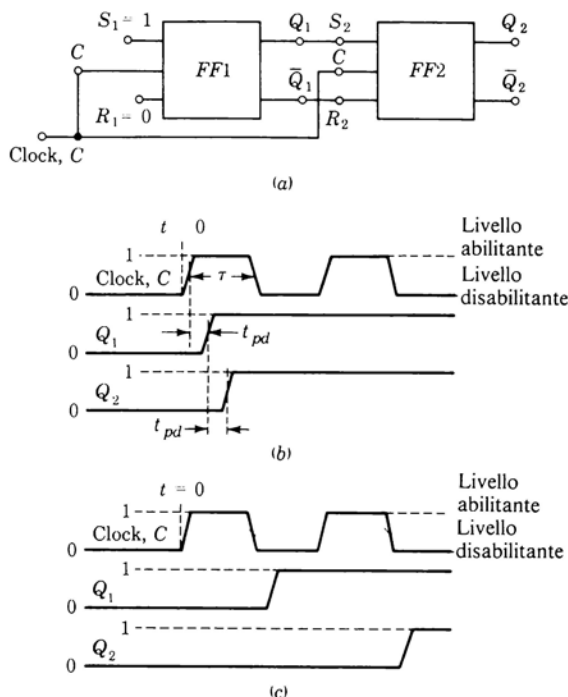


Figura 9.7-1 (a) Cascata di due flip-flop, (b) forme d'onda relative al circuito in (a), (c) forme d'onda desiderate.

sarebbe costituito da un treno di impulsi positivi di durata molto breve rispetto all'intervallo fra gli impulsi stessi.

Se la durata dell'impulso di clock fosse inferiore al ritardo di propagazione attraverso un flip-flop, il circuito funzionerebbe come richiesto; infatti in questa situazione si avrebbe che  $C$  torna al livello disabilitante  $C = 0$  prima che la risposta di FF1 all'impulso di clock appaia su  $Q_1 = S_2$  e  $\bar{Q}_1 = R_2$ . Questa soluzione però richiede che vengano generati e trasmessi attraverso il sistema digitale degli impulsi molto stretti. Nella famiglia logica ECL, dove ritardi di propagazione dell'ordine di soli 2 ns non sono rari, generare e trattare correttamente impulsi tanto stretti potrebbe rappresentare una seria difficoltà. In molti casi potrebbe capitare che impulsi tanto stretti da evitare i problemi di temporizzazione precedentemente descritti non siano in grado di comandare in maniera affidabile il flip-flop.

Una soluzione decisamente migliore è quella di progettare il flip-flop in modo che la transizione di comando sia costituita dalla transizione *dal livello abilitante al livello disabilitante*. Le forme d'onda corrispondenti sono indi-

cate in Fig. 9.7-1c. Qui *FF1* risponde quando il clock passa al livello disabilitante. La risposta di *FF1* fa cambiare  $Q_1$  da  $Q_1 = 0$  a  $Q_1 = 1$  e  $\bar{Q}_1$  da  $\bar{Q}_1 = 1$  a  $\bar{Q}_1 = 0$ . Queste commutazioni in  $S_2 = Q_1$  e  $R_2 = \bar{Q}_1$  non avvengono però se non *dopo* la transizione di comando, quando le porte d'ingresso di *FF2* sono ormai disabilitate e di conseguenza *FF2* non può rispondere. In corrispondenza alla seconda transizione di comando però *FF1* si è stabilizzato ormai nello stato di set, fissando  $S_2 = 1$  e  $R_2 = 0$ , sicché la seconda transizione di comando è in grado di far rispondere *FF2*.

Si è vista l'utilità, nel caso del collegamento in cascata di più flip-flop, di far sì che il comando si attivi con la transizione del clock dal livello abilitante al livello disabilitante. Questo accorgimento è utile anche quando il collegamento è effettuato fra l'uscita di un flip-flop e l'ingresso del flip-flop stesso. Questo è il caso del flip-flop *JK* che verrà trattato nel Par. 9.12.

Un tipo di flip-flop che risponde quando il clock compie una transizione al livello disabilitante è il flip-flop *master-slave* (*padrone-servo*). Il flip-flop master-slave, illustrato in Fig. 9.7-2, impiega due flip-flop a clock, ciascuno del tipo illustrato in Fig. 9.6-2. Un flip-flop è chiamato *master* e l'altro *slave*. Il clock  $C$  è applicato alle porte d'ingresso del master, mentre alle porte d'ingresso dello slave è applicato il complemento del clock  $\bar{C}$ . Quando il clock è alto ( $C = 1$ ), il suo complemento è basso ( $\bar{C} = 0$ ). Pertanto quando le porte  $1A$  e  $1B$  sono abilitate ( $C = 1$ ), le porte  $3A$  e  $3B$  sono disabilitate, e viceversa.

Quando il clock è alto, i dati presenti su  $S$  ( $= S_M$ ) e  $R$  ( $= R_M$ ) vengono accettati dal flip-flop master. Per esempio, se  $S = 1$  e  $R = 0$ , quando il clock diviene alto,  $Q_M$  diviene  $Q_M = S_S = 1$  e  $\bar{Q}_M$  diviene  $\bar{Q}_M = R_S = 0$ . Questi livelli  $Q_M$  e  $\bar{Q}_M$  non hanno alcun effetto sullo slave, poichè quando il clock è alto, le porte dello slave  $3A$  e  $3B$  sono disabilitate ( $\bar{C} = 0$ ). Poichè  $Q_M$  e  $\bar{Q}_M$  sono anche gli ingressi dati  $S_S$  ed  $R_S$  del flip-flop slave, quando il clock diviene basso, e  $\bar{C}$  alto, i dati presenti su  $Q_M$  e  $\bar{Q}_M$  vengono trasferiti alle uscite dello slave. In conclusione, quando  $C$  diviene alto, i dati presenti ai terminali di ingresso dati  $S$  ed  $R$  vengono registrati nel master ma impediti a passare nello slave. Quando l'impulso di clock torna allo 0 logico, disabilitando le porte di ingresso, i dati presenti nel master ( $Q_M$ ) sono accettati dal flip-flop slave e compaiono alle uscite  $Q_S$  e  $\bar{Q}_S$ .

La tavola di verità del flip-flop master-slave di Fig. 9.7-2 è identica alla tavola di verità di Fig. 9.6-2. La caratteristica che distingue il circuito master-slave però consiste nel fatto che le commutazioni alle uscite  $Q$  e  $\bar{Q}$ , quando avvengono, si verificano quando il clock passa allo stato 0. Essenziale per il funzionamento del circuito è che, quando  $C$  passa da  $C = 0$  a  $C = 1$ , le porte  $3A$  e  $3B$  vengano disabilitate *prima* che le porte di ingresso dati  $1A$  e  $1B$  possano trasmettere i dati alle porte  $3A$  e  $3B$  stesse. È chiaro dalla Fig. 9.7-2 che se il tempo di propagazione di ciascuna porta del flip-flop è  $t_{pd}$ , le porte  $3A$  e  $3B$  vengono disabilitate un istante  $t_{pd}$  prima che lo stato di  $Q_M$  possa

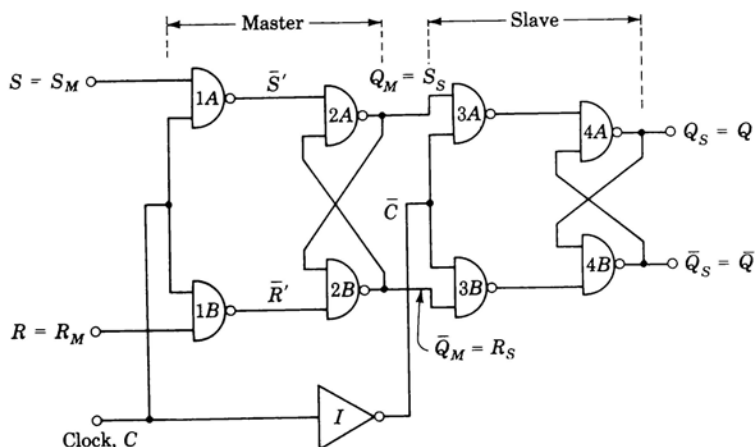


Figura 9.7-2 Flip-flop master-slave.

cambiare. Pertanto questo circuito è in grado di funzionare sempre correttamente.

**Ingressi diretti** Quando si deve fornire ad un flip-flop master-slave la possibilità di avere ingressi diretti (asincroni), questi ingressi devono essere connessi sia al master che allo slave, come mostrato in Fig. 9.7-3, in modo da *scavalcare* il clock. Si può verificare per questo circuito che, quando i due ingressi  $\overline{S}_d$  sono  $\overline{S}_d = 1$  e i due ingressi  $\overline{R}_d$  sono  $\overline{R}_d = 0$ , si ha  $Q = Q_M = 0$  e  $\overline{Q} = \overline{Q}_M = 1$ . Inoltre in questa situazione, sia il flip-flop master che il flip-flop slave sono indipendenti dal livello logico su  $S$  e  $R$  e sono completamente insensibili all'impulso di clock. Analogamente con  $\overline{S}_d = 0$  e  $\overline{R}_d = 1$ , si ha  $Q = Q_M = 1$  e  $\overline{Q} = \overline{Q}_M = 0$ . Il flip-flop viene reso indipendente dal controllo diretto ponendo  $\overline{S}_d = \overline{R}_d = 1$ . Gli ingressi diretti con i livelli  $\overline{S}_d = \overline{R}_d = 0$  non vengono usati.

Alcuni flip-flop master-slave disponibili in commercio sono provvisti di terminali per il controllo diretto soltanto per il flip-flop slave. In questo caso la situazione per lo slave è identica a quella rappresentata in Fig. 9.6-2 e, come descritto nel Par. 9.6, gli ingressi diretti non sono completamente indipendenti dalle transizioni del segnale di clock.

Il simbolo circuitale del flip-flop di Fig. 9.7-3 è illustrato in Fig. 9.7-4. Gli ingressi di set e reset diretti sono attivi allo 0 logico; questa caratteristica viene indicata sia mettendo la barretta di complementazione sopra le parole «set» e «reset» sia disegnando i circolini di complementazione sui terminali di set e di reset.

È chiaro che questo simbolismo è ridondante. Analogamente, per indicare che l'uscita commuta sulla transizione negativa del segnale di clock si usa

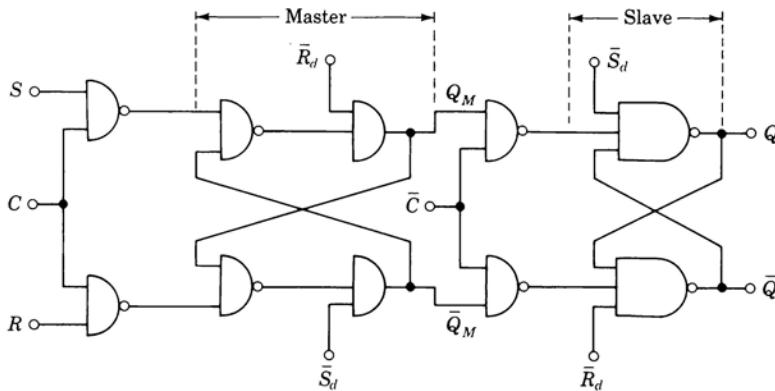


Figura 9.7-3 Flip-flop master-slave con ingressi diretti che scavalcano gli ingressi sincroni.

spesso sia la barretta di complementazione sia il circolino sul clock. Per quanto riguarda il clock a volte si impiega soltanto uno dei due simbolismi. Altre volte al posto di questi due simbolismi si preferisce usare il simbolo disegnato in figura all'interno del rettangolo indicante il flip-flop.

Il flip-flop master-slave è costituito quindi da un primo flip-flop (lo slave) che fornisce il segnale di uscita e da un secondo flip-flop (il master) che provvede a immagazzinare i dati di ingresso. Pertanto i dati di ingresso sono disponibili per lo slave quando il clock si trova al livello logico in corrispondenza del quale le porte di ingresso sono disabilitate ed il flip-flop è perciò sconnesso dall'esterno. Nei prossimi paragrafi considereremo altri tipi di flip-flop che impiegano un unico flip-flop (corrispondente allo slave) ed in cui il meccanismo di disabilitazione è realizzato con altri mezzi.

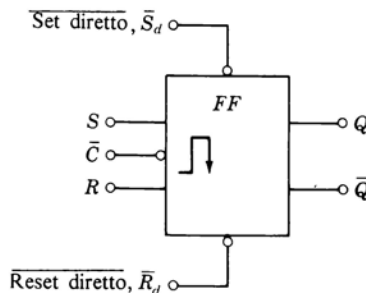


Figura 9.7-4 Simbolo circuitale del flip-flop con clock.

## 9.8 FLIP-FLOP CON COMANDO SUL FRONTE DI TRANSIZIONE AD ACCOPPIAMENTO IN ALTERNATA

In questo paragrafo esaminiamo il funzionamento del flip-flop ad accoppiamento in alternata asincrono illustrato in Fig. 9.8-1. Questo circuito esemplifica il principio di funzionamento che sta alla base del flip-flop ECL ad alta velocità, il cui circuito reale è presentato nel Par. 9.18. Nel Par. 9.9 esamineremo il flip-flop ad accoppiamento in alternata con comando di clock, circuito che presenta gli stessi vantaggi di un master-slave, ma che impiega un unico flip-flop.

Un flip-flop *ad accoppiamento in alternata* può essere visto come un dispositivo i cui terminali di ingresso sono accoppiati mediante capacità ad un flip-flop *RS*, come illustrato in figura. Questo accoppiamento fa sì che il cambiamento di stato del flip-flop *RS* sia dovuto alla *transizione* degli ingressi *R* o *S* invece che al loro *livello*. Per questo motivo il flip-flop ad accoppiamento in alternata è spesso chiamato flip-flop *con comando sul fronte di transizione* (*edge-triggered*). In Fig. 9.8-1a abbiamo impiegato porte  $\text{NOR}$  poiché generalmente il circuito viene realizzato in logica ECL; comunque si possono anche usare porte  $\text{NAND}$  (vedi Fig. 9.8-3).

A causa dell'accoppiamento capacitivo, livelli costanti sui terminali d'ingresso non producono alcun effetto sul flip-flop mentre *variazioni* dei livelli logici possono produrre effetto. Per indicare che la risposta, se si verifica, è dovuta ad una *variazione* dei livelli, gli ingressi dati sono stati designati (secondo l'uso comune) con  $S_D$  e  $R_D$ , dove i pedici significano «dinamico». Questa simbologia non deve essere confusa con quella relativa agli ingressi diretti  $S_d$  e  $R_d$ , di cui si è parlato in precedenza.

Abbiamo già fatto notare che nel caso in cui è significativo il *livello* di un segnale logico, si è soliti associare ai terminali variabili logiche in forma complementata, o no, in modo che il valore logico **1** della variabile corrisponda al verificarsi di un certo evento.

Nel caso in cui è significativa la *variazione* o *transizione* da un livello all'altro, non esistono convenzioni generali. Comunque nella pratica risulta comodo assegnare i simboli dinamici in modo tale che un simbolo dinamico *non complementato* indichi che la transizione attiva è costituita dalla transizione *dal livello logico 1 al livello logico 0*. Corrispondentemente una transizione dal livello logico **0** al livello logico **1** non avrà effetto sul flip-flop. A seconda del tipo di porte impiegato, la transizione attiva (o inattiva) è costituita dal fronte di salita o dal fronte di discesa.

Infine, valendoci delle convenzioni che abbiamo adottato, si noti quanto segue, a titolo d'esempio. Supponiamo che un terminale sia indicato con  $R_D$  e sia  $R_D = 1$ . Ciò significa che al terminale  $R_D$  si è verificata una transizione *attiva*, cioè una transizione da **1** a **0**. Se viceversa supponiamo  $R_D = 0$ , ciò significa che si è verificata una transizione *non attiva* da **0** a **1**, oppure che non si è verificata *nessuna* transizione. Per un terminale contrassegnato con  $\overline{S}_D$  la

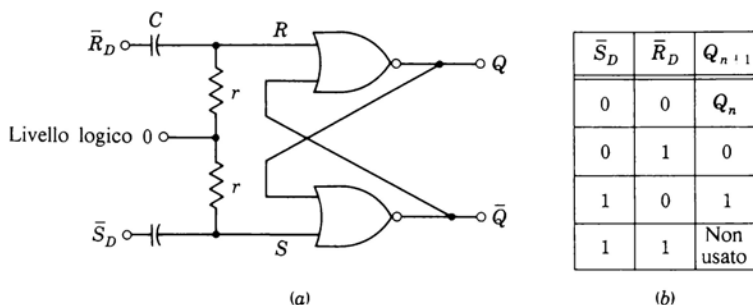


Figura 9.8-1 (a) Flip-flop ad accoppiamento capacitivo e (b) tavola di verità.

transizione attiva sarà quella che va da **0** a **1** e sarà rappresentata da  $\bar{S}_D = 1$ .

Supponiamo che le porte NOR di Fig. 9.8-1 lavorino in logica positiva. Supponiamo inoltre che la tensione su  $\bar{S}_D$  o  $\bar{R}_D$  compia una transizione da **1** a **0** logico. Allora su  $S$  o  $R$  comparirà un impulso negativo. Poiché lo **0** logico non è costituito da un livello di tensione fisso ma da qualsiasi tensione minore di una certa soglia, l'impulso negativo lascerà  $R$  o  $S$  allo **0** logico. Pertanto una transizione negativa su  $\bar{S}_D$  o  $\bar{R}_D$  non avrà alcun effetto sul flip-flop. Supponiamo ora invece che sul solo terminale  $\bar{S}_D$  si verifichi una transizione in salita ( $\bar{S}_D = 1$ ,  $\bar{R}_D = 0$ ). Su  $S$  si avrà allora un impulso positivo. Se questo impulso è di ampiezza adeguata,  $S$  sale al livello logico **1** e il flip-flop commuta nello stato di set o vi rimane se già vi si trovava. La successiva discesa dell'impulso, che fa ritornare  $S$  allo **0** logico, non ha alcun effetto sul flip-flop. Analogamente una transizione positiva su  $\bar{R}_D$  soltanto ( $\bar{R}_D = 1$ ,  $\bar{S}_D = 0$ ) porterà il flip-flop nello stato di reset o lo lascerà in questo stato se già vi si trovava. In Fig. 9.8-1b è riportata la tavola di verità per questo flip-flop.

Poiché in Fig. 9.8-1a  $\bar{R}_D$  e  $\bar{S}_D$  sono applicati al flip-flop RS attraverso due condensatori, è bene esaminare i grafici illustrati in Fig. 9.8-2. Supponiamo che la tensione d'ingresso  $V_i(t)$  presenti una transizione in salita a rampa. Se la rampa varia di  $\Delta V$  nell'intervallo di tempo  $T$ , si può esprimere la tensione d'ingresso durante l'intervallo di transizione come  $V_i(t) = (\Delta V/T)t$ .

La Fig. 9.8-2b mostra la tensione d'uscita  $V_o(t)$  quando il tempo di salita  $T$  è di molto superiore alla costante di tempo del filtro  $\tau = rC$ . In questo caso il filtro si comporta come un derivatore e l'uscita è costituita da un impulso di ampiezza  $\tau \Delta V/T$  e di durata approssimativamente uguale a  $T$ . La Fig. 9.8-2c illustra la tensione d'uscita  $V_o(t)$  quando  $T \ll \tau$ . In questo caso la tensione d'uscita segue la tensione di ingresso più da vicino e quindi presenta un picco di tensione approssimativamente uguale a  $\Delta V$ .

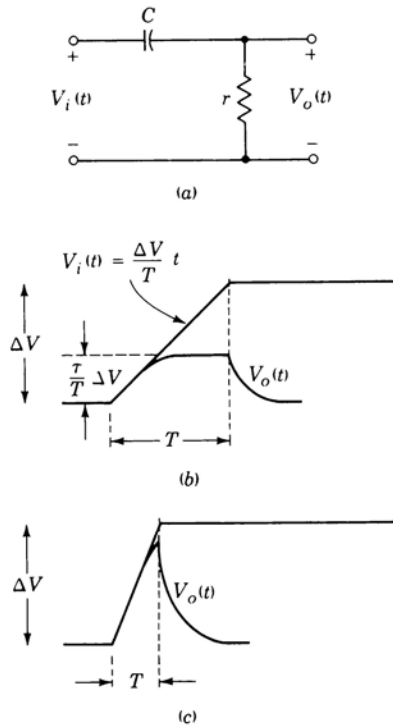


Figura 9.8-2 (a) Il circuito  $rC$  di ingresso, (b)  $T \gg \tau$ , (c)  $T \ll \tau$ .

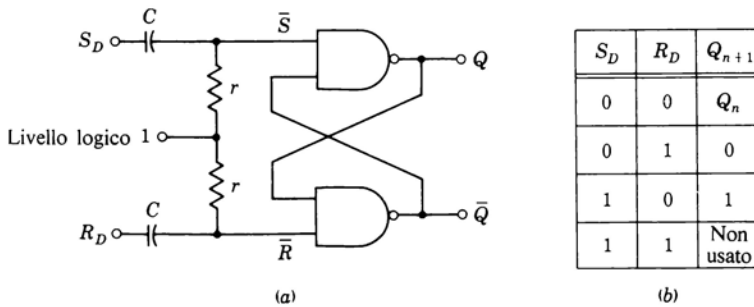


Figura 9.8-3 (a) Flip-flop a comando sul fronte di transizione a porte NAND e (b) tavola di verità.



Possiamo notare che al crescere del tempo di salita  $T$  del segnale d'ingresso, l'ampiezza dell'impulso su  $R$  o  $S$  diminuisce. Poichè il flip-flop  $RS$  per commutare richiede una certa tensione minima di ingresso, il tempo di salita  $T$  del segnale di ingresso deve essere minore di un certo valore massimo. Per esempio, supponiamo che per fare commutare un flip-flop sia necessaria una variazione di tensione su  $S$  o  $R$  di almeno  $0,75\text{ V}$ ; allora se la tensione di ingresso varia di  $3\text{ V}$  e  $\tau = 2\text{ ns}$ , il tempo di salita  $T$  deve essere minore di  $8\text{ ns}$ .

In Fig. 9.8-3a è illustrato un flip-flop ad accoppiamento capacitivo impiegante porte  $NAND$ . Notiamo che i resistori sono collegati all'1 logico. In questo caso sono attive le transizioni di  $S_D$  e  $R_D$  dal livello logico 1 al livello logico 0 (transizioni in discesa se la porta lavora in logica positiva); per questo motivo le variabili dinamiche appaiono in forma non complementata. In Fig. 9.8-3b è riportata la tavola di verità relativa a questo flip-flop.

## 9.9 FLIP-FLOP AD ACCOPPIAMENTO IN ALTERNATA CON COMANDO DI CLOCK

In Fig. 9.9-1a è illustrato un flip-flop ad accoppiamento in alternata con comando di clock. Il circuito è uno sviluppo del flip-flop ad accoppiamento in alternata di Fig. 9.8-1, in cui sono state aggiunte le due porte d'ingresso  $1A$  e  $1B$ . Questo flip-flop con clock presenta la configurazione base del flip-flop ECL accoppiato in alternata che verrà trattato nel Par. 9.18. Il circuito può venire controllato dai suoi terminali di set e reset diretti o può essere impiegato come flip-flop con clock od infine può essere impiegato come flip-flop ad accoppiamento in alternata asincrono. Poichè esso presenta tre diversi modi di impiego, saranno necessarie tre tavole di verità per descrivere il suo funzionamento.

In Fig. 9.9-1b è data la tavola di verità per il set e il reset diretti. Questa tavola sottintende che  $R'$  e  $S'$  siano tenuti a  $R' = S' = 0$ . Un modo per garantire questa condizione è quello di tenere il clock  $\overline{C}$  ad 1 logico in modo da disabilitare le due porte di ingresso.

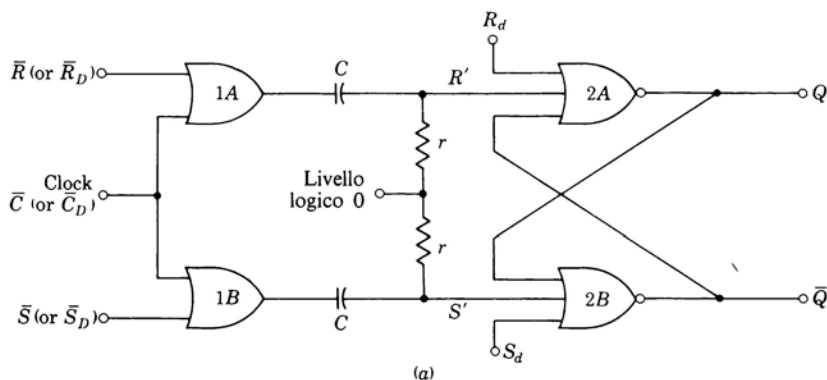
In Fig. 9.9-1c è data la tavola di verità per il funzionamento con clock. Per verificare che la tavola è corretta supponiamo, per esempio, che  $\overline{S} = 0$  e  $\overline{R} = 1$ . La porta  $1A$  è allora disabilitata ed  $R'$  non sarà influenzato dal clock, rimanendo sempre a  $R' = 0$ . Supponendo poi che il clock  $\overline{C}$  compia una transizione dallo 0 all'1 logico,  $S'$  conseguentemente passerà per un breve istante da 0 a 1. Con  $R' = 0$  ed  $S' = 1$ ,  $Q$  deve passare a  $Q = 1$ , stato di set. Gli altri casi della tavola di verità possono venire verificati in maniera analoga.

Se il livello logico del clock è tenuto a  $\overline{C} = 0$ , entrambe le porte di ingresso sono abilitate e gli ingressi dati  $\overline{R}$  e  $\overline{S}$  possono venire usati come nel flip-flop ad accoppiamento in alternata di Fig. 9.8-1. Quando si intende questo tipo di funzionamento, è appropriato indicare gli ingressi  $\overline{R}$  e  $\overline{S}$  rispettivamente con  $\overline{R}_D$  e  $\overline{S}_D$ . La tavola di verità per questo funzionamento a comando sul fronte

d'onda asincrono è la stessa di Fig. 9.8-1b ed è nuovamente riportata in Fig. 9.9-1d.

Precedentemente, nel Par. 9.7, abbiamo fatto notare che nei sistemi digitali sincroni la situazione che generalmente si presenta è quella in cui i dati all'ingresso di un flip-flop sono derivati, del tutto o in parte, dalle uscite di altri flip-flop. Abbiamo fatto notare inoltre che, per garantire un funzionamento corretto, i flip-flop impiegati nel sistema devono essere progettati in modo che la transizione attiva di clock sia quella che porta le porte d'ingresso *dal livello di abilitazione a quello di disabilitazione*. Possiamo verificare ora che il flip-flop accoppiato in alternata soddisfa completamente questa condizione.

Riferiamoci alla Fig. 9.9-1a. Se  $\bar{C}$  passa da  $\bar{C} = 1$  a  $\bar{C} = 0$ , le uscite delle porte 1A e 1B, a seconda dei livelli su  $\bar{S}$  e  $\bar{R}$ , o non risponderanno oppure risponderanno con una transizione negativa. In entrambi i casi le porte 2A e 2B non verranno influenzate. Supponiamo ora che  $\bar{S} = 0$  e  $\bar{R} = 1$  e che  $\bar{C}$



$\bar{C} = 0$		
$\bar{S}_D$	$\bar{R}_D$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	Non usato

(b)

$\bar{S}$	$\bar{R}$	$Q_{n+1}$
0	0	Non usato
0	1	1
1	0	0
1	1	$Q_n$

(c)

$\bar{S}_D$	$\bar{R}_D$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	Non usato

(d)

Figura 9.9-1 (a) Flip-flop ad accoppiamento in alternata con clock, (b) funzionamento asincrono mediante gli ingressi diretti  $S_d$  e  $R_d$ , (c) funzionamento sincrono, (d) funzionamento asincrono in alternata; quando si vuole lavorare in quest'ultimo modo, deve essere  $C = 0$ .

compia una transizione positiva da  $\overline{C} = 0$  a  $\overline{C} = 1$ . Questa transizione allora non avrà effetto sull'uscita della porta 1A, ma l'uscita della porta 1B risponderà con una transizione positiva che comparirà all'ingresso della porta 2B sotto forma di un impulso positivo. Come risultato, il flip-flop passerà allo stato di set  $Q = 1$ , come richiesto dalla tavola di verità di Fig. 9.9-1c. Analogamente, per  $\overline{S} = 1$  e  $\overline{R} = 0$ , il flip-flop passerà allo stato di reset, con  $Q = 0$ , quando  $\overline{C}$  passa da 0 a 1. In ogni caso, a causa del tempo di propagazione attraverso il flip-flop, *quando l'uscita è passata al nuovo stato, le porte d'ingresso si sono già disabilitate, come richiesto.*

Abbiamo già messo in evidenza una differenza fra il flip-flop master-slave ed il flip-flop accoppiato in alternata, cioè che nel flip-flop accoppiato in alternata il tempo di transizione del clock non deve superare un certo valore. Esaminiamo ora una seconda differenza. Nel master-slave i dati d'ingresso possono essere cambiati in qualsiasi istante, cioè sia quando le porte di ingresso sono disabilitate sia quando sono abilitate. Non ha nessuna importanza l'istante in cui questi dati sono cambiati poichè sull'uscita non si avrà alcuna variazione se non nell'istante in cui si verifica la transizione di comando del clock. In questo istante i dati a cui il flip-flop risponde sono i dati forniti per ultimi, cioè quelli presenti sugli ingressi immediatamente prima della transizione di comando. Esaminiamo ora il flip-flop ad accoppiamento in alternata illustrato in Fig. 9.9-1; quando  $\overline{C} = 1$ , sicchè le porte di ingresso sono disabilitate, siamo liberi di aggiornare i dati di ingresso. Supponiamo invece  $\overline{C} = 0$ ; una variazione positiva su  $\overline{S}_D$  o  $\overline{R}_D$  può influenzare le porte 2A o 2B, a seconda dello stato in cui si trova il flip-flop. Pertanto in un flip-flop ad accoppiamento in alternata occorre osservare la precauzione di cambiare i dati solo quando le porte di ingresso sono disabilitate, cioè quando  $\overline{C} = 1$ .

## 9.10 FLIP-FLOP AD IMMAGAZZINAMENTO CAPACITIVO

In Fig. 9.10-1 è indicato un altro modo in cui possono venir utilizzati i condensatori per far sì che nel flip-flop il comando avvenga sul fronte d'onda ed il funzionamento sia del tipo master-slave. Questa tecnica è spesso impiegata nei circuiti TTL.

Il livello disabilitante del clock è  $C = 0$  ( $\overline{C} = 1$ ), poichè a questo livello le porte 1A e 1B risultano entrambe disabilitate. Con  $C = 0$ ,  $S' = R' = 0$ . Supponiamo ora, per esempio, che quando  $C = 0$ , si abbia  $S = 1$  e  $R = 0$ . Quando il clock passa a  $C = 1$ , i condensatori si caricano in modo che  $S' = 1$  e  $R' = 0$ . Questi livelli  $S'$  e  $R'$  non hanno effetto sull'uscita del flip-flop poichè, non appena il clock va a  $C = 1$ ,  $\overline{C}$  diviene  $\overline{C} = 0$  e le porte 2A e 2B vengono disabilitate.

Il clock torni ora al suo livello di disabilitazione,  $C = 0$ . Se non ci fossero i condensatori,  $S'$  e  $R'$  ritornerebbero immediatamente a  $S' = R' = 0$ , disabilitando le porte 2A e 2B. I condensatori invece mantengono i livelli  $S' = 1$  e  $R' = 0$  per un certo intervallo. Perciò, non appena il clock torna a  $C = 0$ ,  $\overline{C}$  pas-

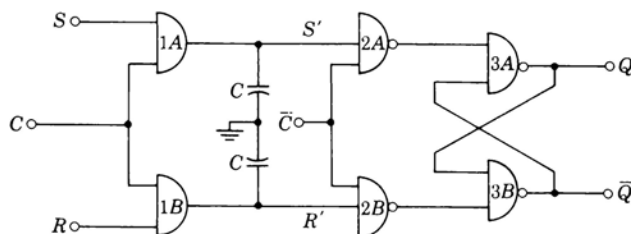


Figura 9.10-1 Flip-flop ad immagazzinamento capacitivo.

sa allo stato 1, l'uscita della porta 2A passa al livello logico 0 e l'uscita della porta 2B rimane al livello logico 1. Il flip-flop quindi, se già non vi si trova, passa allo stato di set con  $Q = 1$ .

Si osservi che qui i condensatori assolvono alla stessa funzione di immagazzinamento dati cui provvedeva il master nel flip-flop master-slave.

Questo circuito ad immagazzinamento capacitivo presenta due limitazioni. La prima riguarda il tempo di discesa massimo ammesso per il segnale di clock; infatti il tempo di discesa deve essere sufficientemente breve da garantire che i condensatori non si scarichino in maniera apprezzabile. La seconda limitazione riguarda la larghezza dell'impulso di clock, che deve essere superiore ad un dato valore minimo necessario per garantire che i condensatori si carichino ad una tensione sufficientemente alta. Valori tipici per il tempo di discesa del clock sono  $t_f \leq 150$  ns mentre la larghezza dell'impulso di clock è solitamente  $\geq 20$  ns. Per questa ragione i circuiti TTL ad altissima velocità, che lavorano intorno ai 50 MHz ed oltre, non possono impiegare la tecnica dell'immagazzinamento capacitivo.

## 9.11 FLIP-FLOP A RITARDO DI PROPAGAZIONE

Considereremo ora un altro metodo per realizzare i flip-flop a comando sul fronte d'onda. Questa tecnica viene spesso impiegata con le porte RTL. Consideriamo dapprima il circuito a porte di Fig. 9.11-1a. Se  $B = 1$ , si ha che  $C = 0$  e  $D = 0$  indipendentemente da  $A$ . Quindi  $B = 1$  *disabilita* il circuito. Poniamo ora  $B = 0$ . In questo caso i due ingressi  $A$  e  $C$  della porta 2 risultano sempre complementari. Quindi  $D$  dovrebbe rimanere come prima a  $D = 0$ . Ma non è così. Infatti supponiamo  $B = 0$  e facciamo avvenire una transizione in  $A$  da  $A = 0$  a  $A = 1$ , come in Fig. 9.11-1b. Allora (supponendo di essere in logica positiva) in  $C$  si verificherà una corrispondente transizione negativa. A causa però del *ritardo di propagazione* attraverso la porta 1, la transizione in  $C$  sarà ritardata di un certo intervallo. Perciò in questo intervallo  $t_{pd1}$ , come illustrato, sia  $A$  che  $C$  saranno  $A = C = 1$  e (dopo un ulteriore ritardo

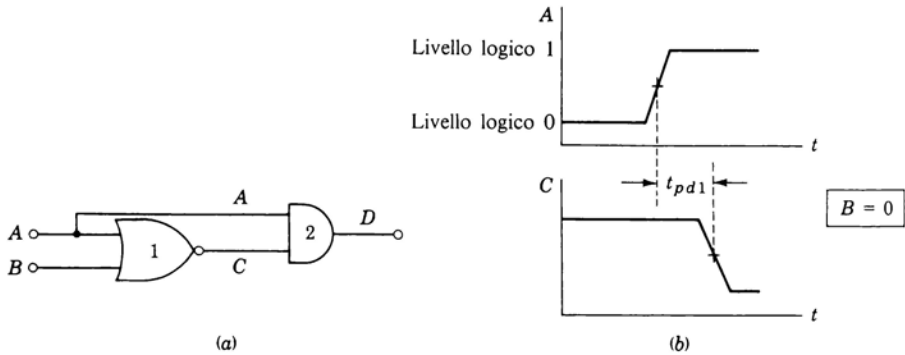


Figura 9.11-1 (a) Due porte collegate in modo da dare un 1 in uscita per un tempo circa pari al ritardo di propagazione della porta 1; (b) forme d'onda di  $A$  e  $C$ , quando  $B = 0$ , per dimostrare che  $D = 1$  per un intervallo pari circa a  $t_{pd1}$ .

dovuto alla porta 2) avremo  $D = 1$  per la durata dello stesso intervallo  $t_{pd1}$ .

Si può inoltre verificare che, con  $B = 0$ , una transizione *negativa* di  $A$  non produce alcun effetto su  $D$  e che, con  $B = 1$ , non hanno effetto né le transizioni positive né le transizioni negative. Questa situazione è simile a quella descritta in relazione alla Fig. 4.12-2.

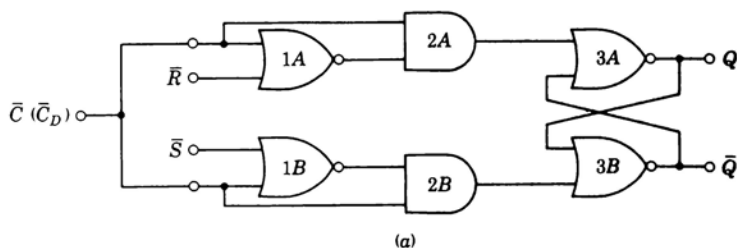
La struttura a due porte illustrata in Fig. 9.11-1a fa parte del flip-flop di Fig. 9.11-2a. Il livello di clock  $\overline{C} = 1$  è il livello disabilitante. Infatti con  $\overline{C} = 1$  le porte 1A e 1B sono disabilitate ed  $\overline{S}$  e  $\overline{R}$  possono subire cambiamenti senza influenzare lo stato d'uscita del flip-flop. Come abbiamo visto, una transizione negativa di  $\overline{C}$ , da  $\overline{C} = 1$  a  $\overline{C} = 0$ , non produce effetto alcuno sul circuito delle porte 2A e 2B, indipendentemente dai livelli logici di  $\overline{S}$  e  $\overline{R}$ .

Supponiamo ora, per esempio, che  $\overline{S} = 0$  e  $\overline{R} = 1$ . Quando  $\overline{C}$  compie una transizione positiva da  $\overline{C} = 0$  a  $\overline{C} = 1$ , per un breve intervallo l'uscita della porta 2B passa al livello logico 1. Di conseguenza il flip-flop passerà nel suo stato di set con  $Q = 1$  ( $\overline{Q} = 0$ ).

Come per i flip-flop che impiegano i condensatori, anche i flip-flop a ritardo di propagazione pongono una limitazione al tempo di salita massimo ammesso per il clock. La tavola di verità che descrive il funzionamento del sistema è illustrata in Fig. 9.11-2b.

## 9.12 IL FLIP-FLOP JK

Tutti i flip-flop che abbiamo considerato presentano una coppia di porte d'ingresso a cui sono applicati sia il segnale di clock sia i segnali dei dati. Per e-



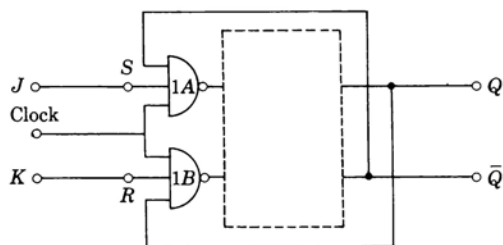
$\bar{S}$	$\bar{R}$	$Q_{n+1}$
0	0	Non usato
0	1	1
1	0	0
1	1	$Q_n$

(b)

Figura 9.11-2 (a) Flip-flop a comando sul fronte di transizione basato sul ritardo di propagazione; (b) tavola di verità.

sempio in Fig. 9.6-2a le porte di ingresso sono porte  $NAND$ , una con gli ingressi  $S$  e  $C$ , l'altra con gli ingressi  $R$  e  $C$ . Una situazione analoga si presenta in Fig. 9.7-2 in cui le porte d'ingresso sono indicate con  $1A$  e  $1B$ . In Fig. 9.9-1 sono impiegate porte  $OR$  e gli ingressi sono  $\bar{C}$  e  $\bar{S}$ ,  $\bar{C}$  e  $\bar{R}$ .

In Fig. 9.12-1 abbiamo illustrato un flip-flop sincrono con una modifica. Il rettangolo a tratteggio rappresenta tutto il flip-flop ad eccezione delle due porte di ingresso, che sono disegnate a parte. In questo caso sono impiegate



$J$	$K$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$

(b)

Figura 9.12-1 (a) Il flip-flop  $JK$  e (b) tavola di verità.

porte *NAND*, ma potrebbero andare altrettanto bene porte di altro tipo. La novità consiste nell'aggiunta di un nuovo ingresso per ogni porta e nel collegamento delle uscite del flip-flop a questi nuovi ingressi secondo quanto indicato dalla figura. Il terminale dati che prima era stato indicato con *S*, ora viene chiamato *J* ed il terminale dati *R* ora viene chiamato *K*.

Senza questa modifica, i livelli logici presenti su *S* e *R* «controllavano» il segnale di clock. Cioè a seconda dei livelli logici presenti su *S* e su *R* veniva abilitata l'una o l'altra delle due porte *1A* e *1B* ed il clock portava il flip-flop nello stato di set o di reset. La modifica fa sì che il clock venga controllato non solo da *S* e *R* ma anche dallo stato del flip-flop stesso.

Il funzionamento del flip-flop *JK* è determinato dalla tavola di verità data in Fig. 9.12-1*b*. Siano dapprima  $J = K = 0$ . Entrambe le porte d'ingresso risultano disabilitate ed il clock non potrà cambiare lo stato del flip-flop. Quindi  $Q_{n+1} = Q_n$ .

Supponiamo poi che  $J = 0$  e  $K = 1$  e che il flip-flop si trovi nello stato di reset con  $Q = 0$ . La porta *1A* è allora disabilitata a causa di  $J = 0$  e *1B* è disabilitata a causa di  $Q = 0$ . Quindi il clock non potrà spostare il flip-flop dallo stato di reset. Supponiamo però che, con  $J = 0$  e  $K = 1$ , come prima, il flip-flop si trovi invece nello stato di set con  $Q = 1$ . Allora la porta di reset *1B* è abilitata ed il clock potrà provocare la commutazione del flip-flop nello stato di reset con  $Q = 0$ . Analogamente, con  $J = 1$  e  $K = 0$  il clock potrà portare il flip-flop, se già non vi si trova, nello stato di set.

Siano infine  $J = K = 1$ . In questo caso l'abilitazione dell'una o dell'altra porta *1A* o *1B* dipende totalmente da  $Q_n$  e  $\overline{Q}_n$ , cioè dallo stato del flip-flop. Se  $Q_n = 0$  viene abilitata *1A*. Il clock porterà il flip-flop nello stato di set con  $Q_{n+1} = 1$ . Se  $Q_n = 1$ , il clock porterà invece il flip-flop nello stato di reset con  $Q_{n+1} = 0$ . In questo modo ad ogni ciclo del segnale di clock lo stato del flip-flop cambierà. Questa «commutazione da uno stato all'altro ad ogni ciclo di clock» viene indicata in inglese col termine *toggle*. Si noti che nella tavola di verità *JK* per la condizione  $J = K = 1$  è specificato  $Q_{n+1} = \overline{Q}_n$ . Si noti anche che nella tavola di verità *JK*, a differenza delle precedenti tavole di verità *SR*, non esiste alcuna combinazione dei dati di ingresso per la quale si trovi il termine «non usato» (*not used*).

Considereremo ora più da vicino il funzionamento toggle del flip-flop *JK*. Ci renderemo conto così della necessità di ricorrere al funzionamento di tipo master-slave, trattato nei Par. da 9.7 a 9.11, funzionamento nel quale lo stato del flip-flop cambia quando il clock passa al suo livello *disabilitante*.

Nel flip-flop di Fig. 9.12-1, poichè vengono usate all'ingresso porte *NAND*, il livello logico 0 del clock è disabilitante ed il livello 1 è abilitante. Supponiamo allora che  $J = K = 1$ ,  $Q = 0$  e  $\overline{Q} = 1$ . Il clock a questo punto salga dallo 0 logico all'1 logico abilitando la porta *1A*. Se il flip-flop rispondesse a questa transizione, come nel caso del flip-flop di Fig. 9.6-2, passerebbe allo stato di set ed avremmo  $Q = 1$  e  $\overline{Q} = 0$ . Questa situazione abiliterebbe la porta *1B* ed

il flip-flop risponderebbe di nuovo, tornando a  $Q = 0$ . Con  $Q = 0$  tutto ricomincerebbe daccapo. E di conseguenza il flip-flop oscillerebbe fra i due stati logici fino a che il clock non torna allo 0 logico. A parte l'inconveniente prodotto da questa oscillazione, lo stato finale a cui si verrebbe a trovare il flip-flop non sarebbe affatto prevedibile.

Viceversa se i livelli d'uscita del flip-flop cambiano soltanto quando il clock ritorna al livello disabilitante, questo inconveniente viene eliminato. Infatti nell'istante in cui  $Q$  e  $\bar{Q}$  commutano — commutazione che determina lo scambio dello stato di abilitazione-disabilitazione delle porte 1A e 1B — il clock è ormai disceso ed ha disabilitato entrambe le porte d'ingresso. In sostanza il flip-flop JK non sarebbe realizzabile se non con un flip-flop in cui il comando avvenga quando il clock passa al livello disabilitante, come nel caso della configurazione master-slave.

### 9.13 IL FLIP-FLOP DI TIPO D

Capita spesso di dover ritardare un segnale digitale di un intervallo pari alla durata di un ciclo di clock. Questa operazione può venire realizzata mediante un flip-flop SR o un flip-flop JK connessi come indicato in Fig. 9.13-1a. I dati vengono applicati al terminale S del flip-flop SR o al terminale J del flip-flop JK. I dati complementati vengono applicati al terminale R o al terminale K. Se ad un certo istante il dato D è  $D = 0$ , dopo la transizione di comando del successivo ciclo di clock si avrà  $Q = D = 0$ . Infatti con  $S = 0, R = 1$  (o con  $J = 0, K = 1$ ) il flip-flop passa allo stato di reset con  $Q = 0$ . Analogamente con  $D = 1$  la successiva transizione di comando porterà il flip-flop nello stato di set con  $Q = 1$ .

In Fig. 9.13-1c sono illustrate le forme d'onda relative. In questo caso si è supposto che la transizione di comando sia il fronte d'onda di discesa, per cui i dati presenti quando il clock si trova allo stato 1 vengono trasferiti all'uscita del flip-flop durante la transizione negativa del clock (in un flip-flop con comando sul fronte di transizione) o quando il clock ritorna al livello 0 (in un flip-flop master-slave). In base a quanto detto, si verifica subito che, con la sequenza dei dati illustrata, l'uscita  $Q$  presenta la forma d'onda indicata, cioè è identica alla sequenza dei dati di ingresso, ritardata di un ciclo di clock.

In Fig. 9.13-1c abbiamo disegnato i fronti di comando del segnale di clock come se fossero contemporanei con le commutazioni del segnale dei dati. Se succedesse proprio così, la risposta del flip-flop sarebbe ambigua. In pratica però le commutazioni dei dati avvengono leggermente *dopo* le transizioni di comando. Questo ritardo potrebbe essere causato dal ritardo di propagazione di una porta o di un altro flip-flop, quando, ad esempio, i dati provenissero dall'uscita di questo altro flip-flop comandato dallo stesso segnale di clock. Si tenga inoltre presente che fra il fronte di comando del segnale di clock e l'uscita  $Q$  si ha un certo ritardo non indicato in figura.



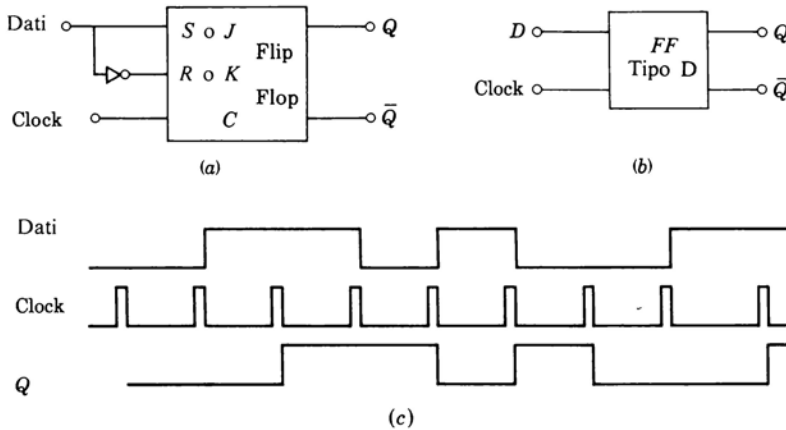


Figura 9.13-1 (a) Il flip-flop di tipo *D*, (b) suo simbolo circuitale e (c) forme d'onda.

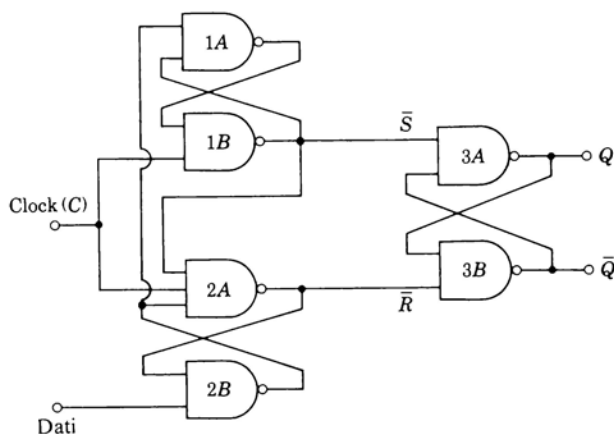
Il flip-flop impiegato come elemento di ritardo non richiede la stessa versatilità dei flip-flop *SR* o *JK* master-slave. Pertanto i flip-flop impiegati per questo uso possono venire realizzati in maniera più economica. Questo tipo speciale di flip-flop è chiamato flip-flop di tipo *D* (da *delay*, ritardo) ed è rappresentato dal simbolo circuitale di Fig. 9.13-1b.

In Fig. 9.13-2 è illustrato lo schema di un flip-flop di tipo *D*, di cui ora esamineremo il funzionamento. Il flip-flop di uscita che fornisce  $Q$  e  $\bar{Q}$  è costituito dalle porte  $\text{NAND}$  3A e 3B, mentre le porte 1A, 1B e 2A, 2B costituiscono due flip-flop di controllo collegati fra di loro. Si può verificare ora (Prob. 9.13-1) la validità delle seguenti affermazioni:

1 Quando  $C = 0$ , si ha  $\bar{S} = \bar{R} = 1$ , indipendentemente da  $D$ . Le porte 3A e 3B sono abilitate e pertanto sono consentiti entrambi gli stati del flip-flop. L'uscita  $Q$  dipende perciò dalla storia precedente del flip-flop, e  $Q_{n+1} = Q_n$ .

2 Iniziamo con  $D = 0$  e  $C = 0$ , portiamo  $C$  a  $C = 1$ .  $\bar{S}$  e  $\bar{R}$  diventano  $\bar{S} = 1$  e  $\bar{R} = 0$ , sicché  $Q$  diviene  $Q = 0$ . Se ora, mentre  $C = 1$ , si verificassero dei cambiamenti in  $D$ ,  $\bar{S}$  e  $\bar{R}$  rimarrebbero inalterati e così pure  $Q$ . Quando  $C$  torna a  $C = 0$ ,  $\bar{S}$  rimane  $\bar{S} = 1$  e  $\bar{R}$  diviene  $\bar{R} = 1$ , sicché il flip-flop di uscita ricorda i dati precedentemente presenti ai suoi ingressi e  $Q$  rimane  $Q = 0$ .

3 Partendo con  $D = 1$  e  $C = 0$ , portiamo  $C$  a  $C = 1$ .  $\bar{S}$  e  $\bar{R}$  divengono  $\bar{S} = 0$  e  $\bar{R} = 1$ , sicché  $Q$  passa a  $Q = 1$ . Se ora, mentre  $C = 1$ , si verificassero dei cambiamenti in  $D$ ,  $\bar{S}$  e  $\bar{R}$  rimarrebbero inalterati, così come

Figura 9.13-2 Un flip-flop di tipo *D*.

*Q*. Quando *C* torna a  $C = 0$ ,  $\bar{R}$  rimane  $\bar{R} = 1$  e  $\bar{S}$  diviene  $\bar{S} = 1$ , sicché il flip-flop di uscita ricorda i dati precedentemente presenti ai suoi ingressi e *Q* rimane a  $Q = 1$ .

In conclusione, quando *C* effettua una transizione positiva da  $C = 0$  a  $C = 1$ , *Q* diviene  $Q = 0$  se *D* era  $D = 0$  e *Q* diviene  $Q = 1$  se *D* era  $D = 1$ . *Q* non può venire cambiato in nessun altro modo. Eventuali cambiamenti in *D* quando  $C = 1$  non influenzano *Q*. Quindi, eccetto il fatto che in questo caso il comando avviene sulla transizione positiva del clock, il funzionamento di questo circuito è identico a quello descritto relativamente alla Fig. 9.13-1.

Come abbiamo già fatto notare, quando un flip-flop sta rispondendo alla transizione di comando del segnale di clock, deve diventare insensibile ad eventuali cambiamenti dei dati in ingresso. Nei flip-flop esaminati precedentemente questa esigenza viene soddisfatta facendo sì che la transizione di comando disabiliti le porte di ingresso. Anche nel caso del flip-flop di tipo *D* questa esigenza è soddisfatta poichè il flip-flop risponde quando *C* va ad 1, ma non risponde più ai cambiamenti di *D* quando *C* si trova a  $C = 1$ . Il flip-flop di tipo *D* quindi, come gli altri, può venire correttamente impiegato in un sistema sincrono nel quale l'ingresso *D* sia derivato in parte o del tutto dall'uscita di altri flip-flop.

Il flip-flop di tipo *D* illustrato in Fig. 9.13-2 è realizzato mediante porte NAND (TTL o DTL) ed è sensibile al livello del clock di ingresso. Sono anche disponibili flip-flop di tipo *D* utilizzando porte NOR (ECL o RTL). Si possono ottenere anche flip-flop a comando sul fronte di transizione utilizzando porte

NAND o NOR.

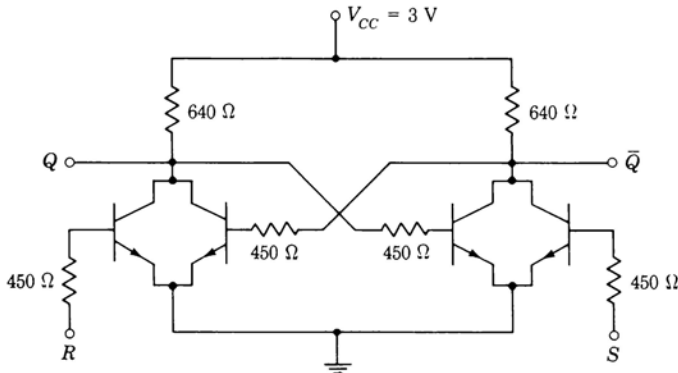


Figura 9.14-1 Un flip-flop *RS* RTL.

## 9.14 UN FLIP-FLOP *SR* RTL

In questo paragrafo e nei seguenti esamineremo gli schemi circuitali di alcuni tipi di flip-flop a circuito integrato disponibili sul mercato. I flip-flop, come abbiamo visto, sono costituiti da insiemi di porte. Una porta progettata per impieghi di tipo generale deve presentare un circuito del tipo di quelli che abbiamo esaminato in dettaglio nei capitoli precedenti. Quando però una porta viene usata all'interno di un flip-flop, e quindi in condizioni ben precise e circoscritte, è possibile a volte trovare soluzioni più economiche.

In Fig. 9.14-1 è illustrato un flip-flop *SR* privo di clock realizzato con porte *NOR* RTL a due ingressi. Esso rappresenta una realizzazione diretta del flip-flop di Fig. 9.1-1.

## 9.15 UN FLIP-FLOP DTL

Come esempio di flip-flop DTL considereremo il tipo 931 della Motorola, un flip-flop con clock che può essere impiegato come *JK*. Prima di esaminare il suo circuito, è bene fare alcune considerazioni preliminari.

Primo: supponiamo di impiegare come porta il circuito ad un solo transistor di Fig. 9.15-1a. Le tensioni che rappresentano le variabili logiche *A* e *B* sono applicate, come indicato, fra base e massa e fra emettitore e massa. L'uscita *Z* della porta è presa fra il collettore e massa. Il livello di tensione rappresentante lo **0** logico sia costituito dalla tensione presente ai capi di un transistor saturo, cioè qualche decimo di volt. Il livello di tensione rappresentante il livello logico **1** sia costituito a sua volta da una tensione in grado di saturare il transistor quando è applicata ad *A*, con *B* al livello logico **0**. Come si può verificare, la tavola di verità della porta è quella illustrata in Fig. 9.15-1b e la funzione logica realizzata dalla porta è perciò  $Z = \overline{A} + B = \overline{A} \cdot \overline{\overline{B}}$ . In Fig.

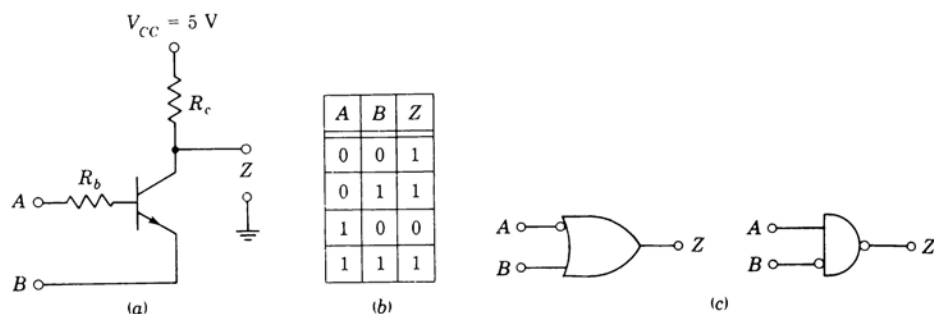


Figura 9.15-1 (a) Porta ad un solo transistor, (b) tavola di verità e (c) rappresentazione circuitale.

9.15-1c è illustrata la rappresentazione di questa funzione mediante i simboli logici.

Consideriamo ora la porta di Fig. 9.15-2a. Con i livelli logici sopra specificati,  $Z$  si troverà allo **0** logico se  $A$  o  $B$  si trovano ad **1** logico. Il circuito costituisce quindi, come mostrato in Fig. 9.15-2b, una porta **NOR**.

Consideriamo infine il circuito di Fig. 9.15-3a, ed esaminiamo la caratteristica tensione-corrente vista fra i suoi terminali. A questo fine supponiamo dapprima che  $V$  sia sufficientemente piccola da far sì che la tensione base-emettitore risulti inferiore alla tensione di soglia  $V_\gamma \approx 0,65\text{ V}$ . Il transistor è allora interdetto e la caratteristica tensione-corrente è quella di una resistenza di  $4,65\text{ k}\Omega$ , come indicato in Fig. 9.15-3b. Il lettore può facilmente verificare che, affinché sia  $V_{BE} \leq V_\gamma$ , deve essere  $V \leq 1\text{ V}$ .

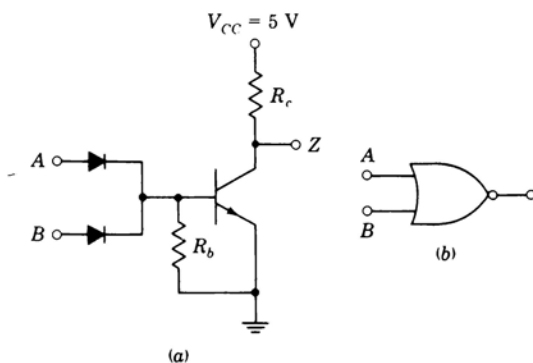


Figura 9.15-2 (a) Porta **NOR** DTL e (b) simbolo circuitale.

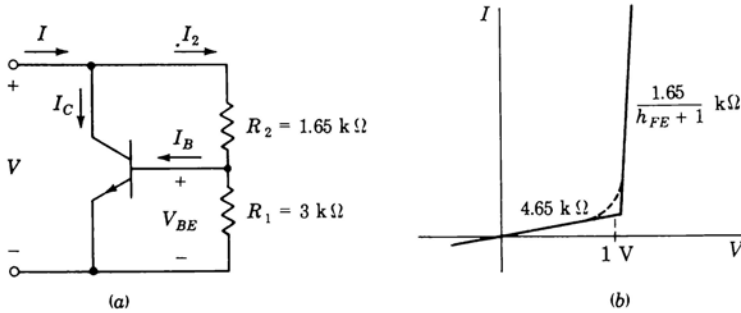


Figura 9.15-3 (a) Circuito operante come diodo e (b) caratteristica tensione-corrente.

Supponiamo ora che  $V$  divenga sufficientemente alto da portare il transistor nella sua regione attiva. Allora  $V_{BE} = 0,7$  V. In questo modo di funzionamento  $I = I_C + I_2$ , dove  $I_C = h_{FE} I_B$ ,  $I_2 = (V - 0,7)/1,65$  mA, e  $I_B = I_2 - 0,7/3$  mA. Perciò

$$I = \frac{h_{FE} + 1}{1650} V - \left[ \frac{0,7}{1650} (h_{FE} + 1) + \frac{0,7}{3000} h_{FE} \right] \quad (9.15-1)$$

La pendenza della caratteristica tensione-corrente in questa regione è perciò quella di un resistore lineare con resistenza di valore  $1.650 / (h_{FE} + 1)$ . Se  $h_{FE} \approx 40$ , questa resistenza vale circa  $40 \Omega$ .

Si può notare che la caratteristica tensione-corrente di Fig. 9.15-3b è simile a quella di un diodo. La soglia si trova però ad 1 V anziché a  $V_\gamma = 0,65$  V. Questo circuito inoltre è più versatile del semplice diodo poichè i suoi due modi di funzionamento sono quelli di due resistori di valore costante, mentre, come si sa, la resistenza di un diodo varia con continuità da punto a punto. Inoltre in questo circuito i due valori di resistenza e la tensione di soglia sono facilmente controllabili.

Passando ora al flip-flop illustrato in Fig. 9.15-4, si può riconoscere che è un flip-flop master-slave; la sua rappresentazione a porte logiche è illustrata in Fig. 9.15-5. Questo circuito differisce da quello considerato in Fig. 9.7-2. Però, come si può verificare (Prob. 9.15-1), questa configurazione circuitale funziona come flip-flop master-slave altrettanto bene del circuito di Fig. 9.7-2.

Esaminiamo ora lo schema circuitale di Fig. 9.15-4 per dimostrare che la rappresentazione di Fig. 9.15-5 è corretta. I blocchi del circuito realizzanti le varie funzioni logiche sono stati indicati con le stesse sigle usate per le corrispondenti porte di Fig. 9.15-5. Ricordiamo che la porta DTL base è costitui-

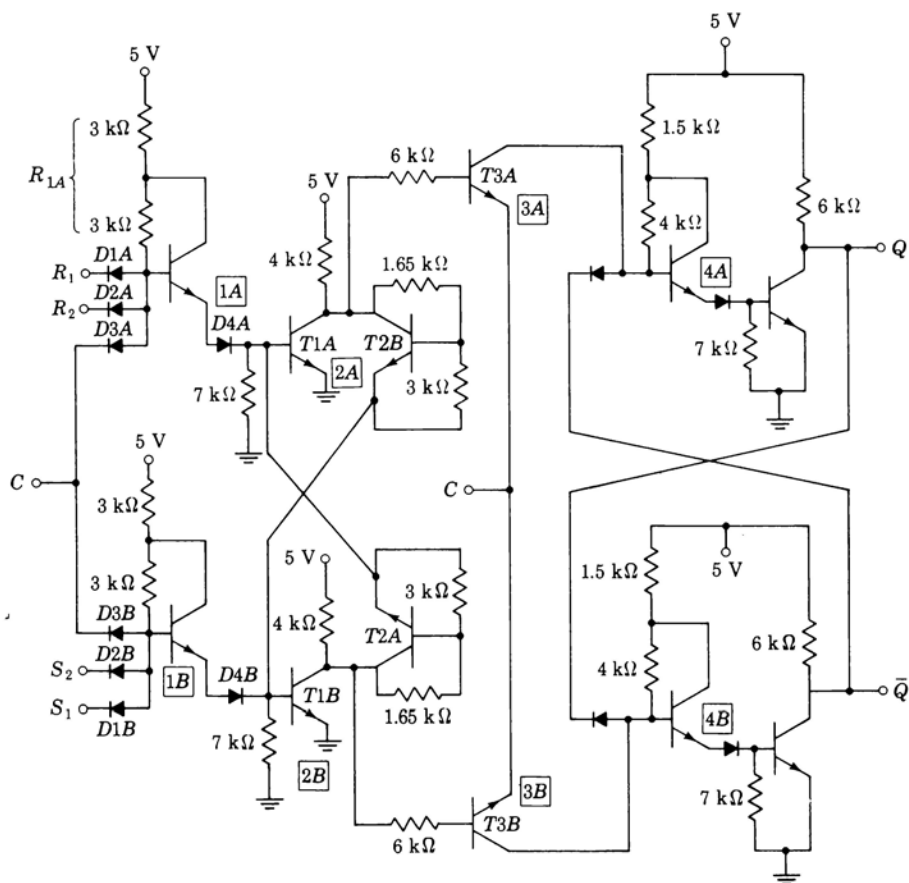


Figura 9.15-4 Un flip-flop RS master-slave (Motorola 931).

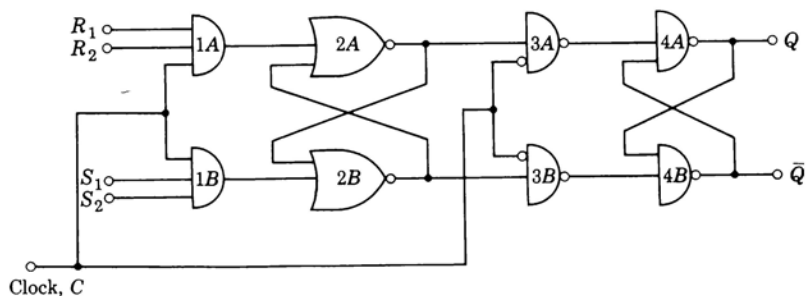


Figura 9.15-5 Rappresentazione a porte del flip-flop DTL.

ta da una porta  $\text{AND}$  a diodi e resistori seguita da un transistor invertente. Nel flip-flop tipo 931 la parte  $\text{AND}$  della porta DTL è indicata con le porte 1A e 1B, mentre le parti invertenti sono accoppiate in modo incrociato così da formare il flip-flop master. In Fig. 9.15-4 i diodi  $D1A$ ,  $D2A$  e  $D3A$  costituiscono insieme con  $R1A$  la porta  $\text{AND}$  1A. Il transistor  $T1A$  con il suo circuito comprendente  $D4A$  ed il transistor  $T2A$  (con i suoi resistori) costituiscono la porta  $\text{NOR}$  2A. Per vedere che le cose stanno proprio così, basta fare il confronto con le Fig. 9.15-2 e 9.15-3. Il transistor  $T3A$  costituisce la porta 3A, come si può vedere confrontando con la Fig. 9.15-1. La porta d'uscita 4A è una vera e propria porta DTL completa. A questo punto ci si può rendere chiaramente conto che il flip-flop tipo 931 impiega un numero di componenti molto minore di un circuito, ad esempio, che abbia la stessa configurazione di Fig. 9.7-2, ma in cui ogni porta  $\text{NAND}$  sia costituita da una vera e propria porta DTL completa.

Il circuito, come risulta dalla Fig. 9.15-4, è un flip-flop  $SR$  master-slave. Si osservi però che sono presenti due ingressi di set e due di reset. Se colleghiamo l'uscita  $\bar{Q}$  ad  $S_1$ , ad esempio, e  $Q$  ad  $R_1$ , il circuito diventa un flip-flop  $JK$  ed  $S_2$  e  $R_2$  divengono rispettivamente  $J$  e  $K$ . Nel circuito esistente in commercio sono disponibili anche gli ingressi diretti di set e di clear, che in questo schema sono stati omissi per semplicità.

## 9.16 UN FLIP-FLOP A RITARDO DI PROPAGAZIONE RTL

In Fig. 9.16-1 è illustrato un flip-flop a ritardo di propagazione disponibile in commercio (Motorola tipo 926). La configurazione a porte è identica a quella di Fig. 9.11-2. In questo circuito però ogni porta  $\text{NOR}$  d'ingresso è fornita di un ulteriore terminale collegato a  $Q$  e  $\bar{Q}$  in modo da realizzare un flip-flop  $JK$ .

Il transistor  $T0$  costituisce semplicemente uno stadio adattatore (buffer) avente lo scopo di ridurre il carico visto dal generatore del segnale di clock, ma non è essenziale al funzionamento del flip-flop. Però, poiché esso inverte il segnale di clock, il flip-flop commuterà sulla transizione negativa del clock anziché sulla positiva. I transistori  $T1A$ ,  $T2A$ ,  $T3A$  ed i transistori  $T1B$ ,  $T2B$ ,  $T3B$  costituiscono le due porte  $\text{NOR}$  a tre ingressi.

I transistori  $T4A$  e  $T4B$  costituiscono le porte  $\text{AND}$ . Per verificare questa affermazione, consideriamo la Fig. 9.16-2a. In essa i livelli logici di ingresso sono applicati alla base ed al collettore del transistor, così come avviene con  $T4A$  e  $T4B$ . L'uscita  $Z$  della porta è presa sul resistore di emettitore. Con i livelli logici tipici della RTL, si può verificare che la tavola di verità di questa porta è quella data in Fig. 9.16-2b e che quindi il circuito costituisce una porta  $\text{AND}$ .

I transistori  $T5A$  e  $T5B$  sono impiegati per collegare la porta  $\text{NOR}$  d'ingresso ( $T1$ ,  $T2$ ,  $T3$ ) con la porta  $\text{AND}$   $T4$ . Il funzionamento di questo circuito di accoppiamento è stato spiegato precedentemente nel Par. 9.15.

I transistori  $T6A$ ,  $T7A$ ,  $T8A$  e  $T6B$ ,  $T7B$ ,  $T8B$ , con i rispettivi resistori, co-

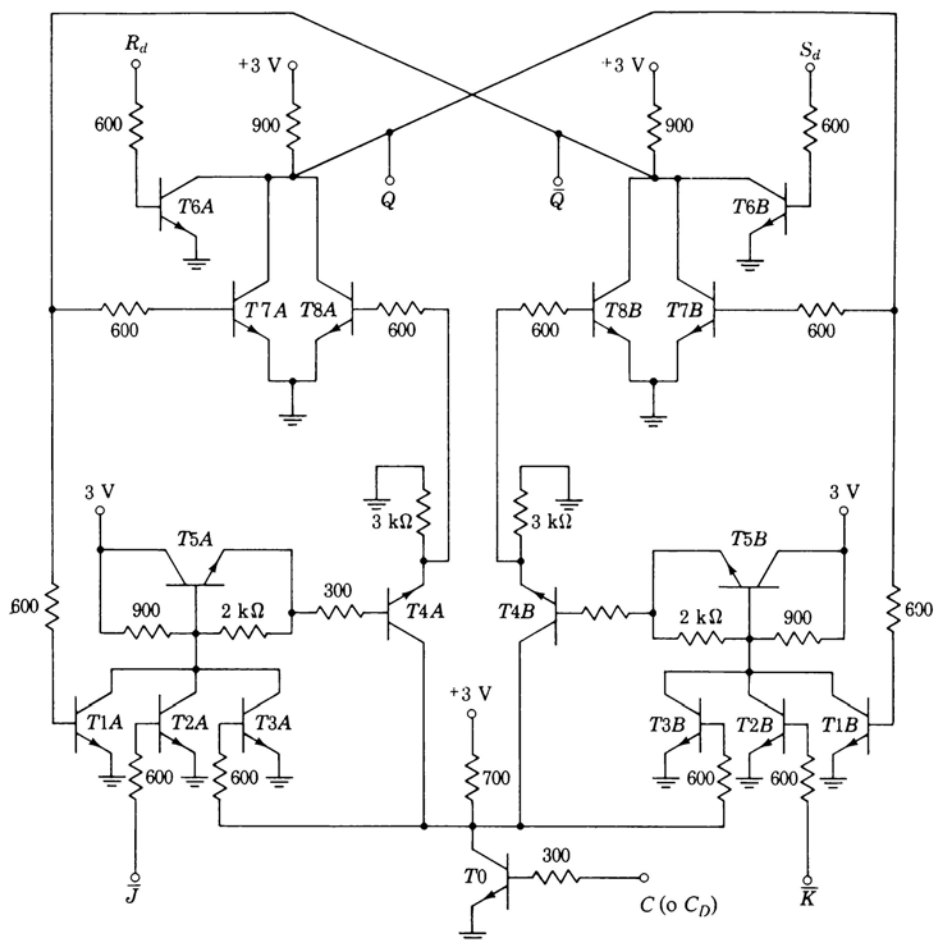
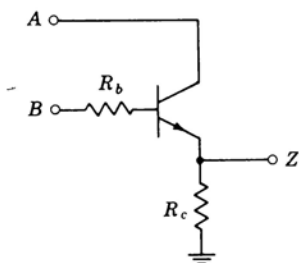


Figura 9.16-1 Un flip-flop JK RTL.



(a)

A	B	Z
0	0	0
0	1	0
1	0	0
1	1	1

(b)

Figura 9.16-2 (a) Porta AND ad un solo transistor e (b) tavola di verità.



stituiscono le porte NOR ad accoppiamento incrociato formanti il flip-flop d'uscita. Da notare che sono presenti dei comandi diretti di set e reset. Nel tipo commerciale 926 sono presenti altri due stadi a transistori (non indicati in Fig. 9.16-1) che fungono da buffer d'uscita per  $Q$  e  $\bar{Q}$ .

I transistori  $T1A$  e  $T1B$  forniscono gli ingressi per la reazione, come è richiesto nel flip-flop  $JK$ . Quando  $\bar{J} = \bar{K} = 1$ , le porte d'ingresso sono disabilitate ed il flip-flop non risponde al clock. Quando  $\bar{J} = \bar{K} = 0$  si ha il funzionamento di tipo toggle. I terminali d'ingresso dati, come indicato, sono chiamati perciò correttamente  $\bar{J}$  e  $\bar{K}$ , anziché  $J$  e  $K$ .

### 9.17 IL FLIP-FLOP ECL

In Fig. 9.17-1 è illustrato un flip-flop ECL ottenuto nella maniera classica mediante due porte NOR ECL. Si può realizzare un certo risparmio tenendo conto delle seguenti considerazioni. Quando i transistori  $T1A$  o  $T2A$  sono in conduzione, il transistor  $T0A$  è interdetto. Il transistor  $T0A$ , in un normale

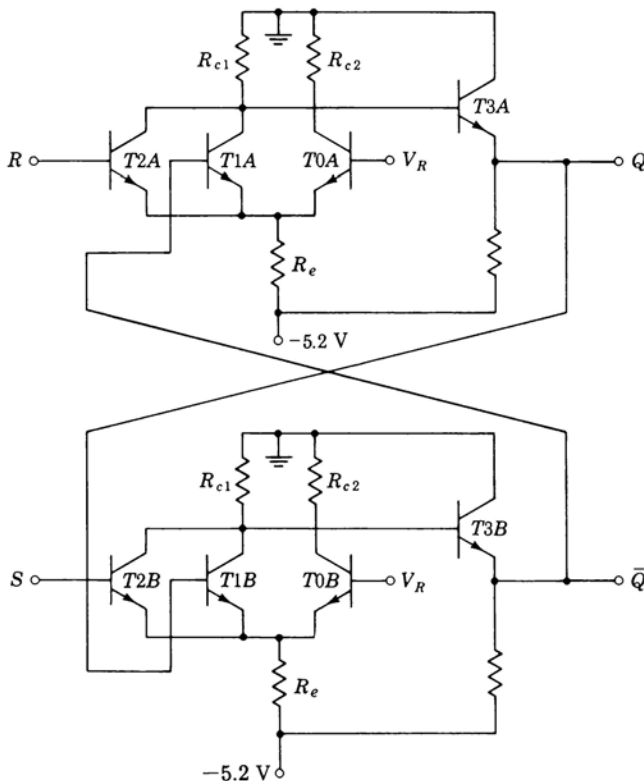


Figura 9.17-1 Un flip-flop ECL a porte interconnesse.

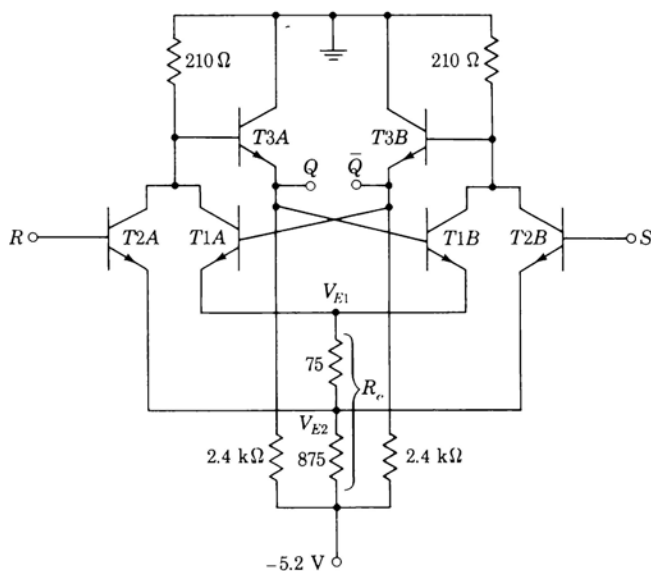


Figura 9.17-2 Un flip-flop ECL.

amplificatore differenziale, ha il compito di fornire un percorso alternativo alla corrente che scorre in  $R_c$ , quando entrambi i transistori  $T1A$  e  $T2A$  sono interdetti. Inoltre  $T0A$  fissa il livello di riferimento a cui l'ingresso  $R$  deve arrivare per portare  $Q$  a  $Q = 0$ , se  $Q$  si trovava precedentemente nello stato 1.

In questa particolare applicazione notiamo che, con  $S = R = 0$  e, per esempio, con  $Q = 1$  ( $-0,76$  V) e  $\bar{Q} = 0$  ( $-1,58$  V), gli emettitori di  $T1A$  e  $T2A$  si trovano a  $V_R - V_{BE}(T0A) \approx -1,9$  V (poiché  $V_R = -1,175$  V), mentre gli emettitori di  $T1B$  e  $T2B$  sono a  $V_Q - V_{BE}(T1B) = -1,5$  V. Dal momento che le tensioni di emettitore sono vicine, consideriamo la possibilità di eliminare i transistori di riferimento  $T0A$  e  $T0B$  e di collegare gli emettitori di  $T1A$ ,  $T1B$ ,  $T2A$  e  $T2B$ . Così facendo sarebbe sempre disponibile un percorso per la corrente, essendo sempre o  $T1A$  o  $T1B$  in conduzione, ed in più sarebbe sempre disponibile anche una tensione di riferimento.

In Fig. 9.17-2 è illustrato un flip-flop in cui si sono eliminati i transistori  $T0A$  e  $T0B$ . Confrontando la Fig. 9.17-2 con la Fig. 9.17-1, si vede che i transistori  $T0A$  e  $T0B$  sono stati eliminati e che i resistori di emettitore sono stati riuniti in uno solo. In realtà gli emettitori di  $T2A$  e  $T2B$ , collegati insieme, sono tenuti ad un potenziale leggermente più negativo rispetto agli emettitori di  $T1A$  e  $T1B$ . La ragione di questo fatto è la seguente. Supponiamo che  $Q = 1$  e  $\bar{Q} = 0$  e che  $R = S = 0$ . Allora  $T1B$  è ON, e  $T2A$ ,  $T1A$ ,  $T2B$  sono OFF. Il

livello di tensione di  $Q$  è allora  $Q = -0,76$  V e la tensione  $V_{E1} = -1,5$  V. Quindi  $V_{E2} = V_{E1} - (V_{E1} + 5,2) \cdot [75 / (75 + 875)] \approx -1,8$  V. Poichè  $R$  si trova allo 0 logico, la tensione di  $R$  è pari a  $-1,58$  V, e, quando  $T2A$  è interdetto, la tensione base-emettitore di  $T2A$  è pari a  $-1,58 - (-1,8) = 0,22$  V. Questa leggera polarizzazione diretta diminuisce il tempo di propagazione. Da notare che se gli emettitori di  $T1$  e  $T2$  fossero collegati insieme, la tensione base-emettitore sui transistori interdetti sarebbe  $-1,58 - (-1,5) \approx -0,08$  V. Si osservi che la tensione  $V_{E2}$  stabilisce il livello di riferimento per gli ingressi di set e reset. Così in Fig. 9.17-1 il livello di riferimento, fissato da  $T0$ , è di circa  $-1,9$  V, mentre in Fig. 9.17-2, fissato da  $Q$  o  $\bar{Q}$  a seconda di quale dei due si trova nello stato 1, è  $-1,8$  V, cioè ad un valore non molto diverso dal precedente.

## 9.18 UN FLIP-FLOP JK ECL AD ACCOPPIAMENTO IN ALTERNATA

In Fig. 9.18-1 è illustrato un flip-flop JK ECL. I valori dei componenti sono quelli del tipo 308 della Motorola. I transistori  $T1$ ,  $T2$  e  $T3$  assolvono in questo circuito alla stessa funzione che assolvevano nel circuito di Fig. 9.17-2. Il lettore può verificare che questo flip-flop è costruito secondo lo schema di Fig. 9.9-1. In esso i transistori  $T6$  e  $T7$  ed i rispettivi resistori di emettitore da  $2$  k $\Omega$  costituiscono le porte OR di ingresso. In questo caso indicheremo però gli ingressi  $\bar{S}$  e  $\bar{R}$  rispettivamente con  $\bar{J}$  e  $\bar{K}$ . Il terminale di clock è ottenuto collegando insieme un terminale  $\bar{J}$  con un  $\bar{K}$  (vedi Fig. 9.9-1) come indicato in Fig. 9.18-1b.

Supponiamo di voler modificare il flip-flop di Fig. 9.9-1 in modo da renderlo adatto al funzionamento toggle (cioè a commutare da uno stato all'altro ad ogni impulso di clock). Dovremmo allora collegare le uscite  $Q$  e  $\bar{Q}$  ad altri ingressi delle porte di ingresso secondo lo schema di Fig. 9.12-1. In questo caso invece il collegamento di reazione viene fatto con gli ingressi delle porte  $2A$  e  $2B$ . In Fig. 9.18-1 le basi di  $T5A$  e  $T5B$  sono rispettivamente gli ingressi  $R'$  e  $S'$  delle porte  $2A$  e  $2B$ . I resistori  $r$ , collegati allo 0 logico in Fig. 9.9-1, sono sostituiti, in Fig. 9.18-1, dai transistori  $T4A$  e  $T4B$  con i loro rispettivi resistori d'emettitore da  $650$   $\Omega$  e  $7,5$  k $\Omega$ . Come si verificherà più avanti, con gli ingressi  $\bar{J}$  e  $\bar{K}$  a riposo, sia  $T5A$  che  $T5B$  sono interdetti, però uno dei due transistori risulta interdetto più fortemente dell'altro. Se, per esempio,  $Q = 0$  ( $\bar{Q} = 1$ ), la base di  $T5A$  si trova ad un potenziale inferiore rispetto a quello della base di  $T5B$ , ragion per cui  $T5A$  risulta più fortemente interdetto di  $T5B$ . Se ora sia  $\bar{K}$  che  $\bar{J}$  compiono una transizione, cioè se si verifica una transizione del clock, dallo 0 logico all'1 logico, si avrà una trasmissione di segnale attraverso  $T5B$  ma non attraverso  $T5A$ . Il flip-flop cambia stato, le condizioni di  $T5A$  e  $T5B$  si scambiano, ed il flip-flop è di nuovo pronto a rispondere ad una transizione di clock.

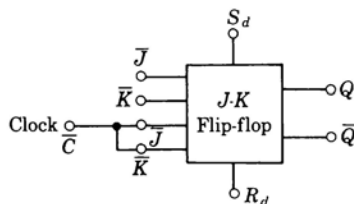
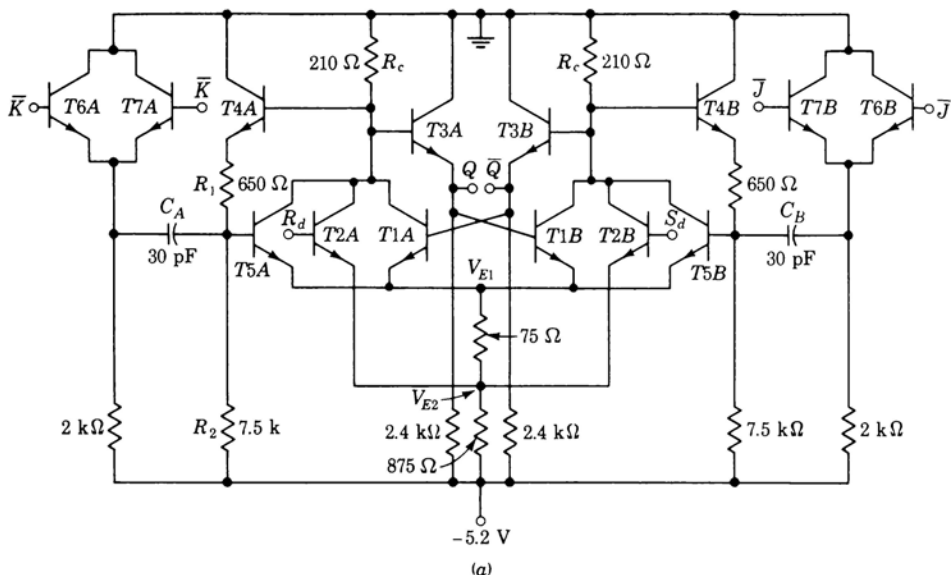


Figura 9.18-1 (a) Un flip-flop ECL ad accoppiamento in alternata; (b) connessione di un terminale  $J$  con un terminale  $K$  per realizzare un ingresso di clock.

Supponiamo ora che  $Q = 0$  ( $\bar{Q} = 1$ ) e calcoliamo le tensioni base-emettitore di  $T5A$  e  $T5B$ . La parte del circuito in questione comprendente  $T1A$ ,  $T2A$ ,  $T1B$  e  $T2B$  è identica al circuito di Fig. 9.17-2, relativamente al quale abbiamo calcolato  $V_{E1} = -1,5$  V. Come c'era da aspettarsi e come si può verificare, i livelli logici di uscita sono molto prossimi a  $-0,76$  V e  $-1,58$  V. Se  $Q = 0$  ( $V_Q = -1,58$  V), la tensione sull'emettitore di  $T4A$  vale pure  $-1,58$  V, poichè le basi di  $T4A$  e  $T3A$  sono interconnesse. Ora, dal partitore di tensione ( $650 \Omega$  e  $7,5$  k $\Omega$ ) collegato a  $-5,2$  V, possiamo calcolare che  $V_B(T5A) \approx -1,9$  V. Quindi  $V_{BE}(T5A) = (-1,9) - (-1,5) = -0,4$  V. Analogamente si trova che  $V_B(T5B) = -1,1$  V, sicchè  $V_{BE}(T5B) = (-1,1) - (-1,5) = +0,4$  V.

$\bar{J}_D$	$\bar{K}_D$	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$

(a)

$\bar{J}$	$\bar{K}$	$Q_{n+1}$
0	0	$\bar{Q}_n$
0	1	1
1	0	0
1	1	$Q_n$

(b)

Figura 9.18-2 (a) Tavola di verità del flip-flop di Fig. 9.18-1 nel funzionamento in alternata asincrono.  $J_D = 1$  significa che  $J$  passa da 0 a 1. (b) Tavola di verità per il funzionamento sincrono.

L'escursione logica complessiva disponibile per pilotare il flip-flop è  $-0,76 - (-1,58) \approx 0,8$  V. Questa escursione, presentata dal segnale di clock a  $\bar{K}$  e  $\bar{J}$ , sarà trasmessa, nominalmente senza attenuazioni, attraverso le porte d'ingresso ad inseguitore di emettitore ( $T6A$ ,  $T7A$ ,  $T6B$  e  $T7B$ ). L'escursione logica di 0,8 V applicata attraverso i condensatori sarà atta a far condurre  $T5B$  ma non  $T5A$ .

Le tavole di verità del flip-flop sono date in Fig. 9.18-2. La Fig. 9.18-2a descrive la risposta quando le transizioni logiche sono applicate indipendentemente ad un ingresso  $\bar{J}$  o  $\bar{K}$ . (Tutti gli ingressi inutilizzati sono tenuti allo 0 logico.) La prima riga dice che se non è stata applicata alcuna transizione o se la transizione è negativa, il flip-flop non cambia stato. La seconda riga dice che se una transizione positiva è applicata solo a  $K$ , il flip-flop si porta o rimane nello stato di reset, ecc. Questa caratteristica del flip-flop ECL accoppiato a capacità, cioè la sua possibilità di funzionare in modo asincrono (senza clock), è estremamente utile e non è presente in nessun altro tipo di flip-flop. La Fig. 9.18-2b descrive la risposta del flip-flop quando è pilotato da un clock (nel modo illustrato in Fig. 9.18-1b).

Il flip-flop di Fig. 9.18-1, trattato precedentemente, è un dispositivo relativamente lento, presentando una frequenza massima di commutazione (*toggle rate*) di 15 MHz. La principale limitazione della velocità è costituita dalla presenza delle capacità  $C_A$  e  $C_B$ . Nei due stati del flip-flop, set o reset, la tensione su  $C_A$  è diversa dalla tensione su  $C_B$ . A ciascun cambiamento di stato del flip-flop queste tensioni devono scambiarsi. I flip-flop ECL ad accoppiamento in alternata ad alta velocità comprendono ulteriori componenti per consentire una rapida carica e scarica di questi condensatori. Inoltre i valori dei resistori sono ridotti in modo da consentire una carica e una scarica delle capacità parassite più rapide. In Fig. 9.18-3 è illustrato lo schema cir-

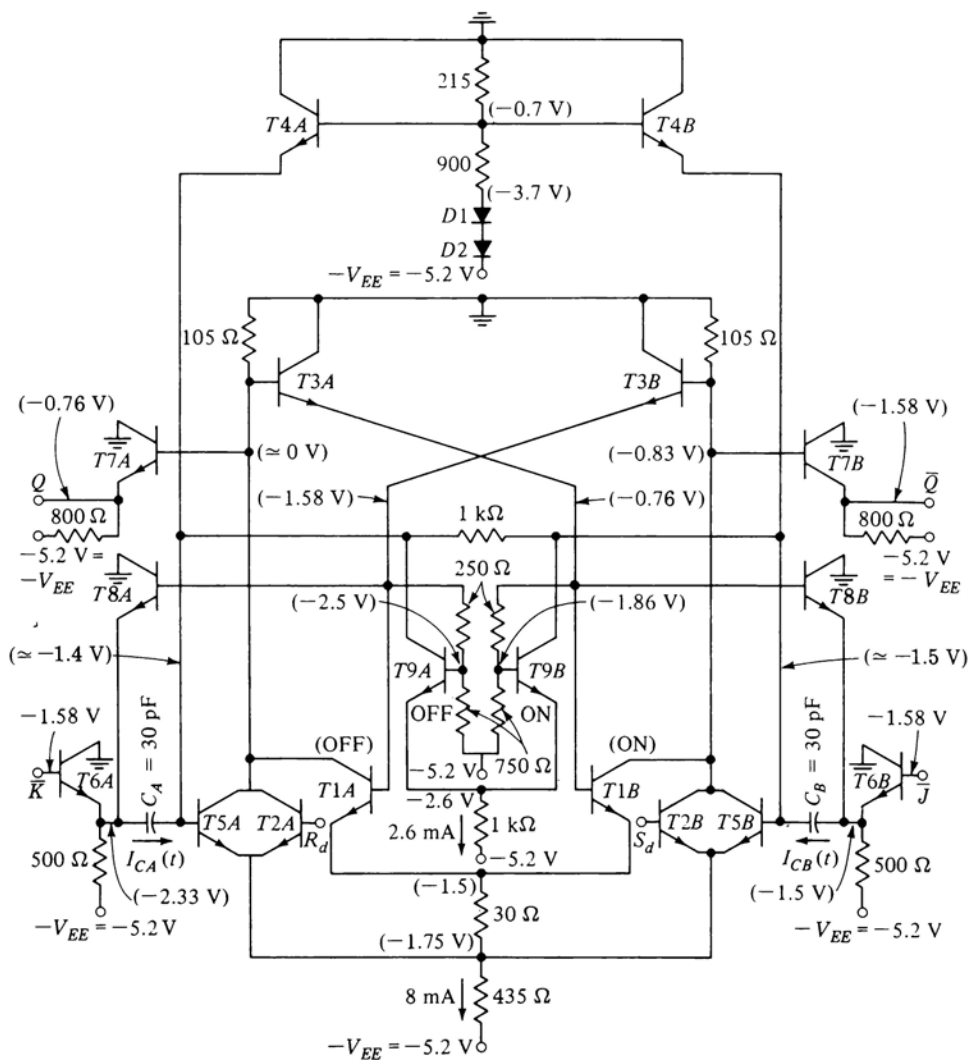


Figura 9.18-3 Un flip-flop ECL ad alta velocità.

cuitale del flip-flop MECL II 1013 che può arrivare a 120 MHz di frequenza di commutazione. Le tensioni indicate corrispondono al caso in cui il flip-flop si trova nello stato di set ( $Q = 1$ ). Alcuni particolari del suo funzionamento saranno esaminati nei problemi.

## 9.19 SPECIFICHE DEI COSTRUTTORI

Qui sotto vengono elencate le specifiche tipiche fornite dal costruttore per il flip-flop master-slave *JK ECL* ad alta velocità *MC 10135*.

*Tensione d'uscita* 1 logico: da  $-0,81$  a  $-0,96$  V; 0 logico: da  $-1,65$  a  $-1,85$  V.

*Frequenza di commutazione* 140 MHz. Questa è la massima frequenza di clock a cui il flip-flop può commutare in maniera affidabile.

*Tempo di ritardo nella propagazione*  $t_{pd} = 3$  ns.

*Tempo di salita*  $t_r = 6,5$  ns.

*Tempo di discesa*  $t_f = 8,5$  ns.

*Tempo di assestamento e di mantenimento (set-up time, hold time)*. Quando l'ingresso dati del flip-flop cambia, inizia un transitorio durante il quale le porte cambiano stato. Affinché il flip-flop risponda correttamente ad un nuovo dato di ingresso, quest'ultimo deve precedere la transizione di comando del clock almeno di un intervallo minimo chiamato *tempo di assestamento (set-up o settling time)*. Analogamente l'ingresso deve rimanere invariato dopo la transizione di clock per un certo intervallo, chiamato *tempo di mantenimento (hold time)*. I tempi di assestamento e di mantenimento vengono sovente dati dal costruttore. Per il flip-flop *MC 10135* essi sono di 1 ns.

*Velocità relativa* Fra i vari tipi di flip-flop considerati, il flip-flop *ECL* è il più veloce, seguito dal flip-flop *TTL*. Le frequenze di commutazione dei flip-flop *ECL* superano anche 500 MHz, mentre quelle dei flip-flop *TTL* superano i 10 MHz.

## 9.20 FLIP-FLOP *JK TTL*

In Fig. 9.20-1 è illustrato mediante uno schema a porte un flip-flop *TTL* basato sul principio dell'immagazzinamento della carica. Lo schema circuitale dettagliato è rappresentato in Fig. 9.20-2. Risulta evidente la somiglianza fra le Fig. 9.10-1 e 9.20-1. Ci sono però alcune differenze; una prima differenza sta nel collegamento di reazione che in quest'ultimo circuito va dalle uscite  $Q$  e  $\bar{Q}$  alle porte d'ingresso  $1A$  e  $1B$ . Queste connessioni permettono di convertire il flip-flop di tipo *SR* in un flip-flop di tipo *JK*. In secondo luogo il presente circuito comprende due ulteriori porte  $4A$  e  $4B$ , necessarie, come vedremo, per consentire una rapida scarica ai condensatori  $C_A$  e  $C_B$  quando il flip-flop deve lavorare ad alta velocità.

Il livello del clock d'ingresso che disabilita le porte di ingresso ( $1A$  e  $1B$ ), è  $C = 0$ . Quando  $C$  sale a  $C = 1$ , i dati d'ingresso presenti su  $J$  e  $K$  vengono immagazzinati sui condensatori e quando  $C$  torna a  $C = 0$ , vengono trasferiti all'uscita. Per comprendere la funzione delle porte  $4A$  e  $4B$ , facciamo funzio-

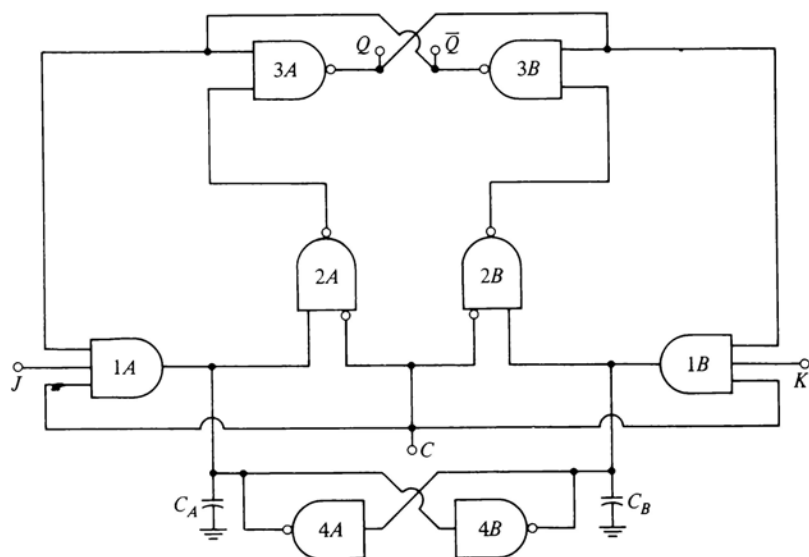


Figura 9.20-1 Un flip-flop JK TTL ad immagazzinamento di carica.

nare il flip-flop in modo toggle ( $J = K = 1$ ) e seguiamone il funzionamento quando  $C$  passa attraverso due transizioni di clock successive e molto vicine nel tempo.

Supponiamo che inizialmente  $J = K = 1$ ,  $Q = 0$  ( $\bar{Q} = 1$ ) e che  $C$  sia a  $C = 0$  da un tempo relativamente lungo. Allora le uscite di tutte e due le porte  $1A$  e  $1B$  sono allo  $0$  logico ed entrambi i condensatori  $C_A$  e  $C_B$  sono scarichi, cioè anch'essi allo  $0$  logico. (Come si può vedere in Fig. 9.20-2, è presente un ramo resistivo che collega a massa i condensatori in modo da scaricarli completamente.) Facciamo passare ora  $C$  a  $C = 1$ . L'uscita di  $1B$  rimane a  $0$ , mentre quella di  $1A$  sale a  $1$  caricando rapidamente  $C_A$  a  $1$ . Il condensatore  $C_A$  mantiene ora l'informazione che il flip-flop si trova nello stato di reset. Quando  $C$  torna a  $C = 0$ , attraverso la porta  $2A$  si ha la trasmissione di un segnale ed il flip-flop commuta. Con  $C$  a  $0$ , ci si aspetterebbe che la porta  $1A$ , tornando a  $0$ , scarichi  $C_A$ . Come si può vedere in Fig. 9.20-2, l'uscita della porta  $1A$  è in grado di erogare corrente, ma non di assorbirla. Quindi  $C_A$  si scaricherà piuttosto lentamente dovendo fornire soltanto una piccola corrente all'ingresso della porta  $2A$ . Questa scarica relativamente lenta assicura che l'informazione immagazzinata in  $C_A$  non vada persa prima del dovuto.

Supponiamo ora che, mentre  $C_A$  è ancora carico, avvenga una seconda transizione di  $C$  da  $0$  a  $1$ . In questo caso  $C_B$  si carica, come richiesto, all' $1$  logico, e, cosa più importante, l' $1$  logico all'ingresso della porta  $4A$  manda



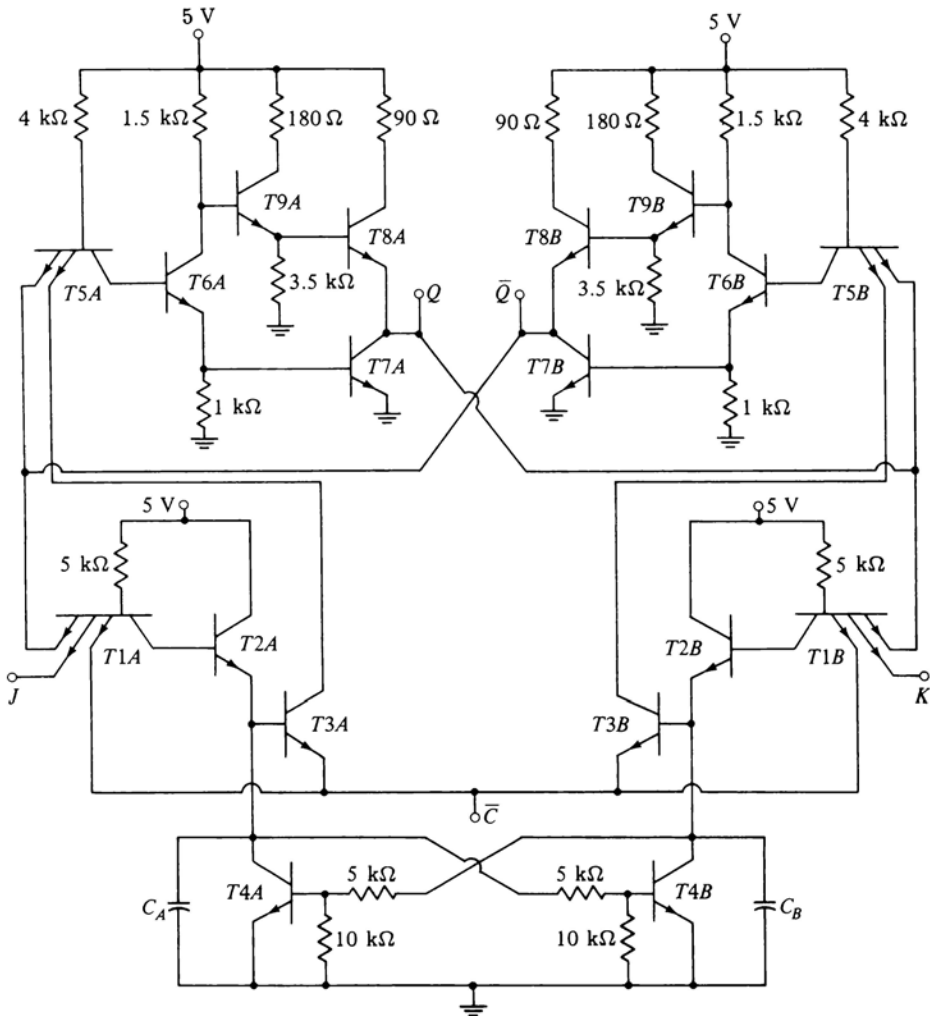


Figura 9.20-2 Schema circuitale di un flip-flop TTL ad immagazzinamento di carica.

l'uscita di 4A allo 0 logico, scaricando di colpo  $C_A$ . Come si può vedere in Fig. 9.20-2, quando l'ingresso della porta 4A vale 1, la porta viene a disporre in parallelo al condensatore  $C_A$  il suo transistor d'uscita saturo.

Passando ora a considerare la Fig. 9.20-2, notiamo che la porta 1A è costituita dal transistor multiemittitore T1A e dall'inseguitore di emittore T2A. Il transistor T3A opera come descritto nella configurazione di Fig.

9.15-1 e costituisce una porta  $\text{NAND}$  con l'inversione sull'ingresso di emettitore (clock). Si osservi che, come si è già fatto notare precedentemente, poichè la corrente non può risalire nell'inseguitore di emettitore (72A), la porta 1A è soltanto in grado di erogare la corrente per la carica di  $C_A$ , ma non di assorbirne la corrente di scarica.

Si noti infine che mentre nel flip-flop ECL sono impiegati condensatori a film sottile, in questo circuito TTL i condensatori  $C_A$  e  $C_B$  sono costituiti dalle capacità di giunzioni polarizzate inversamente.

## 9.21 FLIP-FLOP A MOS

Come i flip-flop a transistori bipolari, anche i flip-flop a MOS possono venire realizzati mediante accoppiamento incrociato di porte  $\text{NOR}$  o  $\text{NAND}$  di tipo MOS. In Fig. 9.21-1 è illustrato un flip-flop  $\text{SR}$  a MOS. In (a) sono impiegati transistori CMOS, mentre in (b) transistori MOS. In realtà è difficile trovare in commercio flip-flop a NMOS o a PMOS come unità singole; questi flip-flop sono però largamente usati come componenti all'interno di circuiti integrati MSI e LSI. Viceversa sono normalmente disponibili flip-flop a CMOS. Nella realizzazione pratica però i flip-flop a CMOS generalmente non seguono lo schema circuitale di Fig. 9.21-1a. Vengono viceversa progettati in modo da trarre vantaggio del fatto che i dispositivi a CMOS si prestano alla realizzazione di *porte di trasmissione (transmission gate)*.

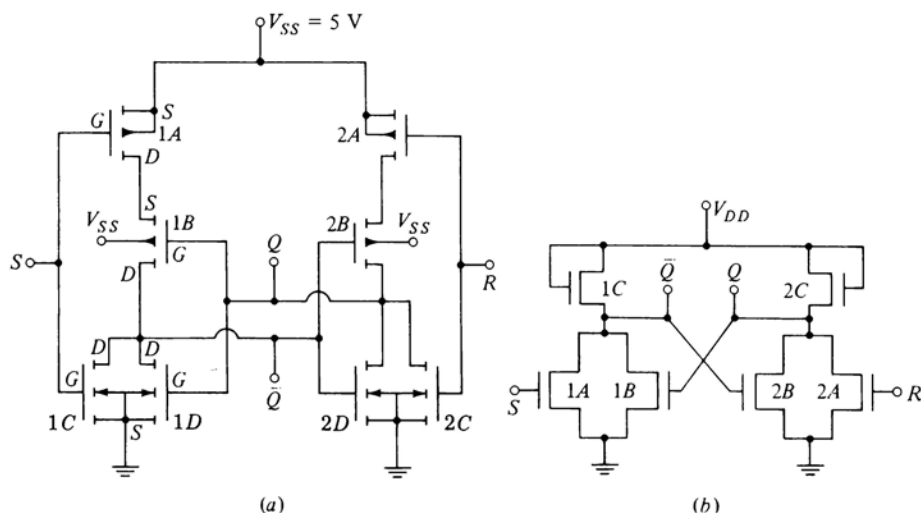


Figura 9.21-1 (a) Circuito di un flip-flop  $\text{SR}$  a CMOS, (b) circuito di un flip-flop  $\text{SR}$  a MOS.

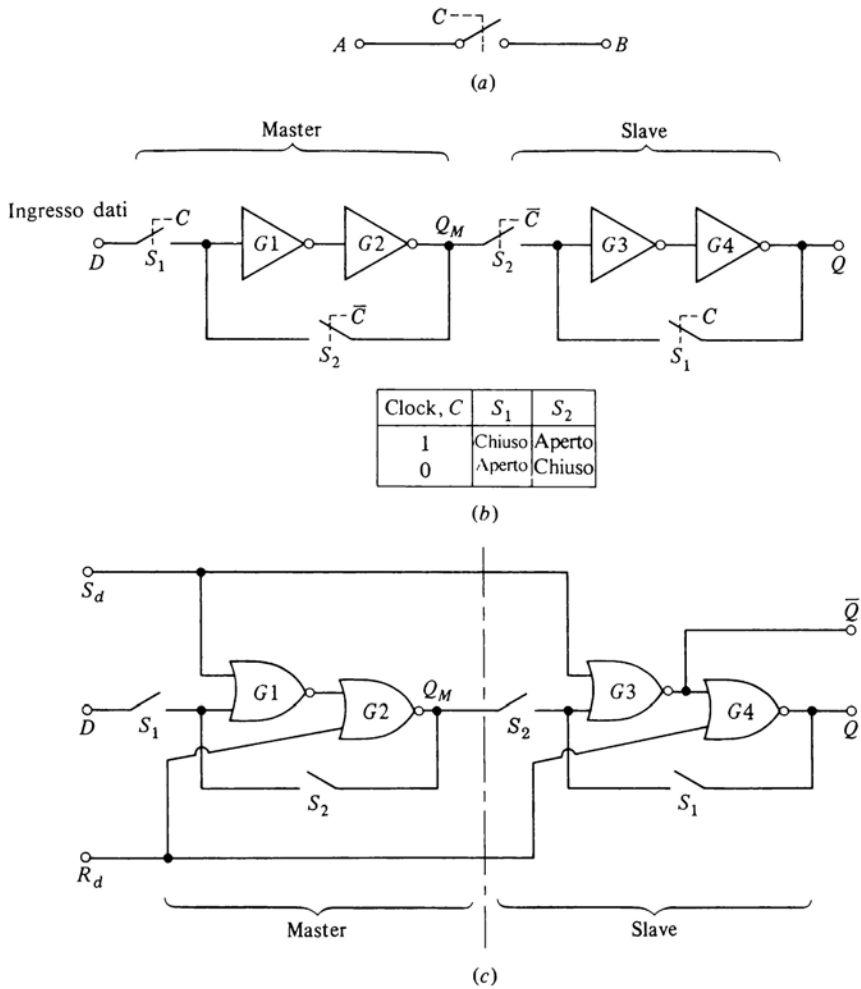


Figura 9.21-2 (a) Interruttore controllato, (b) flip-flop di tipo D master-slave e (c) flip-flop di tipo D con ingressi diretti.

L'argomento riguardante le porte di trasmissione è trattato nel Cap. 13 e la porta di trasmissione a CMOS in particolare è studiata nel Par. 13.10. Per ora è sufficiente dare una descrizione rapida ed essenziale del loro funzionamento. Una porta di trasmissione, analogamente alla porta logica, è semplicemente un interruttore, come si è rappresentato in Fig. 9.21-2a, la cui apertura e la cui chiusura sono controllate da un segnale logico di controllo C (C

spesso è un segnale di clock). Quando l'interruttore  $S$  è chiuso, può avvenire la trasmissione dei segnali (digitali o analogici) fra  $A$  e  $B$ . Quando l'interruttore è aperto,  $A$  e  $B$  sono isolati l'uno dall'altro. Adotteremo la convenzione secondo cui quando  $C = 0$  l'interruttore è aperto e quando  $C = 1$  l'interruttore è chiuso. Se invece vogliamo convenire che l'interruttore è aperto quando  $C = 1$  e chiuso quando  $C = 0$ , indicheremo che l'interruttore è controllato da  $\bar{C}$ .

**Flip-flop di tipo  $D$**  In Fig. 9.21-2b è illustrato un flip-flop di tipo  $D$ . Può essere utile tener presente che due porte NOT in cascata (come  $G1$  e  $G2$ ), con l'uscita riportata all'ingresso (quando  $S_2$  è chiuso), costituiscono un rudimentale flip-flop. Questo circuito è in grado di mantenere l'uno o l'altro dei due livelli logici per un tempo indefinito.

Il segnale di clock  $C$  pilota gli interruttori  $S_1$  e  $S_2$ . Partiamo con  $C = 0$ , sicché gli interruttori  $S_1$  sono aperti e gli interruttori  $S_2$  sono chiusi. Il flip-flop master tiene allora immagazzinato il bit  $Q_M$ , il cui livello logico dipende dalla storia precedente. L'uscita  $Q$  è così  $Q = Q_M$ . Portiamo ora  $C$  a  $C = 1$ . Gli interruttori  $S_1$  si chiudono mentre gli interruttori  $S_2$  si aprono. Occorre che  $S_2$  si apra prima che  $S_1$  si chiuda, in modo da impedire che il dato presente sull'ingresso  $D$  venga trasmesso all'uscita  $Q$ . La chiusura di  $S_1$ , chiudendo l'anello intorno a  $G3$  e  $G4$ , effettua la reazione del flip-flop ed il bit che era presente su  $Q$  viene mantenuto nel flip-flop slave. Nel breve intervallo di tempo che intercorre fra l'apertura di  $S_2$  e la chiusura di  $S_1$ , il bit  $Q$  viene mantenuto grazie alle capacità parassite verso massa inevitabilmente presenti nelle porte. Questa transizione di  $C$  a  $C = 1$  porta  $Q_M$  al nuovo livello logico presente su  $D$ . Riportiamo ora  $C$  a  $C = 0$ . Il nuovo bit viene allora immagazzinato nel flip-flop master e trasmesso all'uscita  $Q$ . Si osservi di nuovo che, come richiesto, il nuovo bit non compare in  $Q$  se non dopo che l'interruttore d'ingresso  $S_1$ , collegato a  $D$ , si è aperto.

**Ingressi diretti** Quando si devono impiegare gli ingressi diretti (asincroni), gli invertitori illustrati in Fig. 9.21-2b vengono sostituiti da porte NOR, come indicato in Fig. 9.21-2c. Così per esempio, se  $S_d = 1$ , allora  $Q_M = 1$  e  $Q = 1$ , indipendentemente dal clock. Pertanto gli ingressi diretti *scavalcano* il clock.

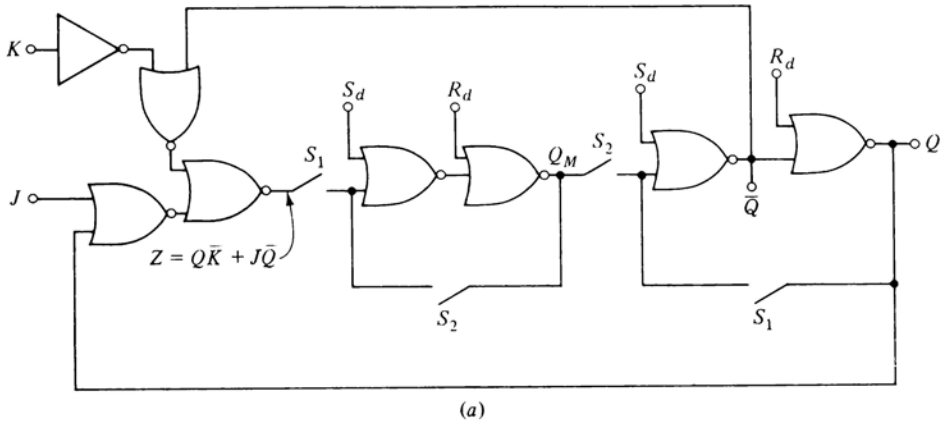
**Il flip-flop  $JK$**  Si può vedere che il flip-flop  $JK$  di Fig. 9.21-3a è identico al flip-flop  $D$  di Fig. 9.21-2b, a meno del circuito d'ingresso; qui l'ingresso è (vedi Prob. 9.21-1)

$$Z = Q\bar{K} + J\bar{Q} \quad (9.21-1)$$

Poiché  $Z$  determinerà lo stato dell'uscita del flip-flop, possiamo porre  $Z \equiv Q_{n+1}$  e  $Q \equiv Q_n$ . L'Eq. (9.21-1) diventa allora

$$Q_{n+1} = Q_n\bar{K} + J\bar{Q}_n \quad (9.21-2)$$

Viene lasciato come problema (Prob. 9.21-3) dimostrare che questa relazione esprime la tavola di verità del flip-flop  $JK$ , che viene data in Fig. 9.21-3b.



J	K	$Q_{n+1}$
0	0	$Q_n$
0	1	0
1	0	1
1	1	$\bar{Q}_n$

(b)

Figura 9.21-3 (a) Un flip-flop JK e (b) tavola di verità.

### Specifiche tipiche fornite dal costruttore per un flip-flop JK CMOS

*Dissipazione di potenza a riposo* Tipicamente 50 nW.

*Dissipazione di potenza dinamica* Tipicamente 1 mW ad 1MHz.

La dissipazione dinamica è direttamente proporzionale alla frequenza di funzionamento ed al fan-out. La dissipazione aumenta anche con la tensione di alimentazione.

*Corrente di pilotaggio d'uscita* -1,3 mA / + 2,5 mA. La corrente di pilotaggio d'uscita è considerata positiva quando entra nel flip-flop e negativa quando esce dal flip-flop. Così la corrente di -1,3 mA è una corrente che scorre dall'alimentazione  $V_{DD}$ , attraverso il canale p del FET, all'uscita.

*Immunità al rumore* 4,5 V in entrambi gli stati con  $V_{DD} = 10$  V e 2,25 V in entrambi gli stati con  $V_{DD} = 5$  V.

*Impedenza d'uscita* Approssimativamente 800  $\Omega$  in entrambi gli stati.

*Impedenza d'ingresso* 5 pF.

*Ritardo di propagazione* 70 ns. Data la simmetria,  $t_{pd}(HL) = t_{pd}(LH)$ . Questo ritardo è funzione diretta del fan-out poiché ogni flip-flop dà un contributo di 5 pF. Il ritardo di propagazione diminuisce all'aumentare della tensione di alimentazione.

*Massima frequenza di commutazione* Fino a 10 MHz.

## REGISTRI E CONTATORI

L'1 e lo 0 logici sono chiamati *cifre binarie* (*binary digit: bit*). Come abbiamo visto, il flip-flop è in grado di immagazzinare o memorizzare o registrare un unico bit. Pertanto il flip-flop è chiamato *registro ad un bit*. Nei casi in cui si richiede di memorizzare o registrare  $N$  bit, sarà necessario impiegare  $N$  flip-flop. Data una serie di flip-flop in cui è immagazzinato un certo numero di bit, può risultare necessario *far scorrere* i singoli bit da un flip-flop all'altro, nel modo che verrà descritto più avanti. Una configurazione di flip-flop che consenta tale scorrimento prende il nome di *registro a scorrimento*.

### 10.1 IL REGISTRO A SCORRIMENTO (SHIFT REGISTER)

In Fig. 10.1-1a è illustrato un registro a scorrimento a 4 bit costituito da flip-flop di tipo  $D$ . Il numero dei bit registrati può venire variato aggiungendo o togliendo flip-flop. I collegamenti fra i vari flip-flop sono tali (eccetto  $FF0$ ) che il livello logico presente all'ingresso dati di ciascun flip-flop è determinato dallo stato del flip-flop precedente. Così  $D_k$  è 0 se il flip-flop precedente si trova nello stato di reset con  $Q_{k-1} = 0$ , mentre  $D_k$  è 1 se  $Q_{k-1} = 1$ . Il dato  $D_0$  presente all'ingresso del flip-flop  $FF0$  è determinato da un generatore esterno. Nel registro a scorrimento di Fig. 10.1-1b al posto dei flip-flop di tipo  $D$  sono utilizzati flip-flop di tipo  $JK$  (andrebbero ugualmente bene degli  $SR$ ). Come si è già visto in Fig. 9.13-1, viene posto un invertitore su  $K_0$ . Nei flip-flop successivi non occorre però porre altri invertitori, essendo già disponibile il complemento  $\overline{Q}$ .

Ricordiamo il funzionamento del flip-flop di tipo  $D$ . In esso l'uscita  $Q$  assume, subito dopo la transizione di comando del clock, lo stato logico presente all'ingresso  $D$  immediatamente prima della transizione di comando stessa. Quindi, qualunque sia la configurazione di bit, 1 o 0, registrata nei flip-flop della figura, ad ogni transizione di comando questa configurazione viene fatta scorrere verso destra di un flip-flop. Il bit registrato nell'ultimo flip-flop ( $FF3$  in Fig. 10.1-1) va perso, mentre il primo flip-flop ( $FF0$ ) assume lo stato determinato dal dato presente all'ingresso  $D_0$ . Questo funzionamento è illustrato in Fig. 10.1-1c, in cui  $D_0 = 0$  e in cui si è supposto inizialmente  $Q_0 = 1$ ,  $Q_1 =$

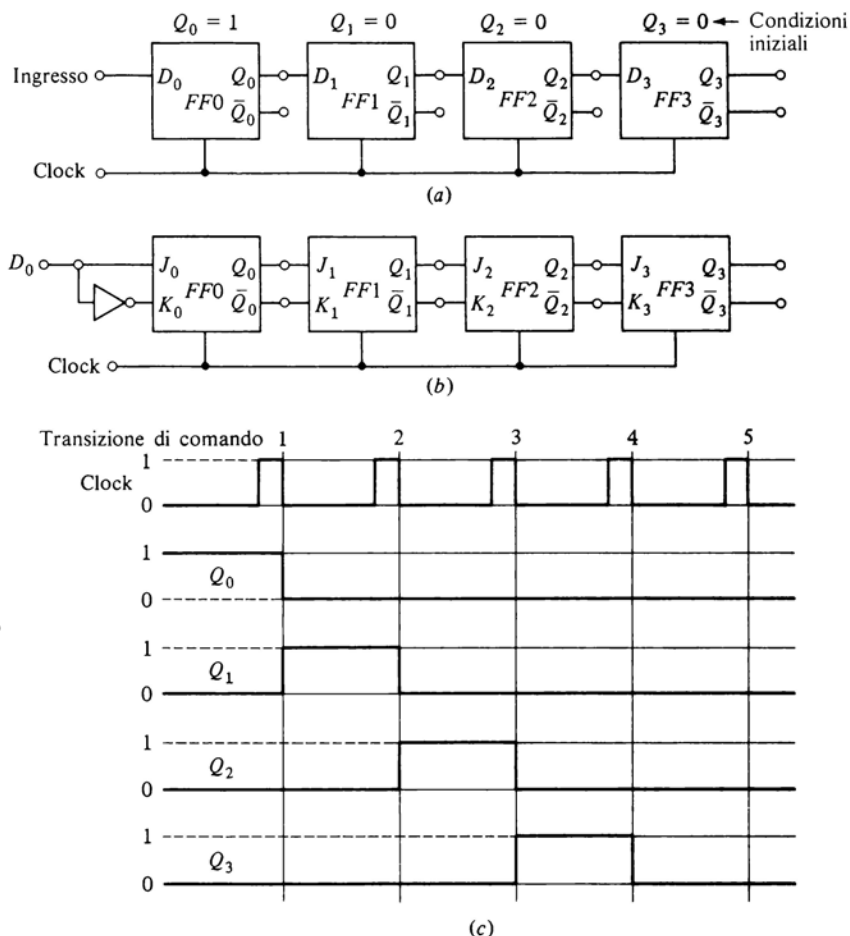


Figura 10.1-1 Registro a scorrimento a quattro bit.

$Q_2 = Q_3 = 0$ . Abbiamo inoltre supposto arbitrariamente che i flip-flop comutino sul fronte di discesa del segnale di clock.

Per meglio comprendere il funzionamento del registro a scorrimento, si osservi la sua risposta quando al suo ingresso  $D_0$  viene presentata la sequenza di bit di Fig. 10.1-2. Il segnale di clock è disegnato in Fig. 10.1-2a. In Fig. 10.1-2b è illustrata la sequenza dei bit; essa vale **11010** ed è sincrona con il clock, cioè le sue transizioni da un livello all'altro avvengono in un punto ben preciso e fisso del ciclo di clock. Supponiamo che all'inizio, come nel disegno, tutti i flip-flop siano nello stato di reset. A tal fine si applicano gli opportuni li-



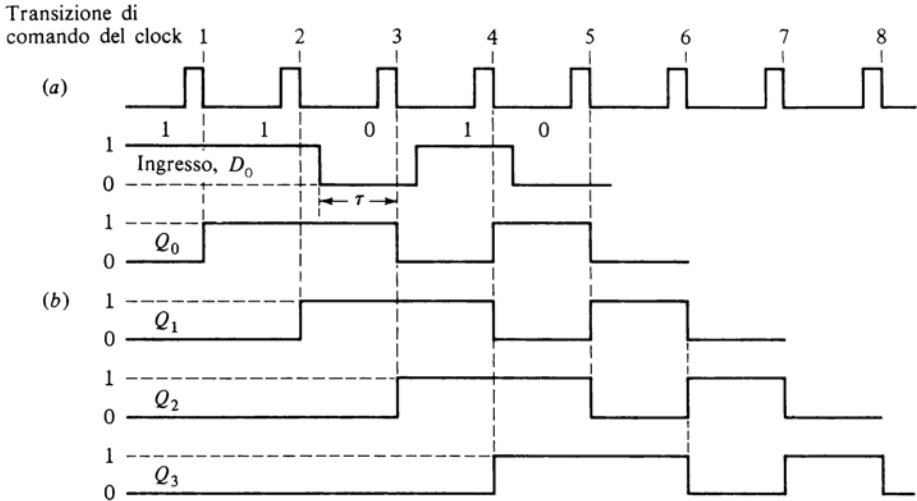


Figura 10.1-2 (a) Segnale di clock, (b) forme d'onda relative al registro a scorrimento di Fig. 10.1-1.

velli logici agli ingressi diretti dei flip-flop. (Questi ingressi diretti non sono indicati in Fig. 10.1-1.) Si può osservare, dalla Fig. 10.1-2, che ad ogni impulso di clock la sequenza di ingresso viene fatta entrare, bit dopo bit, nel registro e fatta scorrere all'interno del registro stesso verso l'uscita. La forma d'onda di  $Q_0$  è la stessa della sequenza d'ingresso ritardata di un tempo  $\tau$ , dove  $\tau$  dipende dal punto del ciclo di clock in cui si verifica la transizione del segnale di ingresso.  $Q_1$  però è ritardato rispetto a  $Q_0$  esattamente della durata del ciclo di clock, e così pure  $Q_2$  rispetto a  $Q_1$  e  $Q_3$  rispetto a  $Q_2$ . Dal momento che

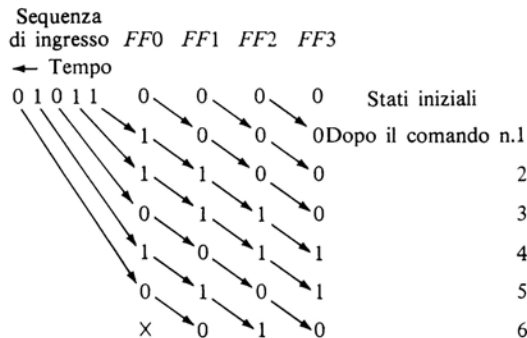


Figura 10.1.3 Diagramma temporale in forma tabulare.

abbiamo preso in considerazione solo 5 bit del segnale di ingresso, possiamo disegnare l'andamento del segnale  $Q_0$  solo fino all'istante precedente la sesta transizione di comando del clock.  $Q_1$  viceversa è definito ancora per un altro intervallo di clock,  $Q_2$  e  $Q_3$  a loro volta sono ancora definiti rispettivamente per altri due e tre intervalli di clock.

In Fig. 10.1-3 sono ripetute in forma tabulare le stesse informazioni date dal diagramma di Fig. 10.1-2. Per comodità di rappresentazione la scala dei tempi va da destra a sinistra, sicchè la successione dei bit di ingresso risulta invertita.

## 10.2 IL CLOCK

Facciamo notare che il registro a scorrimento del paragrafo precedente può funzionare nel modo sopra descritto soltanto se la transizione di comando del clock, dopo che si è verificata, disabilita il flip-flop dal rispondere ad eventuali cambiamenti dei dati di ingresso. In altre parole, dopo che si è verificata la transizione del clock, lo stato logico del  $k$ -esimo flip-flop deve risultare determinato dallo stato del  $(k-1)$ -esimo flip-flop *prima* della transizione stessa. Il  $(k-1)$  esimo flip-flop può, a causa di questa stessa transizione, cambiare a sua volta stato, ma questo nuovo stato non deve essere sentito dal  $k$ -esimo flip-flop se non alla successiva transizione di clock.

Questa è proprio la situazione considerata nel Par. 9.7 ed in Fig. 9.7-1. A questo punto risulta facile riconoscere nel circuito di Fig. 9.7-1 un registro a scorrimento a 2-bit. La situazione analizzata allora era proprio la risposta del registro alla sequenza di ingresso 11.

## 10.3 CONVERSIONE DI DATI SERIE-PARALLELO

I dati digitali possono venire presentati in forma seriale o in forma parallelo. Nella forma seriale i dati sono presentati su di un'unica linea, un bit alla volta, spesso in sincronismo con un segnale di clock. Nella forma parallelo i dati vengono presentati simultaneamente su tante linee quanti sono i bit stessi. Il registro a scorrimento può venire convenientemente impiegato per convertire i dati dalla forma seriale alla forma parallelo e viceversa.

Per convertire dati di  $N$  bit dalla forma seriale a quella parallelo, si deve far sì che gli  $N$  bit serie costituiscano la sequenza di ingresso di un registro a scorrimento ad  $N$  bit. Quando tutti gli  $N$  bit sono immagazzinati nel registro, il dato risulta disponibile nella forma parallelo alle uscite  $Q_0, Q_1, \dots, Q_{N-1}$  degli  $N$  flip-flop.

Supponiamo ora che i dati siano presenti in forma parallelo nel registro a scorrimento. Questi dati possono essere stati introdotti nel registro in forma seriale un bit alla volta oppure possono essere stati introdotti direttamente in forma parallelo mediante gli ingressi diretti di set e reset. In ogni caso, quan-

do si dà il via al clock, i dati compaiono all'uscita dell'ultimo flip-flop in forma seriale, bit dopo bit, in sincronismo col clock.

#### 10.4 RIPORTO TRA STADIO FINALE E STADIO INIZIALE

Nel registro a scorrimento di Fig. 10.1-1 ogni bit che esce dall'ultimo flip-flop va perduto. Nei casi in cui si debba conservare i bit immagazzinati nel registro, si può collegare l'uscita dell'ultimo flip-flop con l'ingresso dati del primo flip-flop. In un registro così modificato, i bit, in numero pari al numero dei flip-flop, continuano a circolare scorrendo da un flip-flop all'altro ad ogni colpo di clock. Il registro che presenta questo tipo di collegamento prende il nome di registro a scorrimento *con riporto fra stadio finale e stadio iniziale (end-around-carry shift register)* o *contatore ad anello (ring counter)*.

In questo tipo di registro i bit da far circolare possono venire introdotti in forma seriale, come nei circuiti di Fig. 10.1-1. In questo caso, quando il registro è stato riempito, occorre scollegarlo in modo da consentire la circolazione dei bit. Per far ciò occorre aggiungere alcune porte ed un segnale di controllo (come illustrato in Fig. 12.2-1). In altri casi i bit possono venire introdotti nel registro in modo asincrono tramite gli ingressi diretti di set e reset.

#### 10.5 REGISTRO CON SCORRIMENTO A DESTRA E A SINISTRA

In alcune applicazioni si rivela utile poter disporre di un registro che permetta di far scorrere i dati sia verso destra che verso sinistra. Un registro di questo tipo utilizzando flip-flop di tipo *D* è illustrato in Fig. 10.5-1. In questo circuito  $D_R$  costituisce l'ingresso attraverso cui introdurre i dati seriali da far scorrere verso destra, e  $D_L$  l'ingresso per i dati da far scorrere verso sinistra. La direzione dello scorrimento viene determinata mediante comando sull'ingresso di modo ( $M$ ). Con  $M = 1$  ( $\bar{M} = 0$ ) si determina lo scorrimento verso destra, con  $M = 0$  lo scorrimento verso sinistra.

Quando  $M = 1$ , tutte le porte *A* vengono abilitate, mentre le porte *B* vengono disabilitate. In questo caso il registro funziona come quello di Fig. 10.1-1. L'ingresso cioè risulta applicato a  $D_0$ ,  $Q_0$  risulta collegato a  $D_1$ , ecc.; que-

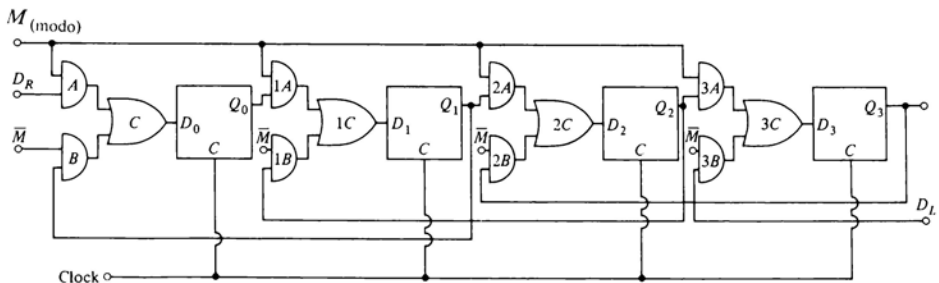


Figura 10.5-1 Registro con scorrimento a destra e a sinistra.

sti collegamenti sono realizzati attraverso una porta **AND** ed una porta **OR**. Quando  $M = 0$ , le porte **B** sono abilitate mentre le porte **A** sono disabilitate ed i collegamenti fra i flip-flop vengono invertiti. Cioè  $Q_3$  viene collegato a  $D_2$ ,  $Q_2$  a  $D_1$ , ecc.; i collegamenti avvengono anche in questo caso attraverso una porta **AND** ed una porta **OR**. Si lascia come problema dimostrare che  $M$  deve venire commutato soltanto quando  $C = 0$ ; in caso contrario i dati immagazzinati nel registro possono venire alterati.

## 10.6 CONTATORI A PROPAGAZIONE DEL COMANDO (RIPPLE COUNTER)

Un flip-flop, come è noto, è un dispositivo che può assumere due stati logici. La serie di  $N$  flip-flop può assumere pertanto  $2^N$  stati logici, dove per *stato della serie* si intende una delle possibili combinazioni degli stati dei singoli flip-flop. Un contatore a flip-flop è un dispositivo costituito da una serie di flip-flop collegati tra di loro in modo che, ad ogni ciclo di un segnale di ingresso, la serie passa da uno stato all'altro. Se, partendo da un certo stato iniziale, il contatore ritorna allo stesso stato dopo  $k$  cicli del segnale di ingresso, allora si dice che il contatore è *a modulo k* o *a base k*. Un contatore costituito da  $N$  flip-flop, che assuma tutti gli stati possibili (questo tipo di funzionamento non è sempre richiesto), è un contatore a modulo  $2^N$ .

In Fig. 10.6-1a è illustrato un contatore a propagazione del comando modulo 16. I quattro flip-flop **JK** sono predisposti per funzionare in modo *toggle*, cioè con  $J = K = 1$ . I collegamenti fra i flip-flop sono tali per cui  $Q_0$  del primo flip-flop **FF0** è collegato all'ingresso di clock  $C_1$  di **FF1**,  $Q_1$  all'ingresso di clock di **FF2**, ecc. Il segnale di ingresso, di cui si vogliono contare i cicli, è applicato al clock di **FF0**. Supponiamo che i flip-flop commutino sul fronte di discesa del segnale di clock. Allora, come si può facilmente verificare, le forme d'onda alle uscite  $Q_0, Q_1, Q_2, Q_3$  dei flip-flop sono quelle illustrate in Fig. 10.6-1b. Si noti che ogni flip-flop cambia stato quando e soltanto quando il flip-flop precedente od il segnale di ingresso presenta una transizione dall'1 logico allo 0 logico. Abbiamo fatto partire il contatore arbitrariamente dallo stato in cui  $Q_3 = Q_2 = Q_1 = Q_0 = 0$ , stato che d'ora innanzi indicheremo con  $Q_3 Q_2 Q_1 Q_0 = 0000$ . La sequenza degli impulsi di ingresso fa passare il contatore attraverso tutti i suoi possibili  $2^4 = 16$  stati, sicchè dopo il sedicesimo impulso di clock il contatore si ritrova nello stato iniziale. Il numero  $K$  indicante il numero degli impulsi d'ingresso contati, supponendo  $K = 0$  quando  $Q_3 Q_2 Q_1 Q_0 = 0000$ , è dato da

$$K = 2^3 Q_3 + 2^2 Q_2 + 2^1 Q_1 + 2^0 Q_0 \quad (10.6-1)$$

come indicato nella figura, sia in notazione binaria che decimale.

Il numero contato dal contatore può venire «letto» con l'aiuto di un decodificatore del tipo illustrato in Fig. 10.6-2. In quest'ultima figura il numero dei

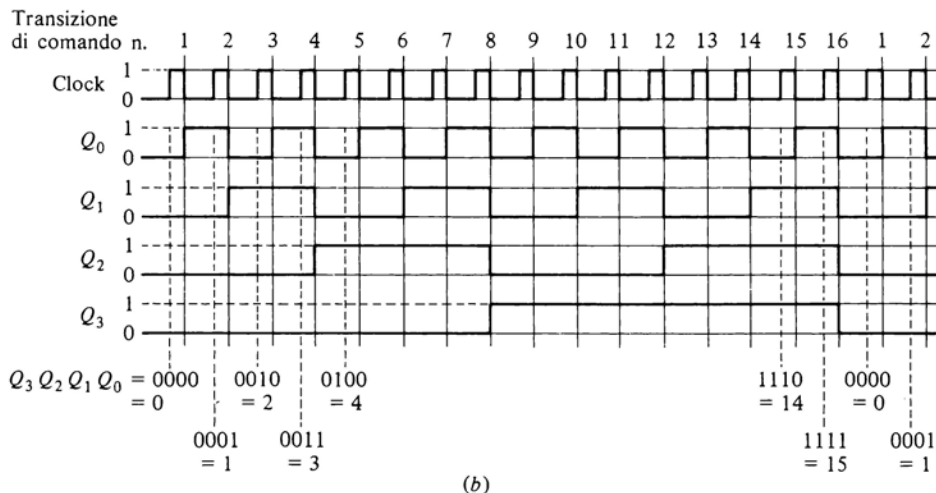
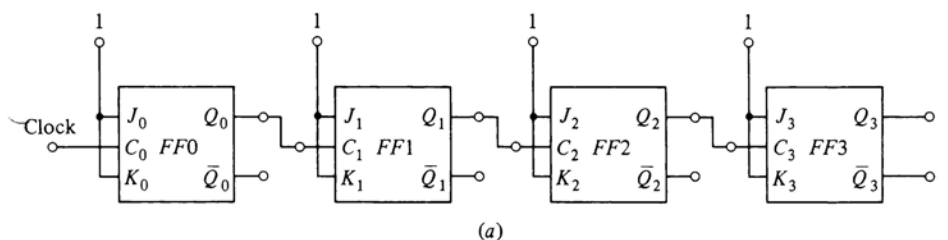


Figura 10.6-1 Contatore mod-16.

flip-flop è stato ridotto a tre per permettere di seguire più agevolmente i vari collegamenti. Il contatore è pertanto un contatore a modulo 8. Inizialmente ignoriamo l'ingresso di abilitazione (*strobe*), o meglio, supponiamo che tale ingresso si trovi all'1 logico, in modo che tutte le porte AND siano abilitate. Come si può verificare, quando il contatore si trova nello stato  $Q_2 Q_1 Q_0 = 000$ , avremo  $K_0 = 1$  mentre  $K_2, \dots, K_7 = 0$ . Quando il contatore si trova a  $Q_2 Q_1 Q_0 = 001$ , avremo  $K_1 = 1$  mentre le uscite di tutte le altre porte AND saranno allo 0 logico, ecc. Il numero a cui è arrivato il contatore può quindi essere letto semplicemente esaminando quale delle uscite  $K_0, \dots, K_7$  si trova all'1 logico.

Per comprendere lo scopo dell'ingresso di strobe che abilita le porte AND di Fig. 10.6-2, si tenga presente che le forme d'onda di Fig. 10.6-1b sono state disegnate trascurando il ritardo di propagazione attraverso i flip-flop. In Fig. 10.6-3, viceversa, sono state ridisegnate le forme d'onda (relative ad un contatore mod-8) tenendo conto del tempo di propagazione  $t_{pd}$ . In Fig. 10.6-3 è

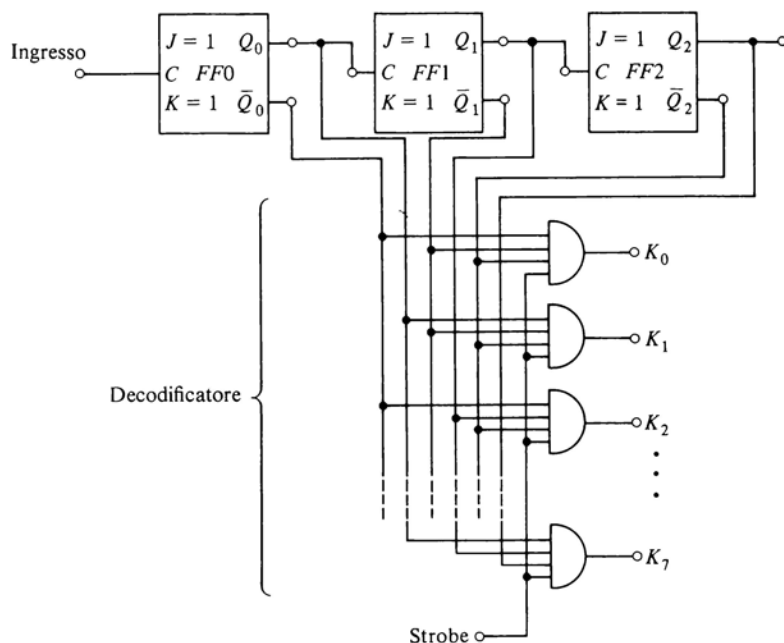


Figura 10.6-2 Convertitore binario-decimale.

stata riportata anche la forma d'onda presente su  $K_0$ . Accanto alla forma d'onda reale, è disegnata anche la forma d'onda *ideale* presente su  $K_0$ , cioè la forma d'onda che si avrebbe se non ci fosse ritardo di propagazione. Nel caso ideale  $K_0$  dovrebbe valere  $K_0 = 1$  soltanto nell'intervallo fra l'istante in cui il contatore commuta a causa dell'ottavo impulso e l'istante in cui commuta a causa del nono impulso, mentre per il resto del tempo  $K_0$  dovrebbe valere  $K_0 = 0$ . Possiamo osservare però che a causa dei ritardi di propagazione si verificano degli *errori di decodifica*. Errori analoghi si presentano anche alle altre uscite del decodificatore di Fig. 10.6-2 (vedi Prob. 10.6-1). Per eliminare questi errori si impiega l'ingresso di strobe sulle porte AND. ESSO è normalmente allo 0 logico, cosicché tutte le uscite del decodificatore si vengono a trovare allo stato 0. Quando vogliamo leggere il decodificatore, lo abilitiamo per un breve intervallo, portando la linea di strobe al livello logico 1. Lo strobe può andare ad 1 soltanto dopo che, dalla transizione del clock, è trascorso un intervallo di tempo sufficientemente lungo da evitare errori. Il livello dello strobe torna allo 0 logico prima che si verifichi la transizione di clock successiva.

Il contatore di Fig. 10.6-1a è noto come *contatore a propagazione del comando* (*ripple counter*). L'origine di questa denominazione risulta chiara dal-

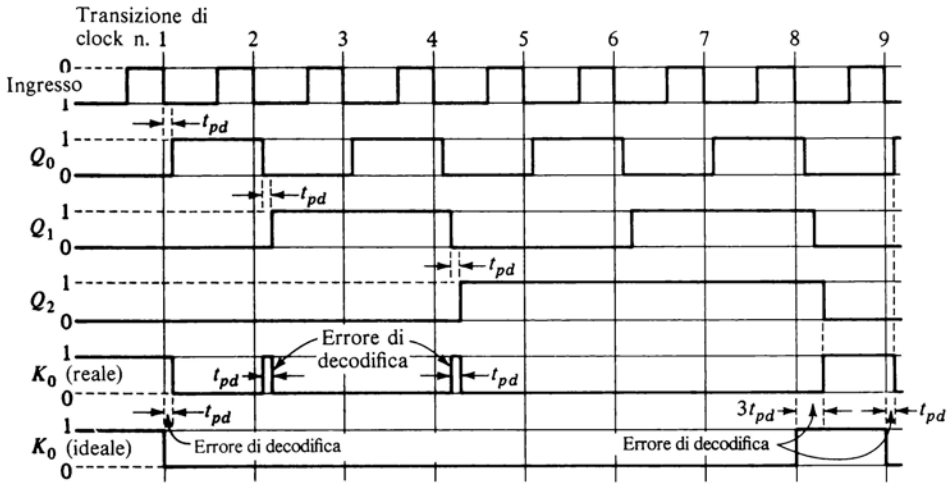


Figura 10.6-3 Forme d'onda relative ad un contatore mod-8, diseguate tenendo conto dei ritardi di propagazione.

le seguenti considerazioni. Supponiamo di avere un contatore con  $N$  flip-flop e che tutti i flip-flop si trovino nello stato di set, sicché  $Q_0 = Q_1 = \dots = Q_{N-1} = 1$ . Alla successiva transizione di clock,  $Q_0$  andrà a  $Q_0 = 0$ . La transizione di  $Q_0$  causerà allora il passaggio di  $Q_1$  a 0, che a sua volta farà passare  $Q_2$  a 0 e così via. In questo modo la transizione di comando si propaga attraverso tutto il contatore da  $Q_0$  a  $Q_{N-1}$ . Quando la propagazione è terminata, il contatore si viene a trovare nello stato  $Q_0 = Q_1 = \dots = Q_{N-1} = 0$ . Questo contatore è chiamato anche *contatore asincrono* poichè non c'è un segnale di clock applicato *in comune* a tutti i flip-flop che ne provochi la commutazione simultanea.

Questo asincronismo del contatore pone un limite alla frequenza del segnale di ingresso. Per essere più chiari, supponiamo di avere un contatore con  $N = 4$  flip-flop che si trovi nello stato  $Q_0 = Q_1 = Q_2 = Q_3 = 1$ . Supponiamo inoltre che il tempo di propagazione di ciascun flip-flop sia di 50 ns. Allora alla transizione di clock successiva, inizierà la propagazione di «un'onda di comando» che terminerà dopo  $4(50) = 200$  ns. Cessata la propagazione, si ha  $Q_0 = Q_1 = Q_2 = Q_3 = 0$ , ed è possibile leggere il contatore e verificare che esso si è portato nello stato di reset. Supponiamo però che la successiva transizione di ingresso si verifichi dopo un intervallo di tempo inferiore a 200 ns. Allora il primo flip-flop commuterà a  $Q_0 = 1$  prima che l'ultimo flip-flop si sia stabilizzato a  $Q_3 = 0$ . Pertanto tutti i flip-flop non potranno mai essere contemporaneamente a 0 e il decodificatore non potrà mai comunicare che tutti i flip-flop del contatore sono azzerati. In altri termini, l'errore di decodifica sul-

l'uscita  $K_0$  del decodificatore avrà una durata pari a tutto l'intervallo compreso fra due transizioni successive di clock. L'intervallo  $T$  fra le transizioni di clock deve essere allora almeno pari a  $Nt_{pd}$ , essendo  $N$  il numero dei flip-flop e  $t_{pd}$  il ritardo di propagazione di ciascuno di essi. Se poi si vuole avere a disposizione anche un intervallo  $T_s$  per comandare lo strobe, è necessario che

$$T \geq Nt_{pd} + T_s \quad (10.6-2a)$$

e la frequenza di lavoro massima del contatore deve essere

$$f \leq \frac{1}{Nt_{pd} + T_s} \quad (10.6-2b)$$

Spesso il circuito di Fig. 10.6-1a non viene impiegato come contatore degli impulsi di ingresso, ma per generare in uscita un segnale che presenti un numero di impulsi o di cicli inferiore a quello del segnale di ingresso e proporzionale ad esso. Dalla Fig. 10.6-1a possiamo osservare che  $Q_0$  compie un numero di cicli pari alla metà dei cicli di ingresso.  $Q_1$  compie un quarto dei cicli di ingresso, ecc. In generale, all'uscita di un contatore ad  $N$  stadi il segnale compie un numero di cicli inferiore a quello dell'ingresso per un fattore  $2^N$ . Il circuito, quando viene impiegato in questa applicazione, viene chiamato *divisore di frequenza* (*frequency divider*) o *riduttore di frequenza* (*frequency scaler*), ed un divisore ad  $N$  flip-flop è anche chiamato *riduttore per  $2^N$* .

Una cascata di flip-flop, quando è impiegata come divisore, può lavorare con frequenze di ingresso più elevate di quando è impiegata come contatore. Infatti quando lavora come divisore, ci interessa soltanto la sua forma d'onda d'uscita e non il conteggio. In questo caso la massima frequenza di ingresso è determinata dalla velocità di commutazione del primo flip-flop  $FF0$ , cioè dalla massima velocità con cui il primo flip-flop può commutare in risposta ad un segnale di ingresso. Al secondo flip-flop  $FF1$  della cascata si richiede infatti di commutare ad una frequenza inferiore, pari alla metà della frequenza di commutazione del primo flip-flop e così via.

Infine possiamo notare che, sia nel caso del divisore sia nel caso del contatore, il segnale di ingresso non deve essere necessariamente periodico. Nelle Fig. 10.6-1 e 10.6-2 abbiamo supposto un segnale di ingresso periodico semplicemente per comodità grafica.

## 10.7 METODI PER AUMENTARE LA VELOCITÀ DEL CONTATORE

Si dice che un sistema digitale sequenziale funziona in modo *sincrono* se tutti i flip-flop sono comandati dallo stesso segnale di clock. In questo caso tutti i cambiamenti di stato dei flip-flop del sistema avvengono nello stesso istante, cioè in sincronismo con il segnale di clock. Il contatore a propagazione del comando di Fig. 10.6-1 non è un sistema sincrono.



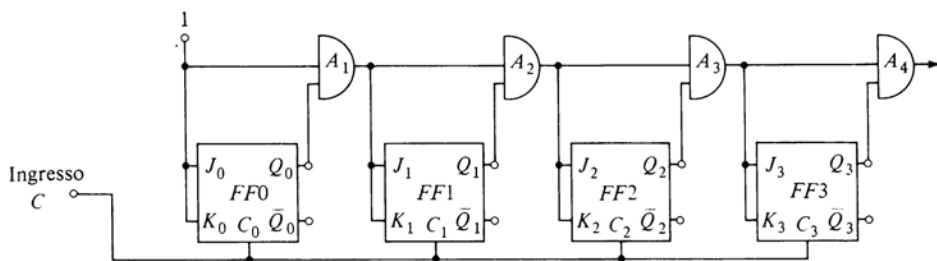


Figura 10.7-1 Contatore sincrono con riporto serie.

**Contatore sincrono serie** La velocità dei contatori può venire aumentata facendo funzionare i contatori in modo sincrono. In Fig. 10.7-1 è illustrato tale tipo di funzionamento. Notiamo che questo contatore è sincrono poiché il segnale di clock viene applicato simultaneamente agli ingressi di clock di tutti i flip-flop.

Un flip-flop cambia stato in corrispondenza alla transizione attiva del clock soltanto se i suoi terminali  $J$  e  $K$  (collegati insieme nel circuito di Fig. 10.7-1) si trovano a  $J = K = 1$ . Pertanto FF1 risponde soltanto se  $Q_0 = 1$ . Analogamente FF2 risponde solo se  $Q_0 = Q_1 = 1$  ed FF3 solo se  $Q_0 = Q_1 = Q_2 = 1$ , ecc. Tenendo presente ciò, si può verificare che la sequenza degli stati assunti dai flip-flop è esattamente la stessa del contatore a propagazione del comando di Fig. 10.6-1a e che l'andamento delle forme d'onda è identico a quello di Fig. 10.6-1b. Facciamo notare che l'informazione concernente lo stato dei flip-flop precedenti viene portata a ciascun flip-flop attraverso una serie di porte AND. Per questa ragione tale contatore viene chiamato *contatore sincrono con riporto serie*, oppure, dal momento che il funzionamento sincrono fa aumentare la velocità, viene chiamato anche *contatore veloce con riporto serie*.

Poiché i flip-flop vengono comandati simultaneamente, in teoria anche le uscite dei flip-flop che devono commutare dovrebbero cambiare stato simultaneamente e quindi non dovrebbero verificarsi errori di decodifica. In pratica questo non si verifica; infatti il cambiamento di stato in un flip-flop non avviene istantaneamente. L'uscita di un flip-flop presenta infatti un tempo di salita ed un tempo di discesa finiti e questi tempi, nello stesso flip-flop, sono differenti. Inoltre il tempo di salita, il tempo di discesa ed il tempo di propagazione variano da un flip-flop all'altro. Pertanto anche in questo contatore si manifestano errori di decodifica e generalmente è necessario un comando di strobe come per il contatore asincrono. Nel contatore sincrono però l'errore di decodifica persiste soltanto per un tempo che è dell'ordine del tempo ri-

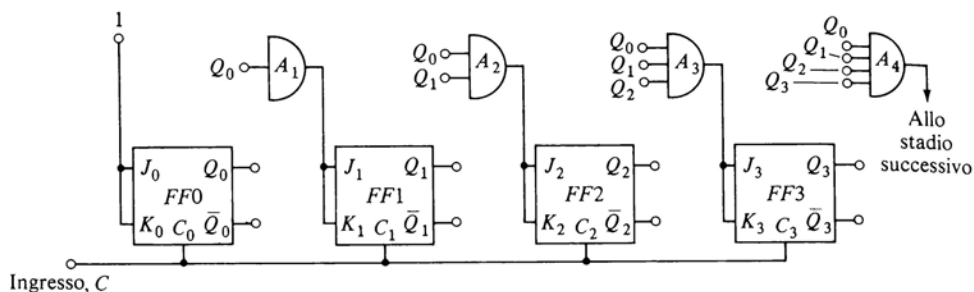


Figura 10.7-2 Contatore sincrono con riporto parallelo.

chiesto da un flip-flop per cambiar stato più la massima differenza fra i tempi di propagazione dei flip-flop. Inoltre, cosa più importante, la durata di questo errore di decodifica non *aumenta* con il numero dei flip-flop del contatore. Viceversa nel contatore asincrono, per ogni flip-flop aggiunto, la durata dell'errore di decodifica aumenta di un tempo uguale al tempo di propagazione del flip-flop. Pertanto, anche se la velocità risulta ancora limitata dalla necessità di una corretta lettura dello stato del contatore ad ogni ciclo del segnale d'ingresso, il contatore a riporto serie è notevolmente superiore al contatore asincrono.

Tuttavia la struttura stessa del contatore sincrono serie, ed in particolare il fatto che dei livelli logici si devono propagare attraverso una serie di porte AND, pone un limite alla sua velocità di funzionamento. Supponiamo ad esempio che il contatore si trovi nello stato  $Q_3Q_2Q_1Q_0 = 1110$ . In tutti i flip-flop allora, ad eccezione di FF0, si ha  $J = K = 0$ . Al successivo impulso di clock (che chiameremo  $i$ -esimo) soltanto FF0 risponderà ed avremo  $Q_3Q_2Q_1Q_0 = 1111$ , dopo che  $Q_0$  è commutato da 0 ad 1. Trascorso il tempo di propagazione della porta A1, avremo  $J_1 = K_1 = 1$  e dopo un altro ritardo di propagazione avremo  $J_2 = K_2 = 1$ , ecc. Così l'effetto della transizione di  $Q_0$  si propaga attraverso tutte le porte AND. Supponiamo di lasciare passare un tempo sufficiente a consentire che la transizione si propaghi fino all'ultimo flip-flop. In tutti i flip-flop avremo allora  $J = K = 1$  ed all'( $i+1$ )-esimo impulso di clock tutti i flip-flop commuteranno; avremo perciò  $Q_0Q_1Q_2Q_3 = 0000$ , come richiesto. Se però non si lascia passare un tempo sufficientemente lungo fra l' $i$ -esimo e l'( $i+1$ )-esimo impulso, le porte finali della cascata non faranno in tempo a cambiar stato ed il contatore darà un conteggio errato. Pertanto un contatore ad  $N$  stadi, impiegando  $N - 1$  porte AND, conterà correttamente finchè l'intervallo  $T$  fra gli impulsi di clock è maggiore del tempo di propagazione  $(N - 1) t_{pd}$  della serie delle porte AND più il tempo di propagazione di FF0.

Inoltre anche la durata dell'impulso di strobe contribuisce a far diminuire la velocità di conteggio. La massima frequenza di clock pertanto è data da

$$f \leq \frac{1}{(N-1)t_{pd(AND)} + t_{pd(FF0)} + T_s} \quad (10.7-1)$$

In pratica la porta  $A1$  viene solitamente omessa, poichè  $Q_0$  può venire collegato direttamente agli ingressi  $JK$  di  $FF1$  ed alla porta  $A2$ . In questo caso la frequenza di clock massima è un po' più elevata.

Confrontando il contatore asincrono con il contatore sincrono serie, si può notare che il contatore asincrono non presenta altro limite alla sua velocità di conteggio che quello dovuto alla velocità di commutazione propria dei singoli flip-flop che lo costituiscono; tuttavia questa velocità di conteggio deve essere ridotta onde consentire una corretta lettura del conteggio effettuato. Il contatore sincrono serie invece inizia a *contare in maniera non corretta* ancor prima che si manifestino problemi di decodifica errata. Però, tenendo presente che nel contatore asincrono, per avere una corretta lettura, la velocità dipende dal tempo di propagazione attraverso una serie di flip-flop, mentre nel contatore sincrono, per la sua stessa struttura, la velocità dipende dal tempo di propagazione attraverso una serie di porte  $AND$ , e tenendo presente che il tempo di propagazione attraverso una porta  $AND$  è inferiore a quello attraverso un flip-flop, si può concludere che la velocità del contatore sincrono è nettamente superiore a quella del contatore asincrono. Naturalmente la maggior velocità viene pagata con la maggiore complessità circuitale dovuta alla presenza delle porte  $AND$ .

**Contatore sincrono parallelo** È possibile ottenere un ulteriore incremento della velocità impiegando il contatore sincrono con riporto parallelo di Fig. 10.7-2. In esso si è evitato di far propagare i livelli logici da una porta  $AND$  all'altra. Tutti i livelli logici richiesti agli ingressi delle porte  $AND$  vengono portati alle porte stesse mediante collegamenti diretti. Come si può verificare la successione degli stati assunti dai flip-flop e gli andamenti delle forme d'onda sono identici a quelli di Fig. 10.6-1, che si riferiscono sia al contatore asincrono che al contatore sincrono serie.

Quantunque il contatore sincrono parallelo sia il più veloce dei tre contatori considerati, non è a sua volta privo di inconvenienti. Notiamo che ogni porta  $AND$  richiede un ingresso in più della precedente. Inoltre per ogni porta che si aggiunge, il fan-out dei flip-flop aumenta di uno, con una corrispondente diminuzione della velocità di commutazione.  $FF0$  viene così ad avere il fan-out più elevato ed il tempo di propagazione più lungo. Il tempo di propagazione in funzione del fan-out  $F$ ,  $t_{pd}(F)$ , è in genere dato dal costruttore. Noto

questo parametro, la massima frequenza di clock per il contatore sincrono parallelo è data da

$$f_{\max} = \frac{1}{t_{pd}(F) + t_{pd}(\text{AND}) + T_s} \quad (10.7-2)$$

## 10.8 CONTATORI NON BINARI

Tutti i contatori fin qui considerati presentano un modulo che è sempre una potenza di 2. Così, un contatore con  $N$  flip-flop presenta modulo  $2^N$ . Partendo da un certo stato iniziale, il contatore passa per tutti i  $2^N$  stati possibili prima di ritornare allo stato iniziale. Vediamo ora quali modifiche sia necessario apportare per ottenere un contatore a modulo qualsiasi, in cui cioè il modulo non sia solo una potenza di 2. Riveste ad esempio un particolare interesse il *contatore decimale* (mod-10) o *decade di conteggio*.

Supponiamo di volere un contatore a modulo  $k$ . Si parte allora da un contatore con  $N$  flip-flop, dove  $N$  è il più piccolo numero per cui vale ancora  $2^N > k$ . Così per  $k = 5$  o  $6$  o  $7$ , prenderemo  $N = 3$ , poichè  $2^3 = 8$ . Per  $k = 9$  o ... o  $15$ , prenderemo  $N = 4$ , ecc. Per realizzare un contatore mod- $k$  si parte quindi da un contatore mod- $2^N$  e lo si modifica in modo da eliminare gli stati superflui. Per un contatore mod- $k$  dovremo eliminare  $2^N - k$  stati. Si è liberi di scegliere gli stati da eliminare, ragion per cui i modi per realizzare un contatore mod- $k$  sono più d'uno. Un contatore può essere impiegato per comandare un visualizzatore di conteggio oppure per controllare la sequenza di altre operazioni digitali. In ogni caso fra il contatore ed il dispositivo da pilotare deve essere interposto un decodificatore opportuno. Spesso gli stati da eliminare sono scelti in base al criterio di semplificare il più possibile il decodificatore.

## 10.9 CONTATORI MOD-3

Esistono troppi modi per realizzare contatori di tipo non binario perchè valga la pena di sviluppare un procedimento generale di progetto. Nonostante ciò, può risultare istruttivo ed interessante esaminare alcune delle direttrici generali di tali progetti. Cominciamo con un contatore mod-3.

Un contatore mod-3 richiede *due* flip-flop. Decidiamo arbitrariamente che il contatore debba assumere successivamente i tre stati indicati nella Tab. 10.9-1. È indicato uno stato  $S = 0$  corrispondente a  $Q_1 Q_0 = 00$ . Da questo stato si passa col primo impulso di clock ad un secondo stato  $S = 1$ , in cui  $Q_1 Q_0 = 01$ . Il ciclo di clock successivo fa avanzare il contatore ad  $S = 2$ , in cui  $Q_1 Q_0 = 10$ . Infine, al successivo impulso di clock, il contatore torna allo stato  $S = 0$ .

In un caso come questo non è possibile utilizzare un contatore asincrono. Infatti nel contatore asincrono il secondo flip-flop deve ricevere il segnale di comando dall'uscita del primo flip-flop; ora, quando  $S$  passa da  $S = 2$  a  $S =$

Tabella 10.9-1

Stato del contatore: $S$	$Q_1$	$Q_0$
0	0	0
1	0	1
2	1	0
0	0	0
$\vdots$	$\vdots$	$\vdots$

Tabella 10.9-2

$Q_n \longrightarrow Q_{n+1}$	$J$	$K$
0	0	X
0	1	X
1	0	1
1	1	0

0,  $Q_1$  deve cambiare stato e necessita quindi di una transizione di comando;  $Q_0$  però non cambia stato e pertanto non può fornire all'altro flip-flop la transizione di comando richiesta. La situazione non migliora affatto se scambiamo gli stati di  $Q_1$  e  $Q_0$ . Conviene pertanto orientarsi verso un funzionamento di tipo sincrono, in cui cioè si applichi un segnale esterno di clock ad entrambi i flip-flop. Supponendo di avere a disposizione flip-flop di tipo  $JK$ , si dovrà far sì che gli ingressi  $J$  e  $K$  si vengano a trovare, ad ogni ciclo di clock, al livello logico adatto a far avvenire le transizioni nell'ordine desiderato.

A tal fine conviene presentare la tavola di verità del flip-flop  $JK$  come nella Tab. 10.9-2, in cui sono messi in evidenza i livelli logici a cui devono essere portati  $J$  e  $K$  per far sì che il flip-flop passi da un certo stato  $Q_n$  (prima della transizione del clock) ad un determinato stato  $Q_{n+1}$  (dopo la transizione del clock). Il simbolo X significa *indifferente* o *qualsivoglia* (*don't care*).

Riferendoci alle Tab. 10.9-1 e 10.9-2, possiamo a questo punto costruire le mappe di Karnaugh (mappe K) per  $J_0, K_0, J_1, K_1$  dei due flip-flop  $FF0$  e  $FF1$  costituenti il nostro contatore mod-3. In Fig. 10.9-1 sono illustrate le quattro mappe K. Per comprendere come si è proceduto, osserviamo che quando il conteggio è a 0, cioè quando le uscite dei due flip-flop sono  $Q_1 Q_0 = 00$ , lo stato successivo del contatore deve essere  $Q_1 Q_0 = 01$ ; cioè  $Q_1$  deve rimanere a  $Q_1 = 0$ , il che si ottiene ponendo  $J_1 = 0$  e  $K_1 = X$ , mentre  $Q_0$  deve passare ad 1, il che si ottiene ponendo  $J_0 = 1$  e  $K_0 = X$ . Il caso  $Q_1 Q_0 = 11$  non si verifica mai, sicché nella casella corrispondente delle mappe K possiamo mettere X. Come esercizio (Prob. 10.9-2) si riempiano le due rimanenti caselle, relative cioè a  $Q_1 Q_0 = 01$  e  $10$ . Le mappe K di Fig. 10.9-1, risolte nella forma più semplice, danno

$$J_0 = \bar{Q}_1 \quad K_0 = 1 \quad \text{e} \quad J_1 = Q_0 \quad K_1 = 1 \quad (10.9-1)$$

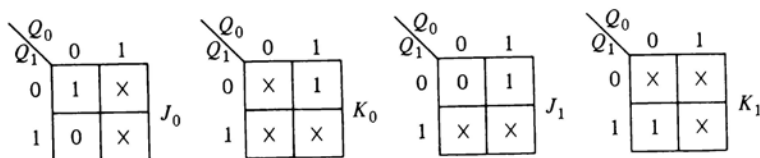


Figura 10.9-1 Mappe K per un contatore mod-3.

Il circuito risultante è illustrato in Fig. 10.9-2a. La specificazione dei valori logici di  $Q_1$  e  $Q_0$  corrispondenti a ciascuno stato del contatore, data nella Tab. 10.9-1, viene chiamata *assegnazione degli stati*. Differenti assegnazioni degli stati portano a circuiti differenti anche se in alcuni casi le variazioni possono essere piccole (vedi Prob. 10.9-3). In Fig. 10.9-2b è illustrato il diagramma delle forme d'onda del contatore; tali forme d'onda possono essere ricavate considerando il circuito o più semplicemente leggendo la tabella di assegnazione degli stati.

## 10.10 CONTATORI MOD-5

Come secondo esempio di progetto consideriamo un contatore mod-5 che soddisfi l'assegnazione degli stati riportata nella Tab. 10.10-1. Sono necessari tre flip-flop. Impiegando il funzionamento sincrono, possiamo costruire, come prima, delle mappe K per i terminali  $J$  e  $K$  facendo riferimento alle Tab. 10.9-2 e 10.10-1. Queste mappe sono illustrate in Fig. 10.10-1. Per costruirle abbiamo proceduto come segue. Consideriamo il caso in cui il conteggio è arrivato allo stato  $S = 2$ , sicché  $Q_2 Q_1 Q_0 = 010$ . All'impulso di

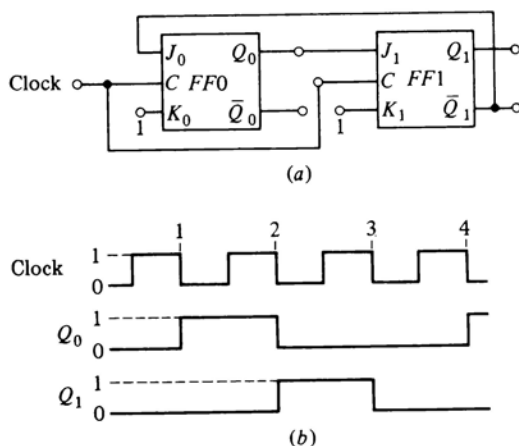


Figura 10.9-2 Contatore mod-3.

Tabella 10.10-1

Stato del contatore: $S$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	0
3	0	1	1
4	1	0	0
0	0	0	0

clock successivo,  $Q_0$  passerà ad **1**, mentre  $Q_2$  e  $Q_1$  non cambieranno stato. Dobbiamo porre allora  $J_0 = 1$ ,  $K_0 = X$ ,  $J_1 = X$ ,  $K_1 = 0$ ,  $J_2 = 0$  e  $K_2 = X$ . Per le altre caselle si procederà in modo analogo (vedi Prob. 10.10-1). Da queste mappe ricaviamo, dopo aver semplificato,

$$\begin{aligned}
 J_0 &= \bar{Q}_2 & K_0 &= 1 \\
 J_1 &= K_1 = Q_0 \\
 J_2 &= Q_1 \cdot Q_0 & K_2 &= 1
 \end{aligned}
 \tag{10.10-1}$$

Il circuito e le forme d'onda sono dati in Fig. 10.10-2.

Se si vuole, la porta AND esterna di Fig. 10.10-2a può essere omessa. Infatti, riferendoci alla Fig. 9.20-1, notiamo che l'ingresso  $J$  di un flip-flop può essere costituito dall'ingresso di una porta AND interna al flip-flop. Aggiungendo un altro ingresso a questa porta interna, è possibile collegare i due ingressi  $J$  del flip-flop direttamente a  $Q_1$  e  $Q_0$ , evitando così di impiegare una porta AND esterna.

Notiamo, dalla tabella di assegnazione degli stati (Tab. 10.10-1) o dai diagrammi delle forme d'onda di Fig. 10.10-2b, che FF1 cambia stato quando e

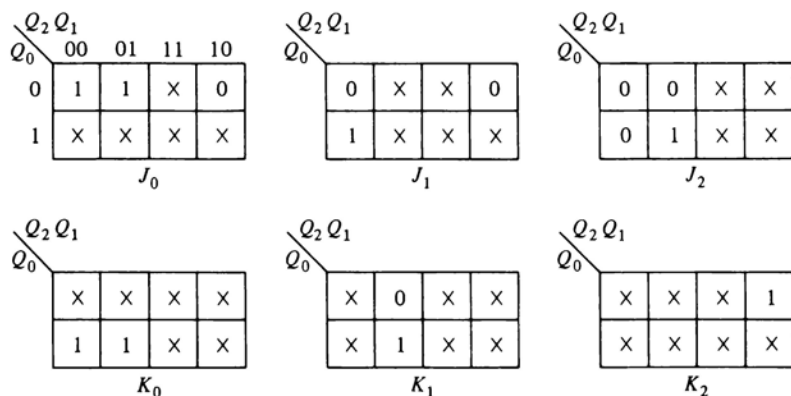


Figura 10.10-1 Mappe K per un contatore mod-5.

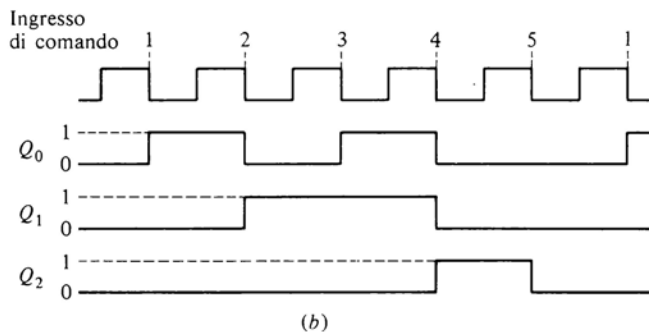
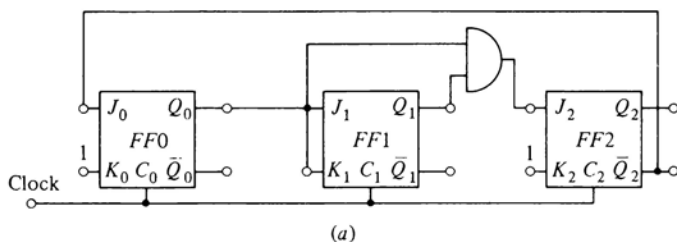


Figura 10.10-2 (a) Contatore mod-5. (b) Forme d'onda.

soltanto quando  $Q_0$  passa da  $Q_0 = 1$  a  $Q_0 = 0$ . Questa risposta di  $FF1$  è esattamente quella che si otterrebbe collegando  $C_1$  a  $Q_0$ , come nei contatori asincroni. In Fig. 10.10-3 il contatore mod-5 è stato modificato con la realizzazione di questo collegamento e con l'indicazione della porta  $AND$  interna ad  $FF2$ . In questo contatore pertanto il comando dei flip-flop è in parte sincrono ed in parte asincrono.

Per vedere l'effetto dell'assegnazione degli stati sulla forma circuitale di un contatore, consideriamo un secondo esempio di contatore mod-5, che soddisfi questa volta all'assegnazione degli stati della Tab. 10.10-2. Dalle Tab.

Tabella 10.10-2

Stato del contatore: $S$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	1	1
2	1	1	1
3	1	1	0
4	1	0	1



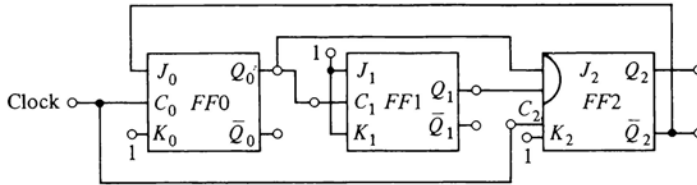


Figura 10.10-3 Contatore mod-5 modificato.

10.10-2 e 10.9-2 possiamo ricavare, come prima, mappe K per gli ingressi  $J$  e  $K$  dei tre flip-flop. Troviamo in questo caso (Prob. 10.10-3)

$$\begin{aligned} J_0 &= 1 & K_0 &= Q_2 \\ J_1 &= \bar{Q}_0 & K_1 &= \bar{Q}_0 \\ J_2 &= Q_0 & K_2 &= \bar{Q}_1 \end{aligned} \quad (10.10-2)$$

Il contatore è illustrato in Fig. 10.10-4.

Possiamo notare dalla Tab. 10.10-2 che  $Q_1$  cambia stato quando e soltanto quando  $Q_0$  cambia da  $Q_0 = 0$  a  $Q_0 = 1$ . Quindi, volendo, possiamo sostituire il comando sincrono sul clock di FF1 con un collegamento di tipo asincrono con FF0. Come abbiamo fatto in Fig. 10.10-3, porremo  $J_1 = K_1 = 1$ . Però in questo caso dovremo collegare  $C_1$  non a  $Q_0$  ma a  $\bar{Q}_0$ .

### 10.11 CONDIZIONE DI «BLOCCO» DEL CONTATORE

Nel contatore le cui specifiche sono date dalla Tab. 10.10-1, gli stati logici  $Q_2 Q_1 Q_0 = 101, 110, \text{ e } 111$  non vengono mai utilizzati. Supponiamo ora che il contatore venga a trovarsi ad un certo punto in uno di questi stati inutilizzati per effetto, ad esempio, di un disturbo esterno. Per ciascuno degli stati indicati nella Tabella 10.10-1 viene specificato lo stato in cui si verrà a trovare il contatore all'impulso di clock successivo. Per gli stati inutilizzati invece non siamo in grado di conoscere lo stato successivo. Quando il contatore «finisce» in uno di questi stati inutilizzati, c'è il pericolo che cominci a passare

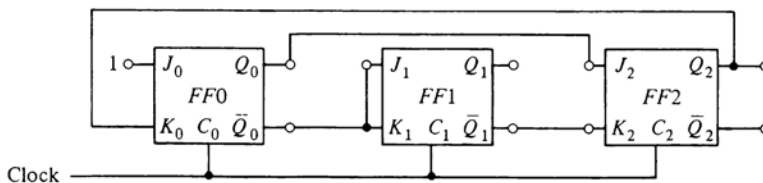


Figura 10.10-4 Schema di un altro contatore mod-5.

		$Q_2 Q_1$			
$Q_0$		00	01	11	10
0		1	1	0	0
1		x	x	x	x

$J_0$

		$Q_2 Q_1$			
$Q_0$		00	01	11	10
0		0	x	x	0
1		1	x	x	0

$J_1$

		$Q_2 Q_1$			
$Q_0$		00	01	11	10
0		0	0	x	x
1		0	1	x	x

$J_2$

		$Q_2 Q_1$			
$Q_0$		00	01	11	10
		x	x	x	x
		1	1	1	1

$K_0$

		$Q_2 Q_1$			
$Q_0$		00	01	11	10
		x	0	1	x
		x	1	1	x

$K_1$

		$Q_2 Q_1$			
$Q_0$		00	01	11	10
		x	x	1	1
		x	x	1	1

$K_2$

Figura 10.11-1 Mappe K relative al progetto di un contatore mod-5 tale che, se viene a trovarsi in uno stato inutilizzato, si azzerà al successivo impulso di clock.

da uno stato inutilizzato all'altro senza riuscire a tornare più in uno degli stati operativi. Quando si verifica questa situazione, il contatore non può più funzionare correttamente. Si dice che il contatore, i cui stati inutilizzati presentano questa caratteristica negativa, è soggetto a *bloccarsi* (*lockout*), cioè a «chiudersi» agli impulsi esterni da contare.

Per essere sicuri che «alla partenza» il contatore si trovi nel suo stato iniziale, occorre impiegare un circuito esterno che provveda a predisporre in maniera adeguata il contatore stesso. Se, partendo da uno stato inutilizzato, un contatore perviene o direttamente o attraverso altri stati inutilizzati ad uno stato operativo, dà luogo ad un tipo di funzionamento che può in molti casi essere accettato. Potremmo considerare il tempo necessario a raggiungere il primo stato operativo come una sorta di tempo di «riscaldamento» del contatore o come una sorta di tempo di «recupero» dopo un disturbo. In ogni caso, quando si progetta un contatore, occorre controllare se gli stati inutilizzati portano ad una condizione di *blocco*. Si può verificare che il contatore di Fig. 10.10-2 non può dar luogo ad una condizione di blocco (Prob. 10.11-1).

Per essere sicuri di evitare il blocco si deve progettare il contatore in modo che i  $J$  e  $K$  degli stati inutilizzati, a cui prima si era assegnato il valore  $X$ , assumano valori tali da portare il contatore da uno stato inutilizzato ad uno stato operativo. Per esempio, se nel contatore mod-5 di Fig. 10.10-2 a causa del rumore ci si viene a trovare nello stato  $Q_2 Q_1 Q_0 = 101$  (stato inutilizzato), l'impulso di clock successivo dovrà portare il contatore nello stato  $Q_2 Q_1 Q_0 = 010$  (stato operativo). Per essere sicuri che ciò avvenga, è necessario che, quando  $Q_2 Q_1 Q_0 = 101$ ,  $J_0 = X$ ,  $K_0 = 1$ ,  $J_1 = 1$ ,  $K_1 = X$ ,  $J_2 = X$ ,  $K_2 = 1$ . In-

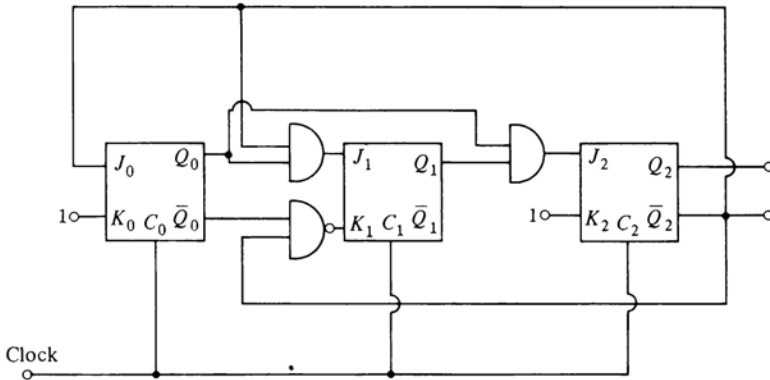


Figura 10.11-2 Contatore mod-5 che si azzerava se viene a trovarsi in uno stato inutilizzato.

seriamo ora questi valori in Fig. 10.10-1. Facendo riferimento all'Eq. (10.10-1) e alla Fig. 10.10-1, si può notare però che sono proprio questi i valori che si sono segnati nelle mappe K o che si sono assegnati a X quando si sono risolte le mappe stesse.

**ESEMPIO 10.11.1.** Si richiede di riprogettare il contatore mod-5 di Fig. 10.10-1 in modo che, se si verificano gli stati inutilizzati  $Q_2Q_1Q_0 = 101, 110$  o  $111$ , l'impulso di clock successivo riporti il contatore nello stato iniziale  $Q_2Q_1Q_0 = 000$ .

**SOLUZIONE** In Fig. 10.11-1 sono riportate le mappe necessarie per azzerare il contatore. Vediamo che i  $J$  e i  $K$  sono stati cambiati in modo da riportare uno stato inutilizzato qualsiasi allo stato iniziale  $Q_2Q_1Q_0 = 000$ . Per esempio, per passare da  $101$  a  $000$  è necessario che  $J_0 = X, K_0 = 1; J_1 = 0, K_1 = X; J_2 = X, K_2 = 1$ . Per passare da  $110$  a  $000$  è necessario che  $J_0 = 0, K_0 = X; J_1 = X, K_1 = 1; J_2 = X, K_2 = 1$ . E per passare da  $111$  a  $000$  è necessario che  $J_0 = J_1 = J_2 = X, K_0 = K_1 = K_2 = 1$ .

Le equazioni finali semplificate ottenute dalla Fig. 10.11-1 sono

$$\begin{aligned} J_0 &= \bar{Q}_2 & K_0 &= 1 \\ J_1 &= Q_0 \bar{Q}_2 & K_1 &= Q_0 + Q_2 = \overline{\bar{Q}_0 \bar{Q}_2} \\ J_2 &= Q_0 Q_1 & K_2 &= 1 \end{aligned}$$

Il contatore mod-5 risultante è illustrato in Fig. 10.11-2.

## 10.12 COMBINAZIONI DI CONTATORI DI MODULO DIVERSO

Un flip-flop da solo costituisce un contatore mod-2. Una cascata di flip-flop collegati in modo asincrono oppure sincrono costituisce un contatore avente come base una potenza di 2. Ora che si sono visti i contatori mod-3 e mod-5, possiamo combinarli con i contatori mod-2 in modo da ottenere così contatori il cui modulo non è più una potenza di 2. Così un contatore mod-2 in ca-

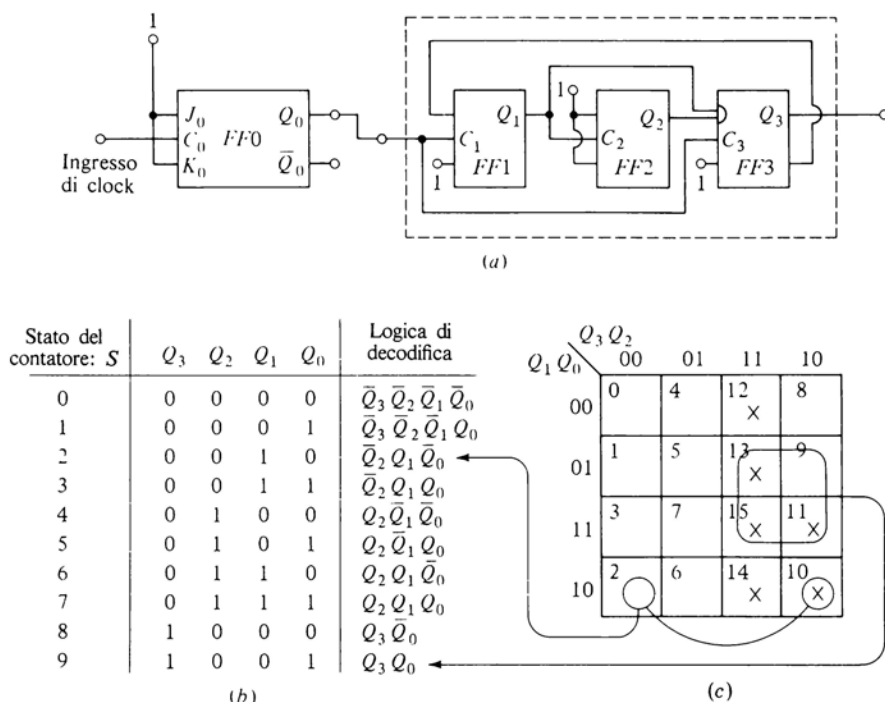


Figura 10.12-1 Contatore decimale realizzato con un contatore mod-5 e un contatore mod-2.

scata con un contatore mod-3 viene a costituire un contatore mod-6. Due contatori mod-3 in cascata costituiscono un contatore mod-9. Un contatore mod-2 ed un contatore mod-5 possono venire combinati in modo da costituire un contatore mod-10, cioè un *contatore decimale*. Il collegamento fra un contatore e l'altro può essere di tipo asincrono oppure sincrono, indipendentemente dal fatto che i singoli contatori siano di tipo asincrono o sincrono. Si ha inoltre la possibilità di scambiare l'ordine dei contatori nella cascata senza per questo cambiare il modulo del contatore complessivo; viene cambiato però sostanzialmente il codice di lettura del contatore stesso.

Come esempio, in Fig. 10.12-1a è illustrato un contatore mod-2 collegato in cascata con il contatore mod-5 di Fig. 10.10-3 in modo da formare un contatore decimale. Poiché il contatore mod-2 è stato disposto davanti a quello mod-5, chiameremo questo flip-flop *FF0*. Di conseguenza i flip-flop di Fig. 10.10-3 verranno indicati con *FF1* anziché *FF0* e così via. Definendo lo stato  $S = 0$  come lo stato in cui  $Q_3 Q_2 Q_1 Q_0 = 0000$ , la tabella di assegnazione degli stati diventerà quella di Fig. 10.12-1b. Osserviamo che le uscite

$Q_3Q_2Q_1Q_0$  assumono successivamente i livelli che rappresentano il conteggio in codice 8-4-2-1 o in codice BCD (*binary coded decimal: decimale codificato in binario*).

In Fig. 10.12-1b è data la logica di decodifica per questo contatore. Si pensi ad un decodificatore a porte AND del tipo di quello di Fig. 10.6-2, con la differenza che in questo caso sono necessarie 10 porte, con uscite  $K_0, \dots, K_9$ . La tabella della logica di decodifica dice, ad esempio, che la porta AND con uscita  $K_4$  deve avere tre ingressi  $Q_2, Q_1$  e  $Q_0$ .

La logica di decodifica può venir letta direttamente dalla mappa K di Fig. 10.12-1c. In questa mappa abbiamo inserito il simbolo di «indifferente» (X) in tutte le caselle corrispondenti alle combinazioni di  $Q_3Q_2Q_1Q_0$  non indicate nella tabella di assegnazione degli stati. Per esempio, per leggere il codice corrispondente a  $K = 9$ , prendiamo in esame la casella della mappa K corrispondente a  $Q_3Q_2Q_1Q_0 = 1001$ . Dal momento che lavoriamo in codice 8-4-2-1 BCD, questa casella corrisponde anche al minterm 9. Se ora in questa casella 9 segniamo un 1, possiamo ottenere un raggruppamento con le tre caselle adiacenti contenenti X ed ottenere la minimizzazione  $Q_3Q_0$ . Come secondo esempio si veda come il codice per  $K = 2$  si riduca a  $Q_2Q_1Q_0$ .

In Fig. 10.12-1a, se si scambiano fra di loro i due contatori, si ottiene ancora un contatore mod-10, però la tabella di assegnazione degli stati e la logica di decodifica risultano differenti da prima (vedi Prob. 10.12-1).

### 10.13 ALTRI METODI DI PROGETTO PER CONTATORI

I contatori la cui base è una potenza di 2 possono essere costituiti da flip-flop in cascata collegati fra di loro in modo asincrono. Il collegamento di tipo asincrono evita di dover impiegare porte esterne ai flip-flop. Quando la base non è una potenza di 2, un metodo di progetto è quello di utilizzare il collegamento sincrono per qualsiasi tipo di assegnazione degli stati.

È interessante prendere in considerazione un altro metodo di progetto che, pur utilizzando il collegamento asincrono, consente di ottenere contatori con modulo qualsiasi. Per poter far ciò, occorre utilizzare gli ingressi asincroni dei flip-flop (quali l'ingresso diretto di set), che nei casi precedenti erano stati completamente trascurati.

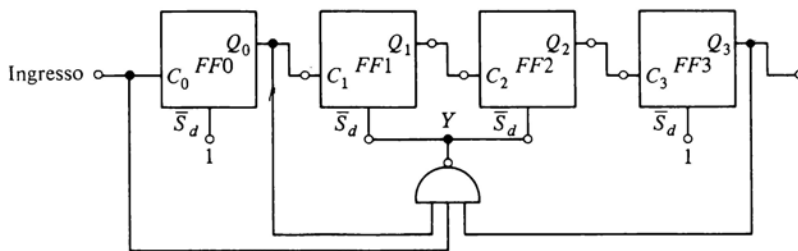


Figura 10.13-1 Contatore decimale in cui si impiega l'ingresso diretto  $\overline{S_d}$ .

In Fig. 10.13-1 è illustrato un contatore decimale. I flip-flop sono di tipo *JK* (gli ingressi *J* e *K* non sono indicati) con  $J = K = 1$ , in modo da avere un funzionamento di tipo *toggle* (cioè in modo che ad ogni impulso di clock si verifichi una commutazione dell'uscita). Si noti che i collegamenti fra i flip-flop sono del tipo asincrono. I terminali diretti di set, essendo essenziali al funzionamento, sono stati esplicitamente indicati. Supponiamo che il terminale diretto di set comandi il rispettivo flip-flop quando si trova al livello logico **0**; per questo si sono indicati questi ingressi con  $\overline{S}_d$ . Gli ingressi diretti di set di *FF0* e *FF3* non intervengono nel funzionamento e vengono lasciati al livello logico **1**.

In Fig. 10.13-2 si sono illustrati, trascurando però i tempi di propagazione, i diagrammi delle forme d'onda delle uscite e dell'ingresso *Y* collegato agli ingressi  $\overline{S}_d$  dei flip-flop *FF1* e *FF2*. A partire dallo stato iniziale  $Q_0 = Q_1 = Q_2 = Q_3 = 0$ , per 9 impulsi il funzionamento è quello di un normale contatore mod-16, poichè per questi nove impulsi  $Y = 1$ . Pertanto, poichè il contatore fin qui conta secondo la normale sequenza asincrona, possiamo leggere il numero degli impulsi direttamente dalle uscite  $Q_0, Q_1, Q_2$  e  $Q_3$  nel codice 8-4-2-1 BCD.

In corrispondenza della transizione positiva dell'ingresso immediatamente successiva alla nona transizione, tutti gli ingressi della porta *NAND* passano al livello logico **1** ed *Y* passa a  $Y = 0$ . Ciò porta *FF1* e *FF2* nello stato di set, sicchè si viene ad avere  $Q_0 = Q_1 = Q_2 = Q_3 = 1$ . La cascata dei flip-flop si viene così a trovare nello stato corrispondente al conteggio 15 di un normale contatore asincrono. Il risultato è quello di far avanzare il conteggio, quando l'impulso di clock si viene a trovare al livello **1**, da **1001** = 9 a **1111** = 15 in un colpo solo, saltando tutti gli stati intermedi. Quando l'impulso di clock torna al livello **0**, compiendo una transizione negativa, si verifica una propagazione della transizione di comando che riporta tutti i flip-flop, e quindi l'intero contatore, nello stato iniziale.

Alla decima transizione negativa di clock, *Y* torna ad  $Y = 1$ , liberando *FF1* e *FF2* dal controllo diretto. Anche  $Q_0$  passa a  $Q_0 = 0$ , provocando un cambiamento di stato in *FF1* da  $Q_1 = 1$  a  $Q_1 = 0$ . Occorre però che *Y* passi ad  $Y = 1$  prima che  $Q_0$  passi a  $Q_0 = 0$ . Questo tuttavia non è un problema poichè il tempo di propagazione attraverso una porta è inferiore a quello attraverso un flip-flop, per cui *Y* passa ad **1** non appena il segnale di clock diventa **0**.

Nel codice 8-4-2-1 BCD, 9 decimale è **1001** ed in un contatore decimale questo numero deve essere immediatamente seguito da **0000**. Dalle forme d'onda di Fig. 10.13-2 si nota però che **1001** è invece seguito da **1111** e che questo stato dura per tutto il tempo in cui il clock si trova all'**1** logico, prima della decima transizione negativa. Per evitare che questo conteggio indesiderato venga letto, sarà necessario fornire al contatore un opportuno comando di strobe, così come è generalmente necessario il comando di strobe per evi-



In Fig. 10.14-1 è illustrato un contatore che conta in su o in giù a seconda del livello di un segnale logico di controllo. Fra i flip-flop sono state interposte delle porte che consentono, a seconda del livello logico su  $M$ , la connessione dell'ingresso di clock di un flip-flop all'uscita  $Q$  oppure all'uscita  $\bar{Q}$  del flip-flop precedente. Con il comando di modo  $M = 1$  ( $\bar{M} = 0$ ), tutti gli ingressi di clock sono collegati con le uscite  $Q$  ed il contatore conta *in avanti*. Viceversa, con  $M = 0$ , il contatore conta *all'indietro*.

Nell'usare il contatore avanti-indietro di Fig. 10.14-1 si deve porre una certa cautela. Non si può cambiare la direzione del conteggio senza tener conto dello stato in cui si trova il contatore, poichè c'è il rischio che si verifichi un cambiamento dello stato del contatore stesso. Supponiamo infatti che il contatore stia contando in avanti ( $M = 1$ ,  $\bar{M} = 0$ ) e che sia arrivato in uno stato in cui uno dei flip-flop, ad esempio  $FF0$ , sia a  $Q_0 = 1$ . Allora, poichè  $M = 1$  e  $\bar{M} = 0$ , avremo  $C_1 = 1$ . A questo punto si voglia invertire la direzione del conteggio, commutando  $M$  a  $M = 0$  e  $\bar{M} = 1$ . Allora, a causa soltanto di questa commutazione e nonostante il fatto che  $FF0$  non abbia cambiato stato, il livello logico presente su  $C_1$  passa da 1 a 0, facendo cambiare stato a  $FF1$  (si è supposto che i flip-flop commutino sul fronte di discesa). Analogamente cambieranno stato tutti i flip-flop che sono preceduti da un flip-flop che si trova nello stato di set. Pertanto lo stato del contatore cambia. Se si vuole evitare questo inconveniente, si deve invertire la direzione del conteggio soltanto quando tutti i flip-flop, eccetto l'ultimo, si trovano nello stato di reset. Questo naturalmente per il cambiamento del conteggio da *avanti* a *indietro*. Viceversa il cambiamento del conteggio da *indietro* in *avanti* deve essere fatto soltanto quando tutti i flip-flop si trovano nello stato di set.

In Fig. 10.14-2 è illustrato un contatore modificato in modo da consentire cambiamenti di direzione in qualsiasi istante, senza che il numero conteggiato vada perso. In questo circuito ogni porta AND è fornita di un ulteriore ingresso. Per la porta AND che collega  $FF0$  a  $FF1$  questo nuovo ingresso è collegato a  $C_0$ , per la successiva a  $C_1$ , ecc. Viene lasciato come problema (Prob. 10.14-3) dimostrare che questa modifica permette al contatore di venir comandato in una direzione di conteggio o nell'altra indipendentemente dallo stato del contatore stesso.

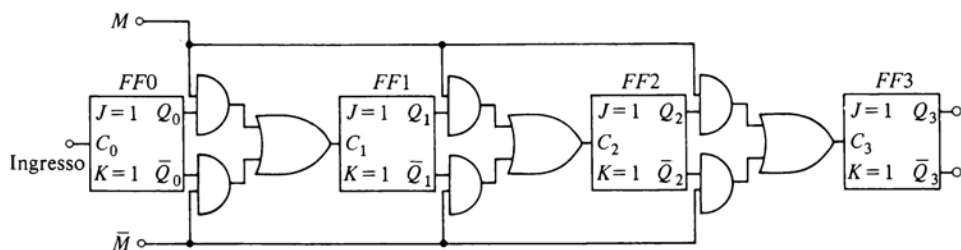


Figura 10.14-1 Contatore asincrono avanti-indietro.





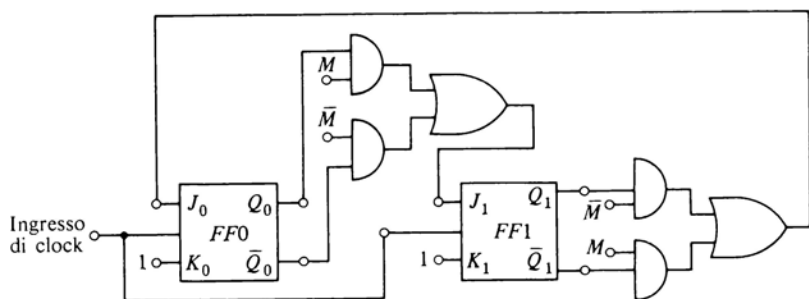


Figura 10.15-1 Contatore sincrono avanti-indietro.

Risulta così, in questo caso particolarmente semplice, che il passaggio dal funzionamento *in avanti* a quello *indietro* richiede semplicemente che  $J_0$  venga commutato da  $\bar{Q}_1$  a  $Q_1$  e  $J_1$  da  $Q_0$  a  $\bar{Q}_0$ . Lo schema circuitale del contatore è dato in Fig. 10.15-1. L'ingresso che controlla il modo è  $M$ . Quando  $M = 1$  ( $\bar{M} = 0$ ), il contatore conta in avanti, quando  $M = 0$  il contatore conta all'indietro.

Si può verificare che la direzione del conteggio può venire cambiata quando l'ingresso di clock si trova a 0 senza alterare lo stato del contatore.

## 10.16 CONTATORI AD ANELLO (RING COUNTER)

Il registro a scorrimento *con riporto fra stadio finale e stadio iniziale* (*end-around-carry shift register*) descritto in precedenza può essere utilizzato come contatore. In questo contatore i flip-flop sono collegati come in un normale registro a scorrimento, in più l'ultimo flip-flop è collegato con il primo, sicché si viene a costituire una sorta di anello. Per questa ragione questo contatore è chiamato *contatore ad anello* (*ring counter*).

Supponiamo che l'anello sia costituito da  $k$  flip-flop e che uno solo dei flip-flop si trovi nello stato di set, mentre tutti gli altri si trovino nello stato di reset. Allora ad ogni impulso di clock lo stato di set avanzerà di un flip-flop, percorrerà, continuando gli impulsi di clock, l'intero anello e, dopo  $k$  cicli di clock, interesserà nuovamente il flip-flop di partenza. Questo circuito, illustrato in Fig. 10.16-1, costituisce un contatore mod- $k$ .

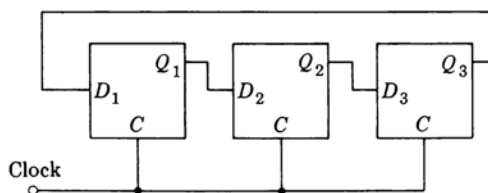
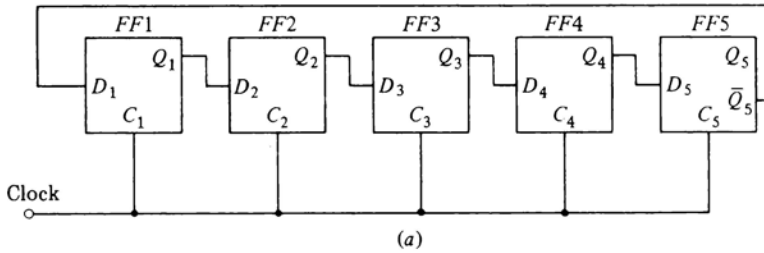


Figura 10.16-1 Contatore ad anello.



Stato del contatore: $K$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$Q_5$	Logica di decodifica
0	0	0	0	0	0	$\overline{Q_1 + Q_5}$
1	1	0	0	0	0	$\overline{Q_1 + Q_2}$
2	1	1	0	0	0	$\overline{Q_2 + Q_3}$
3	1	1	1	0	0	$\overline{Q_3 + Q_4}$
4	1	1	1	1	0	$\overline{Q_4 + Q_5}$
5	1	1	1	1	1	$\overline{Q_5 + \overline{Q_1}}$
6	0	1	1	1	1	$\overline{Q_1 + \overline{Q_2}}$
7	0	0	1	1	1	$\overline{Q_2 + \overline{Q_3}}$
8	0	0	0	1	1	$\overline{Q_3 + \overline{Q_4}}$
9	0	0	0	0	1	$\overline{Q_4 + \overline{Q_5}}$

(b)

Figura 10.16-2 (a) Contatore ad anello incrociato. (b) Tavola di verità.

Il contatore ad anello presenta il vantaggio di non richiedere decodificatore, dal momento che è possibile conoscere il conteggio semplicemente guardando quale flip-flop si trova nello stato di set. Poiché il suo funzionamento è completamente sincrono e non richiede porte esterne ai flip-flop, questo contatore presenta il vantaggio di essere estremamente veloce. Il suo maggior inconveniente consiste nel fatto che impiega un numero elevato di flip-flop. Infatti un contatore ad anello mod-16 richiede 16 flip-flop, mentre un contatore asincrono mod-16 richiede solo 4 flip-flop.

Si può ridurre il numero dei flip-flop impiegati trasformando il contatore ad anello in *contatore ad anello incrociato (switch-tail ring counter)*. Tale contatore richiede la metà dei flip-flop richiesti dal contatore ad anello normale. Un contatore ad anello incrociato decimale impiega, come si può vedere da Fig. 10.16-2, soltanto cinque flip-flop. Ogni flip-flop è collegato al successivo come in un normale registro a scorrimento, ad eccezione però di FF5 e FF1, fra i quali il collegamento è stato incrociato. Infatti il collegamento fra questi due flip-flop avviene tramite  $\overline{Q_5}$  e  $D_1$ , anziché  $Q_5$  e  $D_1$ . Non ha alcuna importanza fra quali flip-flop venga effettuata questa inversione; comune-

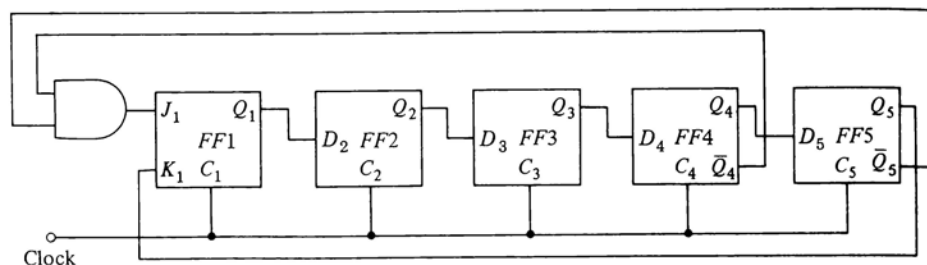


Figura 10.16-3 Contatore ad anello incrociato progettato in modo da evitare il blocco.

mente però nel circuito si disegna questo collegamento invertito alla fine, cioè in coda alla cascata dei flip-flop; da qui ha origine il nome anglosassone che letteralmente significa «contatore ad anello con inversione in coda». La tabella degli stati e la logica di decodifica sono date in Fig. 10.16-2b. La loro verifica viene lasciata come esercizio (Prob. 10.16-1).

I contatori ad anello, sia semplice che incrociato, presentano un inconveniente: se il contatore si viene a trovare in uno stato inutilizzato, prosegue da uno stato inutilizzato all'altro senza riuscire ad arrivare più in uno stato operativo. Questo inconveniente può venire corretto aggiungendo una semplice porta AND, come in Fig. 10.16-3. Con questa aggiunta, quando il contatore si viene a trovare in uno stato inutilizzato riesce, dopo un certo numero di cicli di clock dipendente dallo stato stesso, a trovare la via per arrivare ad uno stato operativo e da questo punto in poi segue la sequenza delle assegnazioni di stato di Fig. 10.16-2b. Nel Prob. 10.16-3 il lettore viene guidato nell'analisi dell'effetto correttivo della porta AND.

## 10.17 GENERATORI DI SEQUENZA

Un *generatore di sequenza* è un sistema che genera, in sincronismo con un clock, una sequenza prestabilita di bit. Questi generatori possono venire impiegati come contatori, come divisori di frequenza in circuiti di temporizzazione, come generatori di codice, ecc. In questo paragrafo considereremo le modifiche da apportare ad un registro a scorrimento perchè funzioni da generatore di sequenza. La *lunghezza* di una sequenza è costituita dal numero dei bit che si succedono prima che la sequenza stessa si ripeta. La lunghezza di una sequenza è analoga al periodo di una forma d'onda analogica periodica. Per esempio, la sequenza ...11101110111011... presenta una *lunghezza* di 4 bit. Poichè il generatore ripete in continuazione la sequenza, possiamo leggere la sequenza in vari modi a seconda del bit da cui si parte. Così la sequenza precedente può essere vista come una ripetizione della configurazione di bit

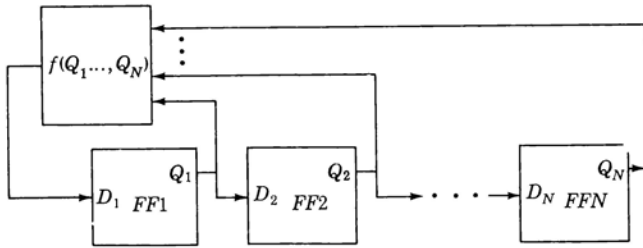


Figura 10.17-1 Struttura base di un generatore di sequenza.

**1110** oppure **1101** oppure **1011** oppure **0111**. Inoltre, poichè la sequenza, come si vedrà, risulterà disponibile alle uscite di flip-flop, possiamo benissimo utilizzare le uscite complementari dei flip-flop stessi onde ottenere le sequenze **0001** oppure **0010** oppure **0100** oppure **1000**. Pertanto la ripetizione di una delle otto configurazioni di quattro bit precedenti costituisce sempre la stessa sequenza. È interessante notare che in molte applicazioni la lunghezza della sequenza è più importante della configurazione della sequenza stessa. Si può verificare che con una lunghezza di 1, 2 o 3 bit è possibile formare una sola sequenza, mentre con una lunghezza di 4 bit sono possibili due sequenze distinte.

In Fig. 10.17-1 è illustrata la struttura base di un generatore di sequenza. Abbiamo  $N$  flip-flop disposti in cascata come in un normale registro a scorrimento. I flip-flop sono di tipo  $D$  e sono comandati da un unico segnale di clock, non indicato in figura. Il sistema ricorda la struttura del contatore ad anello, in cui l'uscita  $Q_N$  dell'ultimo flip-flop diventa l'ingresso dati  $D_1$  del primo flip-flop. In questo caso invece lo stato logico di  $D_1$  è determinato non solo da  $Q_N$  ma anche dall'uscita degli altri flip-flop della cascata; cioè

$$D_1 = f(Q_1, Q_2, \dots, Q_N) \quad (10.17-1)$$

La sequenza prestabilita comparirà sull'uscita di ciascun flip-flop. Naturalmente passando da  $FF1$  a  $FF2$  ecc., la sequenza risulterà ritardata di un intervallo di clock.

Per realizzare un generatore di sequenza in grado di fornire una sequenza di lunghezza  $S$ , è necessario impiegare almeno  $N$  flip-flop, dove  $N$  deve soddisfare la relazione

$$S \leq 2^N - 1 \quad (10.17-2)$$

Se l'ordine degli **1** e degli **0** nella sequenza è predefinito, normalmente non sarà possibile ottenere la sequenza di lunghezza  $S$  con il minimo numero pos-

Intervallo di clock $k$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$D_1 = f(Q_1, \dots, Q_N)$
1	1	1	1	1	0
2	0	1	1	1	0
3	0	0	1	1	0
4	0	0	0	1	1
5	1	0	0	0	0
6	0	1	0	0	0
7	0	0	1	0	1
8	1	0	0	1	1
9	1	1	0	0	0
10	0	1	1	0	1
11	1	0	1	1	0
12	0	1	0	1	1
13	1	0	1	0	1
14	1	1	0	1	1
15	1	1	1	0	1
1	1	1	1	1	0
2	0	1	1	1	0
3	0	0	1	1	0
$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$	$\vdots$

Figura 10.17-2 Tavola di verità per il generatore della sequenza riportata nella colonna  $Q_1$ .

sibile di flip-flop. D'altra parte, per ogni  $N$  esiste almeno una sequenza per il quale la lunghezza  $S$  è la massima consentita, cioè  $S = 2^N - 1$ .

Per illustrare il progetto di un generatore di sequenza, supponiamo, per esempio, che si debba generare la sequenza  $S = \dots 100010011010111\dots$  di lunghezza  $S = 15$  e richiedente perciò almeno 4 flip-flop. Non si ha a priori la certezza di poter realizzare questa sequenza con soli quattro flip-flop. In questo caso comunque si vedrà che ciò è possibile.

In Fig. 10.17-2 abbiamo scritto una tabella in cui nella colonna relativa a  $Q_1$  abbiamo indicato la sequenza prestabilita in corrispondenza dei 15 intervalli di clock. Analogamente abbiamo disposto la stessa sequenza nelle colonne relative a  $Q_2$ ,  $Q_3$  e  $Q_4$ , rispettivamente ritardata di uno, due e tre intervalli di clock. I valori della colonna relativa a  $D_1$  sono determinati in funzione della colonna  $Q_1$ . Così quando  $k = 2$  si richiede che  $Q_1 = 0$  e quindi quando  $k = 1$  deve essere  $D_1 = 0$ . Da questa tavola di verità possiamo facilmente verificare che, usando una mappa K (o in questo caso con un semplice esame della tavola di verità),  $D_1$  deve essere

$$D_1 = Q_3 \oplus Q_4 \quad (10.17-3)$$

Lo schema del generatore di sequenza è dato in Fig. 10.17-3.

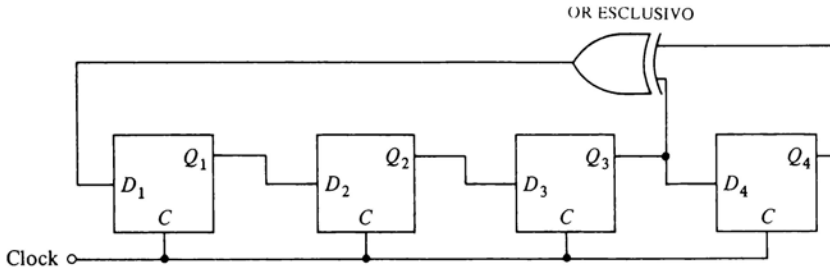


Figura 10.17-3 Generatore della sequenza riportata nella colonna  $Q_1(k)$  di Figura 10.17-2.

La parola «stato», quando è applicata ad un circuito sequenziale, come quello di Fig. 10.17-1, si riferisce all'insieme degli stati dei flip-flop. Così nel primo intervallo di clock il sistema si trova nello stato **1111** ( $Q_1 Q_2 Q_3 Q_4 = 1111$ ), mentre nel secondo intervallo si trova nello stato **0111** e così via. Un circuito sequenziale con  $N$  flip-flop è in grado, in linea di principio, di avere  $2^N$  stati. Supponiamo allora di compilare una tabella sequenziale, come in Fig. 10.17-2, per un generatore di sequenza di lunghezza massima costituito da  $N$  flip-flop; è necessario che durante la generazione della sequenza completa non si ripeta alcuno stato poichè lo stato presente in un certo istante determina in modo univoco lo sviluppo successivo della sequenza. Quindi il ripetersi di un certo stato implica il ripetersi della sequenza. Si può verificare che in Fig. 10.17-2 tutti gli stati possibili compaiono proprio una volta sola, ad eccezione dello stato **0000**. Quest'ultimo stato deve essere escluso poichè comporta  $D_1 = 0$ ; quindi lo stato successivo, nel successivo intervallo di clock, sarebbe di nuovo **0000**. Se dovesse pertanto verificarsi lo stato **0000**, il generatore si bloccherebbe.

Risulta ora chiaro che un generatore di sequenza avente la configurazione di Fig. 10.17-1 ed escludente lo stato **0000**, dispone di  $2^N - 1$  stati e può perciò generare una sequenza di lunghezza massima. Il problema consiste ora nel trovare una funzione che generi l'ingresso dati  $D_1$  del primo flip-flop in modo da garantire che tutti gli stati consentiti si verifichino prima che si ripresenti uno stato che si è già verificato. Una volta definita la funzione  $D_1$  richiesta, si può far partire il generatore di sequenza dopo aver registrato nei flip-flop uno stato qualsiasi che non sia quello con tutti zero. A questo punto affermiamo, senza dimostrarlo, che per  $N$  fino ad  $N = 15$ , la logica necessaria per determinare  $D_1$  al fine di ottenere una sequenza di lunghezza massima, è data dalla Tab. 10.17-1. Facciamo notare che sono possibili altre sequenze di lunghezza massima (purchè naturalmente per  $D_1$  sia impiegata una logica diversa). Per esempio, per  $N = 14$  sono possibili 756 diverse sequenze di lunghezza massima.

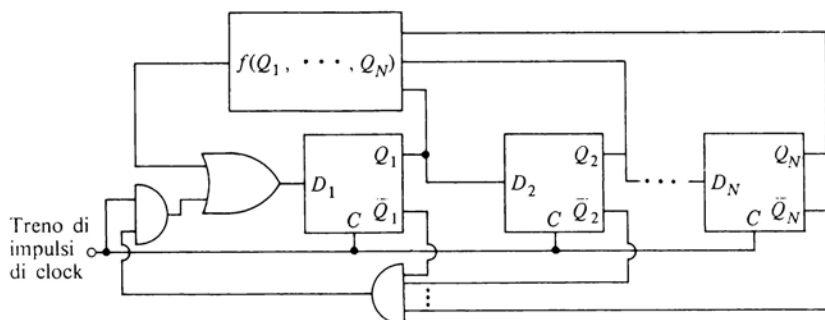


Figura 10.17-4 Un metodo per inizializzare un generatore di sequenza di lunghezza massima.

Abbiamo fatto notare che è necessario evitare il caso in cui le uscite di tutti i flip-flop sono a 0. Questa circostanza può verificarsi però quando il generatore viene acceso oppure per effetto di segnali spuri (rumore). Lasciamo come problema dimostrare che, se nel generatore di sequenza di Fig. 10.17-4 tutti i flip-flop sono nello stato 0, il primo impulso di clock porterà il sistema nello stato 100...0.

**La casualità delle sequenze di lunghezza massima** Supponiamo di esaminare una sequenza dal punto di vista probabilistico, osservando come si susseguono i bit della sequenza nello stesso modo con cui si osservano gli eventi quando si lancia in aria una moneta. Ciascun bit infatti può assumere il valore logico 0 oppure il valore logico 1 così come un lancio della moneta può dare come risultato testa o croce. Con una moneta non truccata, per ogni lancio non si può prevedere se verrà testa o croce. Si constata inoltre che, su un numero elevato di lanci, la frequenza dell'evento testa è pari alla frequenza dell'evento croce e che non è possibile prevedere il risultato di un lancio neppure tenendo conto del risultato di un numero elevato di lanci precedenti. Per tutte queste caratteristiche si dice che il risultato del lancio di una moneta è un evento *casuale*.

È interessante osservare che anche le sequenze di lunghezza massima, generate come si è visto sopra, presentano una certa casualità. Cioè la conoscenza della storia precedente di una sequenza non è di alcun aiuto per prevedere quale valore assumerà un bit, a meno che questa conoscenza non si spinga tanto indietro da rivelare che la sequenza si sta ripetendo. Una volta scoperta la periodicità della sequenza siamo in grado di prevedere i bit che devono venire, grazie alla conoscenza dei bit del periodo precedente. A causa di questa periodicità ed a causa del fatto che la sequenza è in realtà generata



Tabella 10.17-1 Funzioni logiche per sequenze di lunghezza massima generate mediante registri a scorrimento.

$N$	$D_1$ , logica per $S = 2^N - 1$
1	$Q_1$
2	$Q_1 \oplus Q_2$
3	$Q_2 \oplus Q_3$
4	$Q_3 \oplus Q_4$
5	$Q_3 \oplus Q_5$
6	$Q_5 \oplus Q_6$
7	$Q_6 \oplus Q_7$
8	$Q_2 \oplus Q_3 \oplus Q_4 \oplus Q_8$
9	$Q_5 \oplus Q_9$
10	$Q_7 \oplus Q_{10}$
11	$Q_9 \oplus Q_{11}$
12	$Q_2 \oplus Q_{10} \oplus Q_{11} \oplus Q_{12}$
13	$Q_1 \oplus Q_{11} \oplus Q_{12} \oplus Q_{13}$
14	$Q_2 \oplus Q_{12} \oplus Q_{13} \oplus Q_{14}$
15	$Q_{14} \oplus Q_{15}$

in modo deterministico, la sequenza di lunghezza massima è chiamata *sequenza pseudo-casuale*.

Supponiamo ora di voler rendere difficile ad un osservatore la previsione dei bit di una sequenza, anche se costui è a conoscenza del fatto che la sequenza è generata da un generatore di sequenza e pertanto non è realmente casuale ma soltanto pseudo-casuale. Questo potrebbe essere il caso della generazione dei codici segreti. Potremmo allora impiegare un numero di flip-flop molto elevato ( $N$  elevato). Nell'integrazione su larga scala (LSI) a MOS è normale avere registri di anche 2.000 flip-flop su di un unico chip. In questo caso la lunghezza della sequenza sarebbe  $2^{2.000} - 1$ . La previsione dei bit risulterebbe molto complicata a causa dalla difficoltà di determinare la lunghezza di una sequenza che interessa un così alto numero di bit.

Un modo per arrivare ad una misura numerica della casualità di una sequenza è il seguente. Immaginiamo la sequenza come una forma d'onda che vale +1 V per il livello logico 1 e -1 V per il livello logico 0. Moltiplichiamo ora le tensioni della sequenza per sé stesse entro ciascun intervallo di clock e sommiamo i prodotti ottenuti: il risultato sarà  $2^N - 1$ . Eseguiamo

$k$	$Q_1$	$Q_2$	$Q_3$	$D_1$
1	1	0	1	0
2	0	1	0	1
3	1	0	1	1
4	1	1	0	1
5	1	1	1	1
6	1	1	1	0
7	0	1	1	1

(a)

$k$	$Q_1$	$Q_2$	$Q_3$	$Q_4$	$D_1$
1	1	0	1	1	0
2	0	1	0	1	1
3	1	0	1	0	1
4	1	1	0	1	1
5	1	1	1	1	0
6	1	1	1	1	0
7	0	1	1	1	1

(b)

Figura 10.17-5 (a) Tavola di verità per un generatore della sequenza  $Q_1(k)$ ; tale generatore presenta però qualche problema. (b) Tavola di verità per la generazione della stessa sequenza mediante l'impiego di un quarto flip-flop.

nuovamente le stesse operazioni, questa volta però fra la sequenza e la sequenza stessa traslata di uno o più intervalli. Supponiamo che la sequenza sia veramente casuale, cioè non esista correlazione alcuna fra un bit ed un qualsiasi altro bit precedente. Allora in un certo intervallo le tensioni possono essere con uguale probabilità di segno diverso o dello stesso segno.

Quindi se moltiplichiamo i bit intervallo per intervallo e sommiamo i prodotti dovremmo aspettarci una somma pari a zero. Questa somma di prodotti è chiamata funzione di *autocorrelazione* della sequenza.

$Q(k)$  rappresenti la sequenza (dove con  $k$  si intende il numero degli intervalli di clock). Dunque  $Q(k)$  può essere  $+1$  V oppure  $-1$  V.  $Q(k+i)$  rappresenta la stessa sequenza traslata (ritardata o anticipata) di  $i$  intervalli di clock. Si può dimostrare che la funzione di autocorrelazione  $R$  è

$$R(i) = \sum_{k=1}^{2^N-1} Q(k)Q(k+i) = \begin{cases} 2^N - 1 & i = 0, 2^N - 1, 2(2^N - 1), \dots \\ -1 & \text{negli altri casi} \end{cases} \quad (10.17-4)$$

Se la sequenza fosse completamente casuale troveremmo  $R(i) = 2^N - 1$  solo per  $i = 0$  ed  $R(i) = 0$  in tutti gli altri casi.

**Sequenze predefinite** Nella trattazione precedente ci siamo occupati principalmente della lunghezza di una sequenza. Supponiamo ora di voler invece generare una sequenza predefinita. Se seguiamo il procedimento indicato nella tavola di verità di Fig. 10.17-2 possiamo incontrare delle difficoltà. Supponiamo ad esempio di voler generare la sequenza  $S = \dots 1011110\dots$ . Essendo la lunghezza della sequenza pari a 7, possiamo provare con tre flip-flop, poiché  $2^3 - 1 = 7$ . Troviamo però, come si vede in Fig. 10.17-5a, che negli intervalli  $k = 1$  e  $k = 3$  lo stato del sistema è lo stesso, ma in un caso occorre a-

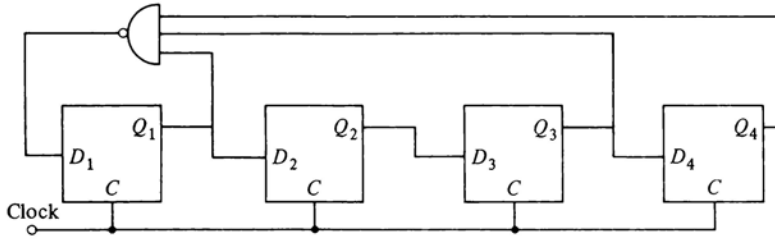


Figura 10.17-6 Generatore della sequenza: 1011110.

vere  $D_1 = 1$ , nell'altro caso  $D_1 = 0$ . Poichè  $D_1$  è una funzione fissa dello stato del sistema, non è possibile ottenere due valori diversi per  $D_1$ .

Si può risolvere il problema aumentando il numero dei flip-flop fino a che ciascuno stato della tavola di verità non risulti univocamente definito. In questo caso è sufficiente un solo flip-flop in più, come si può vedere dalla tavola di verità di Fig. 10.17-5b. In questa tavola compaiono soltanto sette dei sedici stati possibili, però nessuno stato compare più di una volta. Si può verificare da questa tavola che l'ingresso dati  $D_1$  è determinato dalla funzione

$$D_1 = \overline{Q_1 Q_3 Q_4}$$

Lo schema del generatore di sequenza è dato in Fig. 10.17-6.

#### BIBLIOGRAFIA

- 1 Taub, H., and D.L. Schilling: «Principles of Communications Systems.» chaps. 1 and 2, McGraw-Hill, New York, 1971.



## CAPITOLO 11

# OPERAZIONI ARITMETICHE

In questo capitolo prenderemo in considerazione le tecniche ed i circuiti che consentono di eseguire le quattro operazioni aritmetiche fondamentali: addizione, sottrazione, moltiplicazione e divisione. Trattando l'aritmetica binaria (o aritmetica in base 2) rappresenteremo le cifre numeriche 1 e 0 rispettivamente con i valori logici **1** e **0**. Non staremo a distinguere, dal momento che non nasce alcuna ambiguità di comprensione, fra valori logici e valori numerici.

### 11.1 ADDIZIONE DI DUE NUMERI BINARI

Due cifre binarie, un *addendo* ed un *augendo*, sono sommate secondo quanto indicato in Fig. 11.1-1, dando origine ad una cifra *somma* (*S*) e ad una cifra *riporto* (*C* : *carry*). Esprimendo in forma di tavola di verità quanto fatto in Fig. 11.1-1, si ottiene la tavola di verità di Fig. 11.1-2.

Il bit di riporto è legato all'addendo e all'augendo dalla funzione logica **AND**

$$C = A \cdot B \quad (11.1-1)$$

mentre la somma è determinata dalla funzione **OR ESCLUSIVO** (vedi Fig. 11.1-3a); cioè,

$$S = A \oplus B = A \cdot \bar{B} + \bar{A} \cdot B \quad (1.1-2)$$

In Fig. 11.1-3b è illustrata una prima forma di realizzazione della porta **OR ESCLUSIVO** (un circuito **OR ESCLUSIVO** RTL è descritto nel Par. 4.8). Se sono disponibili i complementi di *A* e *B*, allora nello schema non è più necessaria la presenza degli invertitori. Una seconda forma di realizzazione dell'**OR ESCLUSIVO** è illustrata in Fig. 11.1-3c. Si noti che in questo schema è disponibile  $C = AB$ , il che consente di risparmiare la porta, altrimenti necessaria, per generare *C*.

Due numeri binari (o in base 2) di *N* cifre ciascuno,  $A = A_{N-1} A_{N-2} \dots A_0$  e  $B = B_{N-1} B_{N-2} \dots B_0$  vengono sommati secondo quanto illustrato in Fig. 11.1-4. Si procede nel seguente modo. Si sommano i bit meno significativi (LSB: *least significant bit*)  $A_0$  e  $B_0$  per ottenere una somma  $S_0$  ed un riporto  $C_0$ .

0	0	1	1	Addendo (A)
+ 0	+ 1	+ 0	1	Augendo (B)
0 0	0 1	0 1	1 0	
			↑	Somma (S)
			↑	Riporto (C)

Figura 11.1-1 Addizione di due cifre binarie.

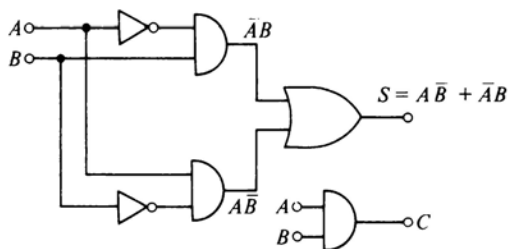
A	B	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Figura 11.1-2 Tavola di verità per l'addizione di numeri binari.

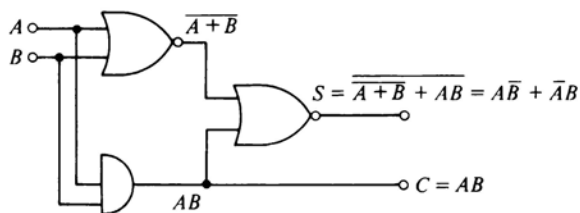


$$S = A \oplus B = A\bar{B} + \bar{A}B$$

(a)



(b)



(c)

Figura 11.1-3 (a) La porta OR ESCLUSIVO genera il bit somma, (b) il bit riporto viene generato da una porta AND, (c) un altro metodo per generare il bit somma e il bit riporto.

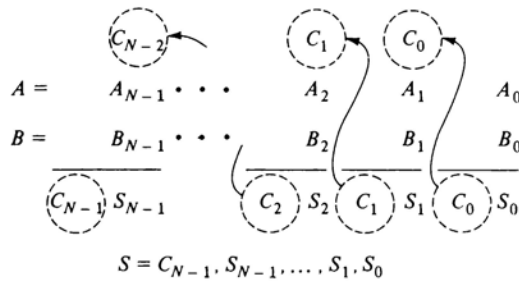


Figura 11.1-4 Addizione di due numeri di  $N$  bit.

(Questa operazione può venire eseguita mediante le porte di Fig. 11.1-3b o c; le operazioni indicate nella seconda colonna e nelle successive colonne di Fig. 11.1-4 implicano però l'addizione di tre bit e pertanto non possono essere eseguite semplicemente con una porta OR ESCLUSIVO.) Nella seconda colonna sommiamo  $C_0$ ,  $A_1$  e  $B_1$  per ottenere la somma  $S_1$  ed il riporto  $C_1$ . Questo procedimento continua finché tutte le coppie di bit non sono state addizionate. Il risultato è costituito dalla somma  $S = C_{N-1} S_{N-1} \dots S_1 S_0$ .

La struttura a porte che realizza la somma di tre bit, di cui abbiamo parlato precedentemente, è chiamata *sommatore completo* (full adder). Un modo per realizzare un sommatore completo consiste, come vedremo più avanti, nell'usare due strutture di porte del tipo di quella illustrata in Fig. 11.1-3b o c. Per questa ragione quest'ultima struttura è chiamata *semi-sommatore* (half adder). In Fig. 11.1-5 è indicato il simbolo, secondo la rappresentazione a blocchi, del semi-sommatore (HA).

## 11.2 IL SOMMATORE COMPLETO (FULL ADDER)

Il sommatore completo soddisfa la tavola di verità di Fig. 11.2-1. In Fig. 11.2-2 sono rappresentate le mappe di Karnaugh ed i circuiti a due ordini di porte relativi al bit somma  $S_i$  ed al bit riporto  $C_i$ . Il sommatore completo può venire realizzato anche in vari altri modi, cioè con circuiti a porte diversi da quelli illustrati in Fig. 11.2-2b. Per esempio, un altro modo per generare  $S_i$  e  $C_i$  è descritto dalle seguenti espressioni

$$S_i = C_{i-1} \oplus A_i \oplus B_i \quad (11.2-1)$$

$$e \quad C_i = A_i B_i + (A_i \oplus B_i) C_{i-1} \quad (11.2-2)$$

Si può verificare immediatamente che queste equazioni soddisfano la tavola di verità di Fig. 11.2-1. Inoltre, come si vede in Fig. 11.2-3a, le Eq. (11.2-1) e (11.2-2) possono venire realizzate utilizzando due semi-sommatori. Il primo

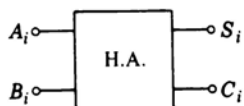


Figura 11.1-5 Simbolo del semi-sommatore.

Riporto di ingresso $C_{i-1}$	Ingressi		Uscite	
	Addendo $A_i$	Augendo $B_i$	Somma $S_i$	Riporto di uscita $C_i$
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

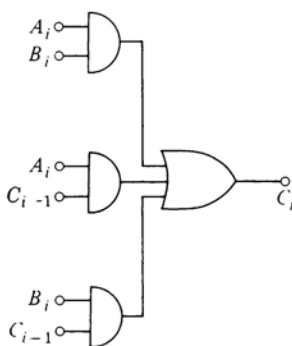
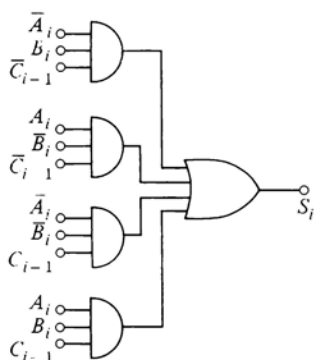
Figura 11.2-1 Tavola di verità per un sommatore completo.

$C_i \backslash A_i B_i$	00	01	11	10
0		1		1
1	1		1	

$C_i \backslash A_i B_i$	00	01	11	10
0			1	
1		1	1	1

$$S_i = \bar{A}_i \bar{B}_i \bar{C}_{i-1} + \bar{A}_i \bar{B}_i C_{i-1} + A_i B_i \bar{C}_{i-1} + A_i B_i C_{i-1} \quad C_i = A_i B_i + A_i C_{i-1} + B_i C_{i-1}$$

(a)



(b)

Figura 11.2-2 (a) Mappe di Karnaugh per generare il bit somma e il bit riporto di un sommatore completo; (b) realizzazione circuitale a due ordini di porte.



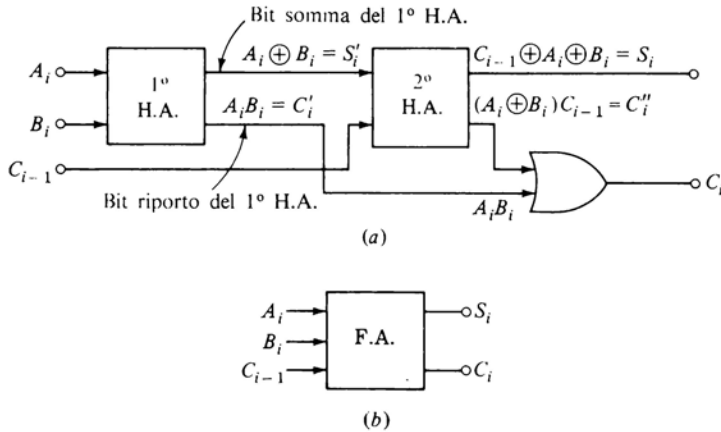


Figura 11.2-3 (a) Realizzazione circuitale delle funzioni logiche (11.2-1) e (11.2-2) mediante due semi-sommatori; (b) simbolo del sommatore completo.

semi-sommatore somma fra di loro due dei tre bit di ingresso, dando come risultato un bit somma  $S'_i$  ed un bit riporto  $C'_i$ .

Il secondo semi-sommatore somma il terzo bit di ingresso con i primi due. In Fig. 11.2-3b è rappresentato il simbolo circuitale del sommatore completo.

### 11.3 SOMMATORE SERIALE

In Fig. 11.3-1 è illustrato un *sommatore seriale* (*serial adder*) in grado di sommare i due numeri, di  $N$  bit ciascuno,  $A = A_{N-1} A_{N-2} \dots A_0$  e  $B = B_{N-1} B_{N-2} \dots B_0$ . Anche qui, come in Fig. 11.1-3, si esegue la somma colonna per colonna, cominciando dalla colonna delle cifre meno significative. Il circuito comprende tre registri a scorrimento, un sommatore completo ed un flip-flop di tipo  $D$ .

Per capire il funzionamento del sommatore seriale, supponiamo di aver caricato inizialmente, con il segnale di clock inattivo, l'addendo e l'augendo nei due registri a scorrimento ad  $N$  bit. Supponiamo inoltre che i registri a scorrimento facciano scorrere le cifre in essi contenute verso *destra* e che pertanto l'addendo e l'augendo siano stati memorizzati nei registri con il bit meno significativo (LSB: *least significant bit*) a destra ed il bit più significativo (MSB: *most significant bit*) a sinistra. Supponiamo ancora che inizialmente il flip-flop si trovi nello stato di reset, con  $Q = 0$ . La somma, alla fine dell'operazione, sarà contenuta nel registro somma ad  $(N + 1)$  bit. Durante l'esecuzione dell'operazione, i bit della somma vengono man mano spostati nel registro somma verso destra, provocando l'espulsione e la perdita dei bit che si

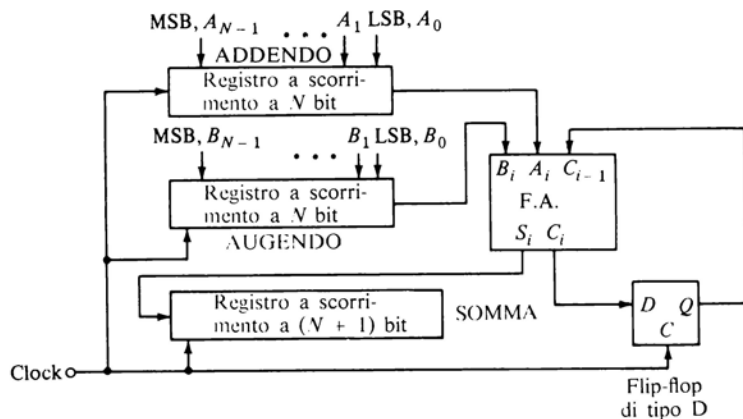


Figura 11.3-1 Sommatore seriale.

trovavano inizialmente memorizzati nel registro somma. Per questo motivo risulta superfluo inviare all'inizio dell'operazione un comando di reset per l'azzeramento di tutti i flip-flop del registro somma.

Prima del primo impulso di clock, gli ingressi del sommatore completo sono  $A_i = A_0$ ,  $B_i = B_0$  e  $C_{i-1} = 0$ . Le uscite sono  $S_i = S_0 = A_0 \oplus B_0$  e  $C_i = C_0 = A_0 \cdot B_0$ . Il primo impulso di clock allora:

- 1 Fa entrare  $S_0$  nel flip-flop all'estremità di sinistra del registro somma.
- 2 Fa scorrere il contenuto dei registri addendo ed augendo di un bit verso destra, sicché  $A_i$  e  $B_i$  divengono  $A_i = A_1$  e  $B_i = B_1$ .
- 3 Trasferisce l'ingresso dati  $D = C_0$  all'uscita  $Q$ , sicché  $C_{i-1}$  diviene  $C_0$ .

Dopo questo primo impulso di clock si ha  $S_i = S_1$  e  $C_i = C_1$ , come nella seconda colonna da destra di Fig. 11.1-4. Il secondo impulso di clock fa poi entrare  $S_1$  nel registro somma, spostando  $S_0$  nel flip-flop immediatamente successivo. Contemporaneamente questo secondo impulso di clock trasferisce  $C_i = C_1$  al terminale d'ingresso  $C_{i-1}$ . Procedendo in questo modo, ad ogni impulso di clock viene generato e trasferito nel registro somma un nuovo bit della somma. Dopo  $N$  impulsi di clock, i registri addendo ed augendo sono completamente azzerati ed  $A_i = B_i = 0$ . Con  $A_i = B_i = 0$ , all'uscita  $S$  compare l'ultimo riporto. L'  $(N + 1)$ -esimo impulso di clock provvede a trasferire quest'ultimo bit nel registro somma; a questo punto l'addizione è completata.

Questa trattazione non fornisce però la risposta a certi dubbi pertinenti, anche se non essenziali, che possono giustamente sorgere. Dove vengono tenuti l'addendo e l'augendo prima di essere trasferiti nei loro rispettivi registri? come si fa a caricare questi registri? come si fa a mantenere inattivo il sommatore durante la fase di caricamento? come fa il sommatore a capire che l'addizione è stata completamente eseguita? come si fa ad azzerare il flip-flop all'inizio dell'operazione? Rispondere a queste domande porterebbe a parlare delle unità di ingresso-uscita (I/O) quali le tastiere, i sistemi di visualizzazione, le stampanti, ecc., a parlare cioè di quelle unità che consentono di immettere i dati di un problema nel sistema digitale e, alla fine dell'elaborazione, di leggere la risposta fornita dal sistema stesso. Questi argomenti sono in effetti essenziali per il progettista di sistemi digitali. Tuttavia il nostro scopo attuale è semplicemente quello di spiegare il procedimento di base che consente di eseguire l'*addizione*. Pertanto in questa sede eviteremo di approfondire questi argomenti, per quanto importanti ed interessanti essi siano.

## 11.4 SOMMATORE PARALLELO

Nell'addizione seriale il procedimento è lo stesso che si segue quando si fa il calcolo con carta e matita: si addizionano cioè, colonna per colonna, le cifre di peso corrispondente, a cominciare dalla cifra meno significativa. Questo procedimento, se da un lato comporta un risparmio nel numero dei componenti digitali, dall'altro è caratterizzato da una velocità di esecuzione relativamente bassa, essendo necessario un impulso di clock per ogni coppia di bit da sommare. L'*addizione in parallelo*, nella quale viceversa tutte le cifre dell'addendo e dell'augendo vengono sommate contemporaneamente, è più veloce dell'addizione seriale, anche se richiede un numero di componenti superiore; infatti ogni coppia di bit richiede un proprio sommatore. In Fig. 11.4-1 è illustrato un sommatore parallelo (*parallel adder*).

Il *registro addendo* è costituito da una serie di flip-flop in cui viene immagazzinato l'addendo su cui devono operare i sommatore. Normalmente i flip-flop sono flip-flop di tipo *D* ed il loro numero è pari al numero delle cifre dell'addendo. Ciascun bit dell'addendo  $A = A_{N-1} \dots A_0$  viene presentato al terminale di ingresso dati del flip-flop corrispondente e, con l'impulso di clock successivo, viene registrato e compare all'uscita del flip-flop stesso. L'addendo, prima di essere presentato ai flip-flop, può essere stato immagazzinato in un qualsiasi dispositivo di memoria e i suoi bit possono venire indirizzati ai corrispondenti flip-flop attraverso un qualsiasi circuito di controllo (non mostrato in figura). Il vantaggio offerto dalla presenza del registro addendo consiste nel fatto che, dopo che l'addendo è stato trasferito nel registro stesso, la memoria in cui era contenuto e le porte usate per effettuare il trasferimento sono libere per essere utilizzate per altri scopi.

Analogamente anche l'augendo ha a disposizione un suo registro, chiamato *registro augendo*. Si noti che questi registri non sono *registri a scorrimento*.

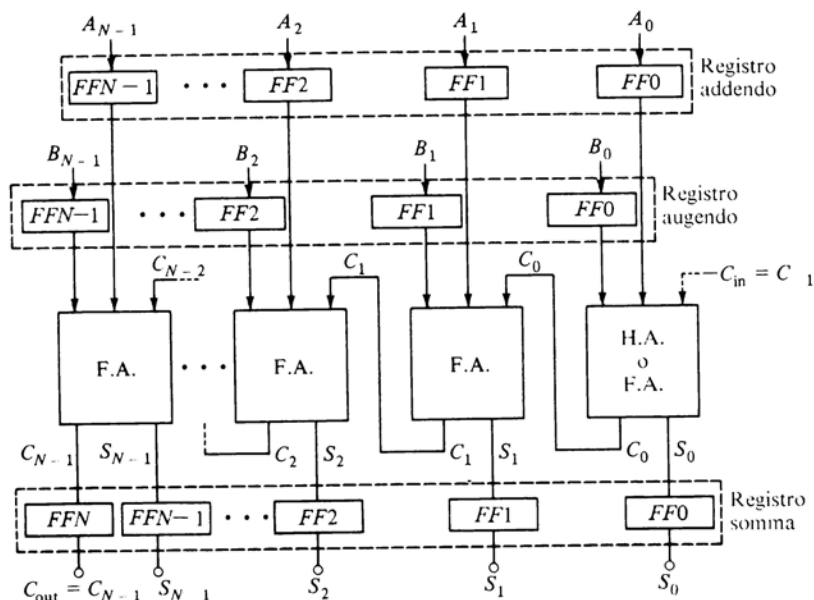


Figura 11.4-1 Sommatore parallelo.

to ma semplicemente *registri di immagazzinamento*; ciò perchè, in questo caso, non è necessario far scorrere i bit lungo il registro. Per questa ragione i flip-flop dei registri di Fig. 11.4-1 sono completamente indipendenti l'uno dall'altro; soltanto il segnale di clock è comune a tutti quanti. (Per evitare di complicare la figura, la linea di clock che va ad ogni flip-flop non è stata disegnata.) La somma  $S = C_{N-1} S_{N-1} \dots S_0$ , una volta generata, viene registrata nel registro somma mediante un impulso di clock.

I bit meno significativi  $A_0$  e  $B_0$  possono venire sommati con un semplice semi-sommatore, dal momento che ad essi non deve venir aggiunto alcun riporto. Per tutte le altre cifre binarie è necessario impiegare invece un sommatore completo. Tuttavia nei sommatore parallelo che si trovano in commercio anche per il bit meno significativo viene spesso impiegato un sommatore completo. Si fa ciò per poter disporre, nel caso che si voglia aumentare il numero dei bit da sommare, due o più sommatore in parallelo fra di loro. Impiegando un sommatore completo anche per i bit meno significativi, verrà ad essere disponibile un ingresso di riporto, indicato in figura con  $C_{in}$ ; nei casi in cui non sia necessario utilizzare il sommatore completo,  $C_{in}$  verrà posto a  $C_{in} = 0$ .

La velocità del sommatore parallelo di Fig. 11.4-1 è limitata dal fatto che i

riporti devono propagarsi da un sommatore all'altro della catena. Per esempio, supponiamo che  $A = 1111$ ,  $B = 0001$ , e quindi la somma sia  $S = 10000$ . Dopo un intervallo di tempo pari al ritardo di propagazione del sommatore di ordine inferiore, all'uscita di questo primo sommatore comparirà un riporto  $C_0 = 1$ . Quando questo riporto si presenta all'ingresso del sommatore immediatamente successivo, verrà generato un riporto  $C_1$ , che comparirà dopo un secondo ritardo di propagazione all'uscita del secondo sommatore. L'ultimo riporto, che costituisce la cifra 1 della somma  $S = 10000$ , non si presenterà all'uscita se non dopo un tempo di ritardo complessivo pari alla somma dei ritardi di propagazione di tutti i sommatore. Sotto questo aspetto è evidente l'analogia con i contatori asincroni. Nel Par. 11.6 verranno trattati i sommatore ad alta velocità, che sono in grado di superare, almeno in parte, questo inconveniente.

## 11.5 SOMMA DI PIÙ DI DUE NUMERI

Per eseguire la somma di  $M$  numeri di  $N$  bit,  $S = X(1) + X(2) + X(3) \dots + X(k) + \dots$ , si possono seguire diversi metodi. Uno di essi è illustrato in Fig. 11.5-1. In questa figura il sommatore completo a  $N$  bit è costituito semplicemente da una catena di  $N$  sommatore completi, come in Fig. 11.4-1. I collegamenti dei riporti non sono stati disegnati per semplicità. Sono viceversa indicati i singoli bit di ingresso  $X_i(k)$  — dove  $X_i(k)$  rappresenta l' $i$ -esimo bit della  $k$ -esima parola — e le singole uscite  $S_i(k)$  della somma. Il registro a cui sono collegate le uscite del sommatore  $S_0(k)$ ,  $S_1(k)$ , ...,  $S_{N-1}(k)$  funge sia da registro addendo che da registro somma. Poiché in questo registro vengono accumulate, volta per volta, le somme parziali fino alla somma totale, esso prende il nome di registro *accumulatore*.

Supponiamo che inizialmente tutti i flip-flop dei due registri siano in stato di reset e che il primo numero  $X(1)$  venga presentato agli ingressi dati del registro augendo. Supponiamo inoltre che i numeri successivi  $X(2)$ ,  $X(3)$ , ecc., vengano presentati agli ingressi dati del registro augendo in sincronismo con il segnale di clock (non indicato in figura ma comune a tutti i flip-flop). Con la prima transizione di comando del clock,  $X(1)$  verrà memorizzato nel registro augendo e apparirà sugli ingressi  $B$  del sommatore, sicché si avrà  $B_0 = X_0(1)$ ,  $B_1 = X_1(1)$ , ecc. Dopo questo primo impulso di clock nel registro accumulatore si ha ancora il numero 00...0, sicché  $A_0 = A_1 = \dots = A_{N-1} = 0$ . Il sommatore sommerà  $X(1)$  a 0 dando  $S_0(1) = X_0(1)$ ,  $S_1(1) = X_1(1)$ , ecc. Con la seconda transizione di comando  $X(1)$  verrà memorizzato nel registro accumulatore e  $X(2)$  verrà memorizzato nel registro augendo. Si avrà allora  $B = X(2)$  e  $A = X(1)$  sicché la somma sarà  $S(2) = X(2) + X(1)$ . Con la terza transizione di comando del clock questa somma,  $X(2) + X(1)$ , verrà registrata nell'accumulatore ed  $X(3)$  verrà memorizzato nel registro augendo, e così via.

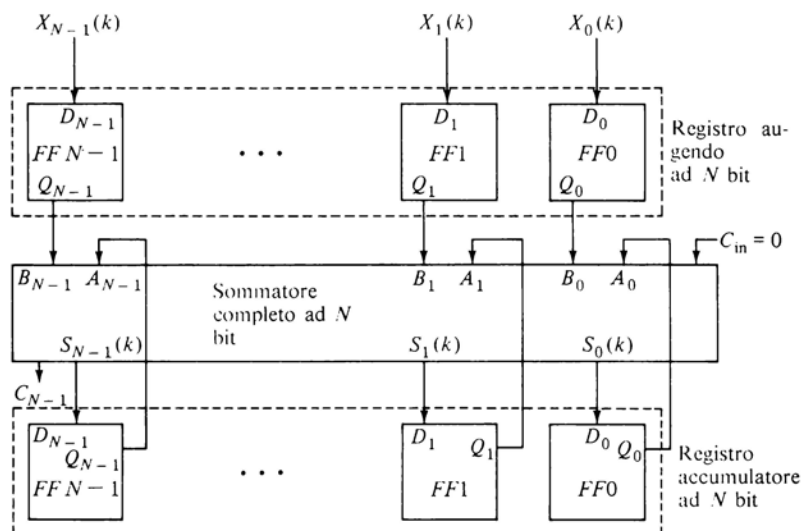


Figura 11.5-1 Schema a blocchi di un circuito che consente di realizzare la somma di più di due numeri.

Il procedimento illustrato in Fig. 11.5-1, che consente di sommare una successione di numeri, è un'estensione piuttosto intuitiva del procedimento di somma basato sulle proprietà del sommatore completo. È interessante notare che nel sommatore di Fig. 11.4-1, inteso a sommare due soli numeri, la presenza del registro somma non è indispensabile. Nello schema di Fig. 11.5-1 invece il registro accumulatore è indispensabile; in compenso non è presente il registro addendo. Pertanto sia nello schema di Fig. 11.4-1 che in quello di Fig. 11.5-1 sono soltanto due i registri assolutamente indispensabili.

Il procedimento per sommare più di due numeri è spesso chiamato *accumulazione*, anziché *addizione*. In Fig. 11-5-2a è illustrato un altro tipo di *accumulatore*; questo accumulatore è adatto a ricevere in ingresso numeri a 3 bit e ad accumulare una somma di 4 bit  $S = S_3 S_2 S_1 S_0$ . In questo circuito l'idea base è quella di sommare un augendo  $X(k) = X_2(k) X_1(k) X_0(k)$  ad un addendo, ove quest'ultimo è la somma  $S(k-1) = S_2(k-1) S_1(k-1) S_0(k-1)$  già accumulata e registrata nel registro a 4 bit.

Il blocco indicato con *CG* è un *generatore di riporto* (carry generator) ed è illustrato in dettaglio in Fig. 11.5-2b. Questo generatore di riporto, identico al circuito a porte di Fig. 11.2-2b, genera un 1 ogni volta che due o tutti e tre gli ingressi sono 1.

Per comprendere come venga generata ciascuna cifra della somma, consideriamo di nuovo l'Eq. (11.2-1). Possiamo notare che il bit di somma viene

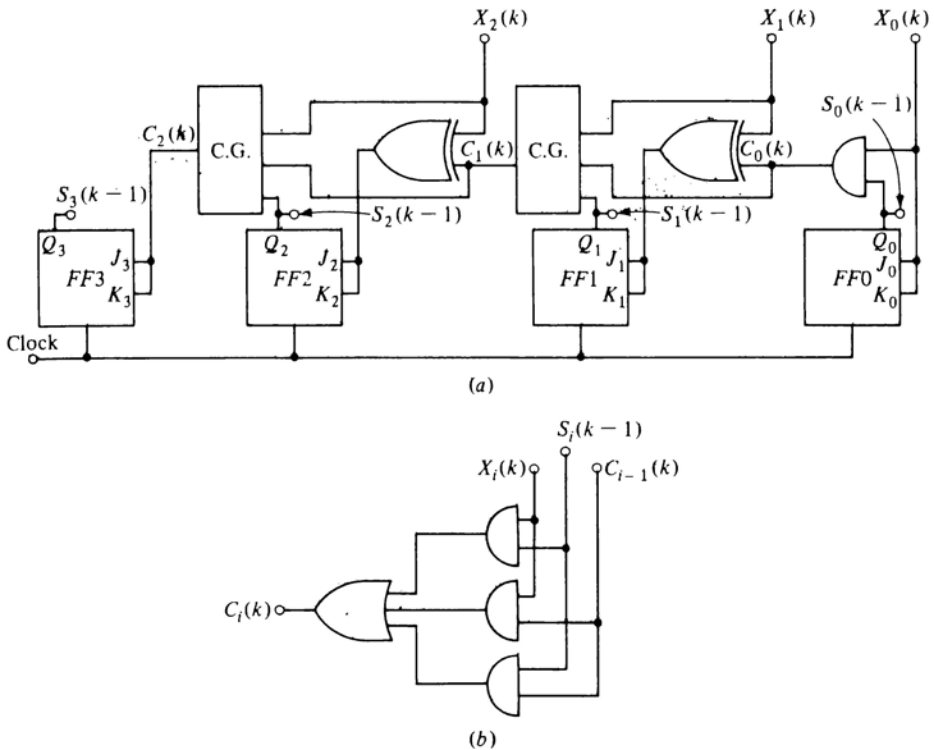


Figura 11.5-2 Accumulatore a tre bit.

generato combinando 3 bit (augendo, addendo e riporto) mediante due operazioni di OR ESCLUSIVO. (L'operazione OR ESCLUSIVO è associativa e commutativa, per cui l'ordine delle variabili e delle combinazioni non influisce sul risultato.) Pertanto un modo per generare  $S_i$  è quello di combinare inizialmente due degli ingressi, ad esempio il bit augendo  $X_i(k)$  ed il bit riporto  $C_{i-1}(k)$ , in una porta OR ESCLUSIVO. Successivamente l'uscita di questa prima porta OR ESCLUSIVO può venire combinata con  $S_i(k-1)$  in una seconda porta OR ESCLUSIVO. Dopo aver generato in questo modo il nuovo bit somma  $S_i(k)$ , lo potremmo trasferire al flip-flop corrispondente del registro previsto per contenere la somma. Tuttavia, come ora vedremo, è possibile usare un flip-flop JK per realizzare un'operazione di OR ESCLUSIVO. In questo modo il flip-flop può servire non solo da registro per un bit somma, ma anche per sostituire la seconda porta OR ESCLUSIVO necessaria per combinare  $S_i(k-1)$  con  $X_i(k) \oplus C_{i-1}(k)$ .

Come in Fig. 11.5-2, poniamo allora nel flip-flop JK gli ingressi  $J = K$  e

$$J = K = X_i(k) \oplus C_{i-1}(k) \quad (11.5-1)$$

$Q_i(k-1)$ Dato registrato nell' $i$ -esimo F.F. prima del $k$ -esimo impulso di clock, $S_i(k-1)$	$J = K = X_i(k) \oplus C_{i-1}(k)$	$Q_i(k)$ Dato registrato nell' $i$ -esimo F.F. dopo il $k$ -esimo impulso di clock, $S_i(k)$
0	0	0
0	1	1
1	0	1
1	1	0

Figura 11.5-3 Tavola di verità che descrive il funzionamento del flip-flop JK nel circuito accumulatore di Fig. 11.5-2.

Quando il flip-flop riceverà l'impulso di clock, funzionerà nel modo toggle, cioè commuterà lo stato della sua uscita, se  $J = K = 1$ , mentre rimarrà nello stato precedente se  $J = K = 0$ . Il comportamento del flip-flop è descritto dalla tavola di verità di Fig. 11.5-3 ed  $S_i(k)$  risulta proprio espresso, come richiesto, dalla

$$S_i(k) = S_i(k-1) \oplus X_i(k) \oplus C_{i-1}(k) \quad (11.5-2)$$

In questo circuito accumulatore i flip-flop non fungono solo da registri accumulatori, ma realizzano anche l'operazione di OR ESCLUSIVO. Perciò questo circuito impiega un numero di componenti inferiore al circuito accumulatore di Fig. 11.5-1.

## 11.6 SOMMATORE AD ALTA VELOCITÀ; RIPORTO SIMULTANEO (LOOK-AHEAD CARRY)

Come si è accennato in precedenza, la velocità sia del sommatore di Fig. 11.5-1 sia dell'accumulatore di Fig. 11.5-2a è limitata dal fatto che il riporto deve potersi propagare da un ordine al successivo. Per esempio, in Fig. 11.5-1 si consideri l'addizione di  $A = A_3 A_2 A_1 A_0 = 1111$  con  $B = B_3 B_2 B_1 B_0 = 0001$ . Nell'ordine di peso minore i due 1 generano un riporto. Questo riporto genera insieme con  $A_1$  dell'ordine successivo un nuovo riporto, e così via. Alla fine, dopo che il riporto si è propagato attraverso tutti gli ordini, avremo  $A + B = C_4 S_3 S_2 S_1 S_0 = 10000$ .

Esiste, almeno in linea di principio, una via immediata per evitare questi ritardi di propagazione. Basta semplicemente usare delle porte per generare, per ciascun ordine, il bit della somma *direttamente* da tutti i bit di ingresso, senza ricorrere ai segnali di riporto. La prima cifra della somma è semplice-



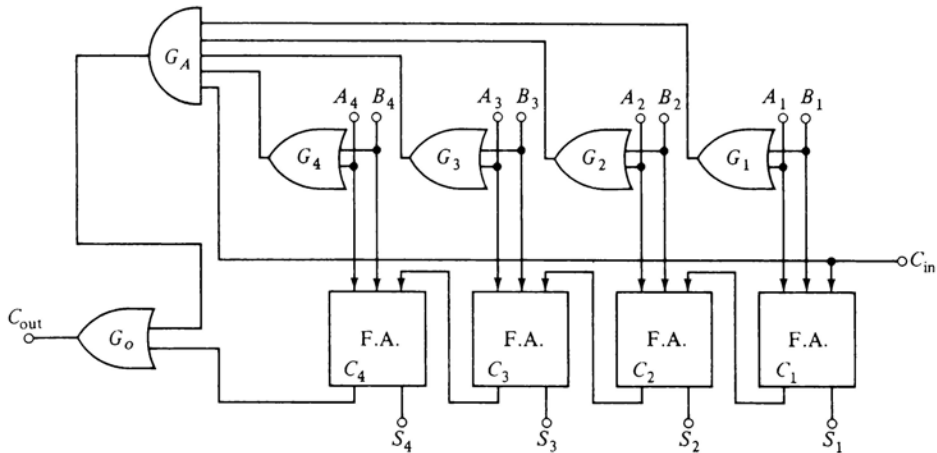


Figura 11.6-1 Sommatore ad alta velocità.

mente  $S_0 = A_0 + B_0$ . La seconda cifra della somma  $S_1$  renderà però necessarie delle porte provviste di ingressi per  $A_1$ ,  $A_0$ ,  $B_1$ ,  $B_0$  ed i loro complementi (vedi Prob. 11.6-1). La cifra di ordine  $N$  della somma richiederà a sua volta porte con  $2N$  ingressi, ecc. È chiaro che con questo metodo il numero delle porte necessarie aumenta in maniera estremamente rapida.

Il sommatore con riporto parallelo (in cui cioè tutte le cifre della somma sono generate in maniera diretta dalle cifre di ingresso) è veloce ma comporta un numero elevato di componenti. Il sommatore con riporto serie (in cui cioè i riporti si propagano in maniera seriale) è lento ma richiede un numero minore di componenti. Fra questi due estremi è possibile realizzare tutta una serie di compromessi. Un compromesso facilmente attuabile consiste nel far sì che i riporti «scavalchino» qualcuno dei sommatore. In Fig. 11.6-1 è illustrato un circuito che si basa proprio su questa tecnica. Nella figura si ha un sommatore a 4 bit comprendente quattro sommatore completi collegati in maniera convenzionale; tale collegamento implica perciò la propagazione dei riporti. Per mantenerci in un caso generale, supponiamo che  $A_1$  e  $B_1$  non siano le cifre di ordine più basso. I bit di ordine inferiore vengono sommati in sommatore precedenti (non indicati), dai quali giunge al sommatore di figura un riporto  $C_{in}$ .

Esaminando il circuito possiamo vedere che, se è presente il riporto di ingresso  $C_{in}$  e se le cifre  $A_i$  e  $B_i$  sono tali che il riporto di ingresso si debba propagare fino all'uscita, il riporto d'uscita viene generato direttamente dal circuito a porte esterno di Fig. 11.6-1 e quindi non è più necessario che il riporto d'ingresso venga fatto passare attraverso tutta la catena dei sommatore

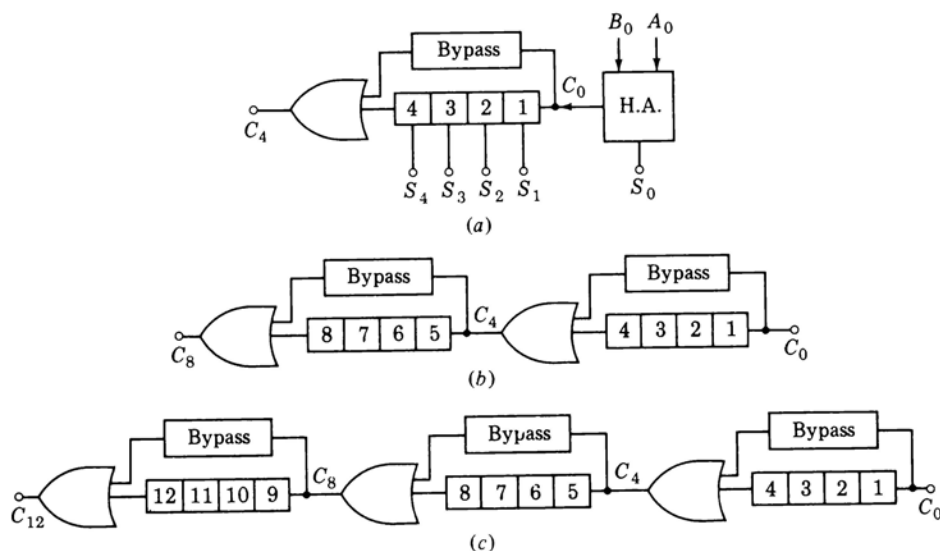


Figura 11.6-2 Stadi sommatatori con circuiti di bypass per la propagazione del riporto.

completi. Infatti supponiamo che  $C_{in} = 1$ . Se  $A_1$  o  $B_1$  o entrambi sono 1, questo riporto si propaga attraverso il primo sommatore completo. Questo riporto continua a propagarsi attraverso il secondo sommatore completo se  $A_2$  o  $B_2$  o entrambi sono 1, e via di seguito attraverso gli altri sommatatori. Quindi se  $C_{in}$  è tale da doversi propagare fino all'uscita, tutti gli ingressi della porta AND si portano al livello logico 1 e si ha  $C_{out} = 1$ , come richiesto. In Fig. 11.6-1 è illustrato un circuito che consente al riporto di scavalcare quattro stadi sommatatori. Naturalmente è chiaro che il circuito può essere adattato ad un numero qualsiasi di stadi sommatatori.

Il circuito di *by-pass*, che consente al riporto di scavalcare gli stadi sommatatori, a sua volta produce un certo ritardo di propagazione, pari al ritardo associato a tre porte: la porta OR d'uscita  $G_o$ , la porta AND  $G_A$  e, supponendo identiche le porte da  $G_1$  a  $G_4$ , una di queste porte OR. Osservando che il ritardo di propagazione del riporto in un sommatore (vedi Fig. 11.2-2b) è il ritardo dovuto a due porte, possiamo dire che il ritardo introdotto dal circuito di *by-pass* è di circa 1,5 volte superiore a quello associato ad un singolo sommatore completo.

Per illustrare le applicazioni del circuito di *by-pass*, esaminiamo il caso di un circuito di *by-pass* applicato a quattro stadi sommatatori. Unità di questo tipo si trovano in commercio prodotte da diverse case costruttrici. In Fig.

11.6-2a è illustrato un circuito di by-pass che scavalca gli ultimi quattro stadi di un sommatore a cinque stadi. Il primo stadio ha come ingressi soltanto i bit meno significativi dei due numeri da sommare, non essendo presente alcun riporto d'ingresso. Questo primo stadio, rappresentato da un semi-sommatore, genera però un riporto  $C_0$  e perciò da questo punto in avanti diventa utile l'impiego del by-pass. Il by-pass riceve come ingressi sia il riporto  $C_0$  sia i bit di ingresso  $A_1, B_1, A_2, B_2$ , ecc. Questi ingressi non sono indicati in figura. Può verificarsi che il riporto d'uscita sia dovuto al riporto di ingresso  $C_0$  che si propaga attraverso tutti e quattro gli stadi sommatore. In questo caso all'uscita arriverà per primo il riporto generato dal circuito di by-pass e poi il riporto generato dal quarto stadio sommatore. Può viceversa capitare che il riporto di ingresso  $C_0$  sia nullo o che non si propaghi fino all'uscita del sommatore a quattro stadi. In questo caso può succedere che sia presente un riporto d'uscita non dovuto a  $C_0$  ma generato all'interno del sommatore a quattro stadi e propagatosi fino all'uscita. Qualunque sia l'origine del riporto d'uscita, questo, se c'è, si propagerà attraverso la porta OR d'uscita verso l'ingresso di un sommatore successivo.

Quanto tempo deve trascorrere a partire *dall'istante* in cui  $C_0$  si è stabilizzato all'ingresso del sommatore per essere sicuri che tutti i riporti si siano completamente propagati e per poter leggere correttamente l'uscita del sommatore? Supponiamo, secondo quanto si è detto prima, che il tempo di propagazione del circuito di by-pass sia 1,5 volte il tempo di propagazione  $d$  di uno stadio sommatore completo. Senza il circuito di by-pass il tempo di attesa di un sommatore a quattro stadi è sempre  $T = 4d$ . Se  $C_0$  si deve propagare fino all'uscita  $C_4$ , il tempo di propagazione attraverso il by-pass è  $T = 1,5d$ ; dobbiamo però considerare anche il caso in cui il riporto di ingresso si propaghi soltanto fino all'uscita del sommatore completo 3. In questo caso il tempo d'attesa dovrà essere  $T = 3d$ . Può anche succedere che  $C_0 = 0$ , ma che si generi ugualmente un riporto all'uscita del sommatore completo 1 e che questo riporto si debba propagare fino a  $C_4$ . Di nuovo avremo  $T = 3d$ . In entrambi questi casi il by-pass non è molto efficace. Pertanto il tempo di attesa con by-pass risulta essere  $T = 3d$ , contro un tempo di attesa  $T = 4d$  senza by-pass.

Consideriamo ora la configurazione rappresentata in Fig. 11.6-2b, nella quale è stato aggiunto allo stadio prima considerato un nuovo gruppo di quattro stadi sommatore provvisti di by-pass. Senza il circuito di by-pass, il massimo tempo di attesa è  $T = 8d$ . Con i by-pass, ponendoci nel caso peggiore, supponendo cioè che all'uscita del sommatore completo 1 venga generato un riporto e che questo si propaghi soltanto fino all'uscita del sommatore 7, il tempo di attesa sarà  $T = 6d$ ; il che di nuovo non rappresenta un gran risparmio di tempo.

Consideriamo infine la configurazione di Fig. 11.6-2c. Come si può verificare, il tempo di attesa più lungo corrisponde al caso in cui il riporto viene ge-

nerato all'uscita dello stadio 1, si propaga attraverso il by-pass di mezzo e si ferma infine all'uscita del sommatore 11. In questo caso il tempo di attesa vale  $T = 3d + 1,5d + 3d = 7,5d$ , contro un tempo  $T = 12d$  in assenza di by-pass. In generale, con  $n$  sommatore a quattro stadi, ciascuno provvisto di circuito di by-pass, il tempo di attesa vale

$$T = 6d + 1.5(n - 2)d \quad (11.6-1)$$

contro  $T = 4nd$  senza i circuiti di by-pass. All'aumentare di  $n$  quindi l'efficacia dei by-pass aumenta sempre più. Il limite del rapporto fra il tempo di propagazione con by-pass ed il tempo di propagazione senza by-pass tende a 0,375, il che rappresenta un notevole risparmio di tempo.

## 11.7 LA SOTTRAZIONE

Le regole per la sottrazione di due cifre binarie sono date nella tavola di verità di Fig. 11.7-1. In essa  $A$  è il *minuendo*,  $B$  il *sottraendo*,  $D = A - B$  la *differenza* e  $C$  il *prestito*. Quando  $A = 0$  e  $B = 1$ , è necessario prendere in prestito 1 dalla cifra del minuendo di ordine immediatamente superiore. Quando si è preso un prestito da una cifra binaria di un certo peso, per eseguire la sottrazione sui bit di quel peso occorre innanzitutto sottrarre il sottraendo dal minuendo e poi sottrarre nuovamente dalla differenza così ottenuta un 1 (l'ordine con cui vengono eseguite le due sottrazioni non è rilevante).

Un circuito a porte che, avendo come ingressi  $A$  e  $B$ , fornisca le uscite  $C$  e  $D$ , prende il nome di *semi-sottrattore* (HF: *half subtractor*). Possiamo verificare che  $D$  e  $C$  sono dati da

$$D = A \oplus B \quad \text{e} \quad C = \bar{A} \cdot B \quad (11.7-1)$$

Il bit  $D$  può venire così generato dallo stesso circuito a porte che si impiega per il bit somma  $S$  nel semi-sommatore; il bit prestito invece viene determinato in maniera differente dal bit riporto.

Un *sottrattore completo* (FS: *full subtractor*) accetta come ingressi il minuendo  $A$ , il sottraendo  $B$  ed il bit di prestito generato dalla sottrazione ese-

$A$	$B$	$D$	$C$
0	0	0	0
0	1	1	1
1	0	1	0
1	1	0	0

Figura 11.7-1 Tavola di verità per la sottrazione.

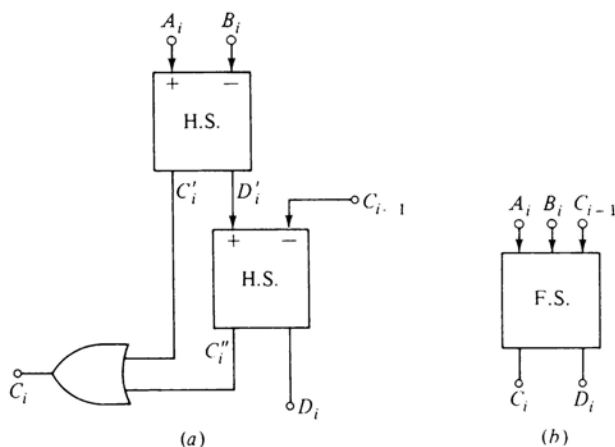


Figura 11.7-2 (a) Sottrattore completo; (b) simbolo del sottrattore.

guita sulle cifre di ordine immediatamente inferiore; esegue due operazioni di sottrazione secondo le Eq. (11.7-1), fornendo in uscita una differenza finale ed un prestito che andrà poi ad interessare le cifre binarie di ordine immediatamente superiore. Un modo per realizzare tale sottrattore completo è quello di combinare insieme due semi-sottrattori come indicato in Fig. 11.7-2a. Un semi-sottrattore dà  $A_i - B_i$ , mentre l'altro semi-sottrattore esegue  $(A_i - B_i) - C_{i-1}$ . Se una o entrambe le sottrazioni generano un prestito, si dovrà inviare al sottrattore di ordine immediatamente superiore un bit di prestito. Perciò le uscite di prestito dei due semi-sottrattori vengono collegate al sottrattore di ordine superiore tramite una porta OR. Il simbolo circuitale del sottrattore completo è indicato in Fig. 11.7-2b.

Procedendo secondo lo schema di Fig. 11.4-1, si può effettuare la sottrazione di  $B = B_{N-1} B_{N-2} \dots B_0$  da  $A = A_{N-1} A_{N-2} \dots A_0$  mediante una catena di sottrattori completi collegati come indicato in Fig. 11.7-3. Se non ci sono cifre di ordine inferiore ad  $A_0$  e  $B_0$ , la sottrazione delle cifre di questo primo ordine può venire eseguita mediante un semi-sottrattore, visto che  $C_{in} = 0$ . C'è da notare che se  $A > B$ , l'ultimo prestito  $C_{N-1}$  sarà  $C_{N-1} = 0$ , mentre se  $A < B$ , l'ultimo prestito sarà  $C_{N-1} = 1$ .

Anche in questo caso occorrono un registro minuendo, un registro sottraendo ed un registro differenza, anche se non sono stati esplicitamente indicati.

## 11.8 NUMERI COMPLEMENTARI

Nell'unità aritmetica di un calcolatore o, in generale, di un elaboratore digita-

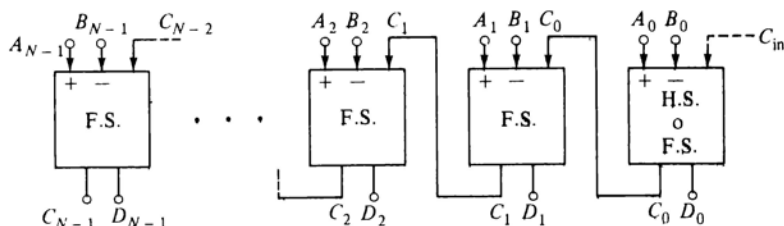


Figura 11.7-3 Circuito sottrattore per due numeri,  $A$  e  $B$ , di  $N$  bit.

le devono essere presenti dei dispositivi che consentano di eseguire sia le sottrazioni che le addizioni. Come vedremo, la sottrazione può venire eseguita mediante un procedimento che si basa sull'operazione di addizione e sui numeri complementari. In tal caso pertanto non è necessario ricorrere ad un circuito adibito esclusivamente alla sottrazione, realizzando così un notevole risparmio sul numero dei componenti utilizzati. In questo paragrafo tratteremo della complementazione.

**Complemento a due** Supponiamo di avere un registro costituito da quattro flip-flop. Riferendoci a questo registro, il complemento  $N^*$  di un numero  $N$  può essere determinato come segue. Si ponga inizialmente il registro a **0000** e poi lo si decrementi di  $N$ . Per esempio, se  $N = \mathbf{0001}$ , allora  $N^* = \mathbf{1111}$ , se  $N = \mathbf{0010}$ ,  $N^* = \mathbf{1110}$ , se  $N = \mathbf{0011}$ ,  $N^* = \mathbf{1101}$ , ecc.

*Il complemento di un numero può essere determinato senza ambiguità solo se è specificato il numero dei flip-flop del registro.* Il numero di questi flip-flop può essere specificato in termini di modulo del registro. Come per i contatori, anche per i registri il modulo indica quanti numeri diversi possono venire immagazzinati nel registro stesso. Così un registro a quattro flip-flop, potendo registrare i numeri da **0000** a **1111**, cioè da 0 a 15 in decimale, ha modulo  $2^4 = 16$ . I complementi precedentemente trovati sono più precisamente i *complementi (mod  $2^4$ )* o *complementi con modulo a quattro posizioni*. Per esempio il numero 1 (0001) ha come complemento 15 (1111), poichè  $15 + 1 = 16$ . Si noti che  $16 - 1 = 15$ , cioè il modulo meno il numero fornisce il complemento.

Il complemento di un numero, naturalmente, può venire calcolato direttamente mediante l'operazione di sottrazione. Così nel sistema binario troviamo che i complementi (mod  $2^4$ ) di  $N = 0000, 0001, 0010, 0011$  sono

$$\begin{array}{r}
 \begin{array}{cccc}
 10000 & 10000 & 10000 & 10000 \\
 N = & 0000 & 0001 & 0010 & 0011 \\
 \hline
 N^* = & 1)0000 & 1111 & 1110 & 1101
 \end{array}
 \end{array}$$

Si osservi che per poter effettuare la sottrazione, è necessario che il minuendo sia un numero con cinque cifre binarie. In tutti i casi, ad eccezione del complemento di 0, il risultato della sottrazione è un numero di quattro cifre (con modulo a quattro posizioni). Per  $N = 0$ , la sottrazione fornisce un numero di cinque cifre, ma la cifra più a sinistra va persa dal momento che il registro ha un modulo di sole quattro posizioni.

In sintesi, il complemento  $N_k^*$  con modulo a  $k$  posizioni è

$$N_k^* = (2^k - N)_k \quad (11.8-1)$$

Ad essere precisi, il pedice  $k$  del membro a destra dell'Eq. (11.8-1) serve a ricordare che, se  $N = 0$ ,  $2^k - N$  viene ad avere  $k + 1$  cifre, delle quali la cifra più significativa, cioè quella più a sinistra, deve essere trascurata. Più spesso, ove non si generi confusione, scriveremo semplicemente  $N_k^* = 2^k - N$ .

Il calcolo del complemento mediante la sottrazione implica tutta una serie di sottrazioni, cifra per cifra, dal numero binario 10. Analizziamo per esempio la sottrazione che si deve eseguire per determinare il complemento di 0001. Partiamo dall'ordine meno significativo e sottraiamo 1 da 10; otteniamo 1 con un prestito dalla cifra di ordine immediatamente superiore. Per tener conto di questo prestito, aggiungiamo nell'ordine immediatamente superiore 1 alla cifra 0 del sottraendo. Ci ritroviamo pertanto a dover sottrarre 1 da 10 e così via per il resto della sottrazione. In generale, nel calcolo di qualsiasi complemento, dopo essere arrivati al primo 1 del sottraendo, ogni successiva sottrazione è una sottrazione dal numero binario 10 (2 decimale). È per questa ragione che il complemento definito precedentemente viene chiamato normalmente *complemento a due*. Si noti inoltre che nel calcolo del complemento a due, una volta che è stato generato un prestito, questo si propaga fino alla fine del calcolo. Per distinguere il complemento a due da un altro tipo di complemento, che definiremo più avanti, useremo d'ora innanzi per il complemento a due la notazione  $N_2^*$ .

Un algoritmo che può essere usato per calcolare il complemento a due senza eseguire la sottrazione è il seguente:

- 1 Scrivere il numero con tanti bit quanti sono consentiti dal modulo.
- 2 Lasciare invariato il bit 1 meno significativo e lasciare pure invariati tutti i bit 0 di peso inferiore al bit 1 suddetto.
- 3 Complementare tutti gli altri bit.

Come esempio possiamo calcolare il complemento a due del numero + 20 con modulo a sette posizioni. Scriviamo il numero come 0010100. L'1 meno significativo e gli 0 alla sua destra vengono lasciati invariati. Si complementano tutti gli altri bit, ottenendo 1101100.

**Complemento ad uno** Definiamo ora un secondo tipo di complemento,  $N_1^*$ ; esso viene definito esattamente come il complemento a due eccetto il fatto

che il registro inizialmente è posto con tutti i flip-flop ad 1. Per esempio, con un modulo a quattro posizioni, il complemento di  $N = 0001$  è  $N_1^* = 1110$ ; di  $N = 0010$  è  $N_1^* = 1101$ ; di  $N = 0011$  è  $N_1^* = 1100$ .

Questi complementi possono venire calcolati direttamente mediante sottrazione. Troviamo

1111	1111	1111	1111
$N = 0000$	$0001$	$0010$	$0011$
<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>	<hr style="width: 100%;"/>
$N_1^* = 1111$	$1110$	$1101$	$1100$

Si può notare che per determinare questo complemento mediante sottrazione, viene eseguita per ogni ordine di cifra una sottrazione da 1. Per questo motivo il complemento  $N_1^*$  è generalmente chiamato *complemento ad uno*. Si noti che il calcolo del complemento ad uno è più semplice del calcolo del complemento a due, poichè la sottrazione in questo caso non genera prestiti. Si noti inoltre che, in un certo senso, il complemento a uno può essere calcolato senza eseguire il procedimento di sottrazione. Infatti il complemento a uno  $N_1^*$  è legato al numero  $N$  in modo tale che *ogni cifra di  $N_1^*$  è il «complemento» della corrispondente cifra di  $N$* , cioè ogni 1 di  $N$  diviene uno 0 in  $N_1^*$ .

Dato  $N$ , si può ottenere in vari modi il suo complemento  $N_1^*$  anche senza dover ricorrere alla sottrazione. Supponiamo ad esempio che il numero  $N$  sia memorizzato in un registro e sia disponibile alle uscite  $Q$  dei flip-flop del registro stesso. In questo caso il complemento  $N_1^*$  è immediatamente disponibile sulle uscite  $\bar{Q}$  dei flip-flop stessi. Un altro modo per ottenere il complemento è il seguente. Se i flip-flop sono di tipo  $JK$  con  $J = K = 1$ , l'impulso di clock provocherà il cambio di stato dei flip-flop, fornendo alle uscite  $Q$  il complemento  $N_1^*$ . Un terzo modo per ottenere il complemento implica l'impiego di porte OR ESCLUSIVO: per un numero di  $k$  bit occorrono  $k$  porte OR ESCLUSIVO. Le  $k$  cifre del numero  $A = A_{k-1} \dots A_0$  vengono applicate ciascuna ad un ingresso della rispettiva porta OR ESCLUSIVO, come mostrato in Fig. 11.8-1. Quando il segnale di controllo è  $C = 0$ , il numero presente all'uscita delle porte  $X = X_{k-1} \dots X_0$  vale  $X = A$ . Quando  $C = 1$  invece, il numero vale  $X = A_1^*$ .

Il complemento a uno con modulo a  $k$  posizioni è

$$(N_1^*)_k = (2^k - 1) - N \quad (11.8-2)$$

La relazione che lega il complemento ad uno con il complemento a due è perciò

$$(N_2^*)_k = (N_1^* + 1)_k \quad (11.8-3)$$

I pedici  $k$  dell'Eq. (11.8-3) sono strettamente necessari. Infatti l'espressione  $N_2^* = N_1^* + 1$  non è corretta in tutti i casi. Per esempio, se  $N = 0000$ , allo-



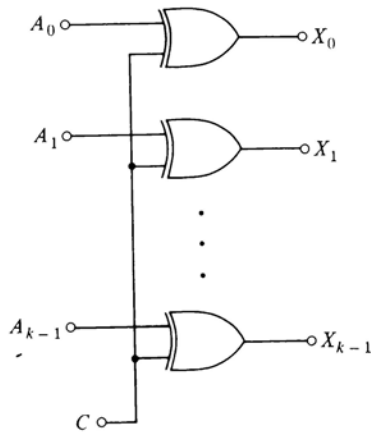


Figura 11.8-1 Un metodo per generare il complemento a uno di un numero.

ra  $N_1^* = 1111$  e  $N_1^* + 1 = 10000$  mentre invece  $N_2^*$  vale **0000**. Però, come prima, dove non possono nascere confusioni omettiamo i pedici.

Per concludere, abbiamo definito due tipi di complemento ed abbiamo visto che il complemento a uno può essere calcolato senza ricorrere alla sottrazione e che una volta calcolato il complemento a uno, il complemento a due può essere ricavato sommando 1 al risultato, secondo quanto espresso dall'Eq. (11.8-3).

Nella nostra trattazione ci siamo limitati al sistema binario, però numeri complementari analoghi possono venire definiti in sistemi a base qualsiasi. Nel sistema decimale possiamo definire il complemento *a dieci*, corrispondente al complemento a due binario ed il complemento *a nove*, corrispondente al complemento a uno binario.

## 11.9 RAPPRESENTAZIONE DEI NUMERI CON SEGNO NEI REGISTRI

Un registro a quattro posizioni è in grado di presentare gli stati logici **0000**, **0001**, ..., **1111**. Viene naturale far corrispondere questi stati logici ordinatamente ai numeri decimali 0, 1, 2, ..., 15. Questo tipo di corrispondenza è indicata nel registro di Fig. 11.9-1a. Questa corrispondenza però non è ovviamente l'unica possibile. Supponiamo di voler rappresentare con gli stati del registro sia numeri positivi che numeri negativi. Il registro chiaramente non possiede alcun mezzo per poter indicare il segno. Quindi per poter rappresentare i numeri negativi non abbiamo altra alternativa che assegnare, in modo *arbitrario*, un significato negativo ad alcune posizioni del registro. Si può far

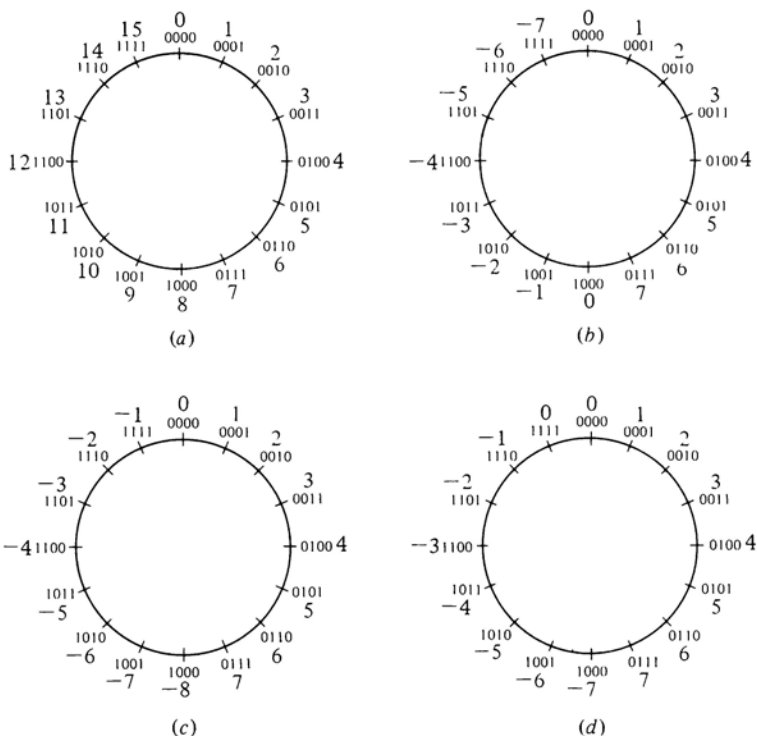


Figura 11.9-1 Varie convenzioni per assegnare un significato numerico alle posizioni di un registro: rappresentazione (a) naturale, (b) in segno e modulo, (c) in complemento a due, (d) in complemento a uno.

ciò in vari modi. Ad esempio si può decidere che **0000** = 0, **0001** = 1, **1001** = -1, **0010** = 2, **1010** = -2, ecc. Fra i vari modi per rappresentare i numeri relativi, tre rivestono un particolare interesse e verranno esaminati in dettaglio.

La corrispondenza di Fig. 11.9-1b è chiamata rappresentazione *in segno e modulo*. Il nome deriva dal fatto che il bit più a sinistra del numero contenuto nel registro rappresenta il segno. Il bit **0** rappresenta il segno più, mentre il bit **1** rappresenta il segno meno. I bit rimanenti indicano il valore assoluto (o modulo) del numero. Così **0011** = +3, mentre **1011** = -3, ecc. Osserviamo che in questo tipo di rappresentazione sono presenti due zeri, **0000** (che può essere considerato come «più zero») e **1000** (che può essere considerato come «meno zero»). I numeri positivi sono tanti quanti i numeri negativi. Il registro

a quattro posizioni non può registrare numeri maggiori di  $+7$  o minori di  $-7$ . La rappresentazione in segno e modulo per noi non riveste particolare interesse; l'abbiamo presa in esame solo perchè costituisce un modo «naturale» di trattare i numeri negativi; cioè, visto che il registro non ha alcun indicatore di segno, viene naturale utilizzare uno dei bit del registro proprio per indicare il segno.

La corrispondenza fra gli stati del registro ed i numeri illustrata in Fig. 11.9-1c è invece una corrispondenza o rappresentazione in *complemento a due*. Lo stato da associare ad un numero negativo è il complemento a due del corrispondente numero positivo. Per esempio,  $+3 = 0011$ , mentre per determinare lo stato del registro corrispondente a  $-3$ , occorre fare il complemento a due di 3, cioè  $10000 - 0011 = 1101$ . La corrispondenza in complemento a due differisce dalla corrispondenza in segno e modulo, vista prima, per il fatto che nel caso del complemento a due vi è un solo stato del registro associato al numero 0; inoltre l'insieme dei numeri positivi è di un'unità inferiore a quello dei numeri negativi, e la disposizione dei numeri è diversa. C'è un punto però in comune alle due rappresentazioni: quando la cifra più a sinistra è **1**, il numero rappresentato è negativo. Per esempio, supponiamo di voler sapere quale numero rappresenti **1011** nella rappresentazione in complemento a due. Poichè il bit più a sinistra è un **1**, sappiamo che si tratta di un numero negativo. Per trovare questo numero calcoliamo il suo complemento a due  $10000 - 1011 = 0101 = +5$ . Il valore assoluto è quindi 5, e pertanto **1011** rappresenta  $-5$ . Questo procedimento per calcolare il valore assoluto è valido poichè, dato un numero  $N$ , il complemento a due del complemento a due del numero è il numero  $N$  stesso, cioè

$$2^k - (2^k - N) = N \quad (11.9-1)$$

La corrispondenza indicata in Fig. 11.9-1d è la corrispondenza in *complemento ad uno*. Infatti lo stato del registro da associare ad un numero negativo è determinato dal complemento a uno del corrispondente numero positivo. Per esempio,  $+3 = 0011$  mentre per determinare la rappresentazione di  $-3$  si deve fare il complemento a uno di 3, cioè  $1111 - 0011 = 1100$ . Osserviamo che in questo registro ci sono due zeri in posizioni adiacenti. Vedremo più avanti l'importanza di questa particolarità. Si noti inoltre che in questo registro, come nei precedenti, quando la cifra più a sinistra è un **1**, il numero rappresentato è negativo.

Così per esempio la rappresentazione **1011** indica un numero negativo il cui valore assoluto è 4, poichè  $1111 - 1011 = 0100 = +4$ . Perciò **1011** rappresenta  $-4$ .

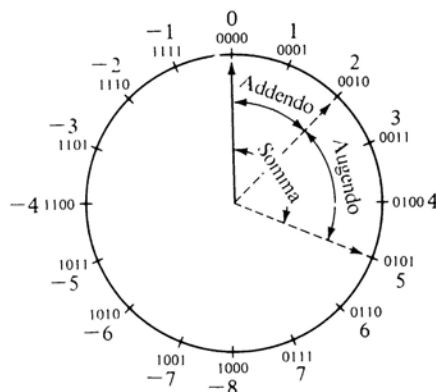


Figura 11.10-1 Registro in complemento a due impiegato per eseguire addizioni e sottrazioni.

## 11.10 SOTTRAZIONE MEDIANTE COMPLEMENTAZIONE ED ADDIZIONE

In Fig. 11.10-1 abbiamo ridisegnato il registro in complemento a due aggiungendo un indice che permette di indicare i diversi stati del registro stesso. Esaminiamo ora come questo registro possa essere impiegato sia per eseguire somme che per eseguire sottrazioni. Per sommare +2 (0010) a +3 (0011) si parte con l'indice sullo zero e lo si fa avanzare, cioè lo si ruota in senso orario, prima di due posizioni e poi di altre tre posizioni. Veniamo così a trovarci nella posizione +5 (0101). Vogliamo ora sottrarre +5 da +2. Facciamo allora avanzare l'indice di due posizioni in senso orario, poi di cinque in senso antiorario. Ci si viene a trovare alla fine in -3 (1101), come richiesto. In conclusione, facendo ruotare l'indice in senso orario o in senso antiorario, per eseguire rispettivamente l'addizione o la sottrazione, possiamo ottenere qualsiasi risultato, purché non superiore a +7 e non inferiore a -8. Questo semplice procedimento *non potrebbe viceversa essere applicato* al registro in segno e modulo di Fig. 11.9-1b.

Torniamo alla sottrazione di 5 da 2. Dopo aver fatto avanzare l'indice in senso orario fino a 0010, lo si deve poi far ruotare in senso antiorario di 5 passi. Però, visto che nel registro ci sono esattamente 16 posizioni, si può ottenere lo stesso risultato facendo *avanzare* in senso orario l'indice di  $16 - 5 = 11$  passi. In questo modo avremo eseguito la sottrazione di 5 da 2 mediante la sola operazione di addizione. In modo più formale, se si vuole calcolare  $D = A - B$  senza effettuare l'operazione vera e propria di sottrazione, si può scrivere  $D = A + (-B)$ . Il numero  $-B$  è rappresentato, nel registro in com-

plemento a due, come  $2^k - B$ . Allora partendo dalla posizione corrispondente ad  $A$ , *facciamo avanzare l'indice del registro in senso orario (addizioniamo)* di un numero di posizioni pari a  $2^k - B$ . Alla fine ci troveremo nella posizione  $A + (2^k - B) = 2^k + (A - B)$ . In un registro a  $k$  cifre però, un avanzamento di  $2^k$  posizioni corrisponde ad una rotazione completa. Quindi  $2^k + (A - B) = A - B$ .

### 11.11 ADDIZIONE E SOTTRAZIONE IN COMPLEMENTO A DUE

Per dare alcuni esempi di operazioni su numeri rappresentati in complemento a due, prendiamo come operandi  $A = 5$  e  $B = 6$  e consideriamo i quattro casi  $(+5) + (+6)$ ,  $(+5) + (-6)$ ,  $(-5) + (+6)$  e  $(-5) + (-6)$ . Dal momento che fra i risultati avremo 11 e -11, dovremo utilizzare un registro a cinque bit. Nel primo caso avremo

$$\begin{array}{r} 00101 \quad (+5) \\ + 00110 \quad (+6) \\ \hline 01011 \quad (+11) \end{array}$$

che non necessita di alcun commento. Nel secondo caso rappresentiamo -6 come  $100000 - 00110 = 11010$ . Avremo

$$\begin{array}{r} 00101 \quad (+5) \\ + 11010 \quad (-6) \\ \hline 11111 \quad (-1) \end{array}$$

Si deduce che 11111 è un numero negativo dal fatto che il bit all'estrema sinistra vale 1. Per trovare il valore assoluto dobbiamo prendere il complemento a due, che è  $00001 = +1$ . Perciò 11111 rappresenta -1.

Nel terzo caso avremo

$$\begin{array}{r} 11011 \quad (-5) \\ + 00110 \quad (+6) \\ \hline \textcircled{1} 00001 \quad (+1) \end{array}$$

Poichè il registro ha soltanto cinque bit, l'1 più a sinistra in effetti non compare ed il registro darà correttamente  $00001 = +1$ .

Nell'ultimo caso abbiamo

$$\begin{array}{r} 11011 \quad (-5) \\ 11010 \quad (-6) \\ \hline \textcircled{1} 10101 \quad (-11) \end{array}$$

Di nuovo il bit più a sinistra non compare ed il registro dà 10101. Il numero è negativo ed il suo valore assoluto è 11, poichè  $100000 - 10101 = 01011 = +11$ .

## 11.12 ADDIZIONE E SOTTRAZIONE IN COMPLEMENTO A UNO

Torniamo al registro in complemento a uno di Fig. 11.9-1*d*. Anche in questo caso per eseguire l'operazione di sottrazione possiamo sfruttare l'operazione di addizione con un procedimento simile a quello seguito per il registro di Fig. 11.9-1*c*. Così per trovare  $A - B$  scriviamo  $A - B = A + (-B)$ . L'augendo  $-B$  è rappresentato dal suo complemento a uno  $(2^k - 1) - B$ , e, partendo da  $A$ , avanziamo in verso orario di  $(2^k - 1) - B$  posizioni. Il numero dei passi in senso orario è di una unità inferiore a quello relativo al caso del registro in complemento a due. Da un confronto fra i due registri però (Fig. 11.9-1*c* e *d*) si nota che in Fig. 11.9-1*d* i numeri negativi sono ritardati di una posizione rispetto ai numeri di Fig. 11.9-1*c*. Quindi anche in questo caso la posizione di arrivo risulta essere quella corretta.

Nel registro in complemento a uno si presenta una situazione particolare, che ora esamineremo. Supponiamo di voler eseguire la somma  $7 + (-4)$ . Con il registro a quattro posizioni di Fig. 11.9-1*d* rappresentiamo prima  $-4$  come 1011 ( $1111 - 0100$ ) e poi sommiamo  $7 + (-4)$ , cioè

$$\begin{array}{r} 0111 \quad (7) \\ 1011 \quad (-4) \\ \hline \textcircled{1} 0010 \quad (+2) \end{array}$$

La cifra più a sinistra non può comparire nel registro a quattro bit. Quindi leggiamo  $0010 = 2$ . Il risultato è errato e la ragione dell'errore è chiara. Abbiamo fatto avanzare il registro prima di 0111 (sette) posizioni e poi di nuovo di altre 1011 (undici) posizioni. L'avanzamento complessivo risulta essere di  $7 + 11 = 18$  posizioni. Poiché il registro ha solo 16 posizioni, questo avanzamento fa compiere al registro più di un giro completo. *Si può vedere che nel registro di Fig. 11.9-1*d* un giro completo fa passare l'indice per le due posizioni associate allo zero. Quindi dopo ogni giro completo l'indicazione data dal registro è di una unità inferiore al valore corretto.* Occorre quindi introdurre un sistema che riveli quando si è completata una rotazione intera e, quando ciò avviene, determini l'avanzamento dell'indice di una posizione.

Ripetiamo ora i calcoli del paragrafo precedente usando la rappresentazione in complemento a uno. Abbiamo

$$\begin{array}{r} 00101 \quad (+5) \\ 00110 \quad (+6) \\ \hline 01011 \quad (11) \end{array}$$

Poi

$$\begin{array}{r} 00101 \quad (+5) \\ 11001 \quad (-6) \\ \hline 11110 \quad (-1) \end{array}$$

Come prima, l'1 nella posizione più a sinistra denota un numero negativo. Il valore assoluto di questo numero è 1, poichè  $11111 - 11110 = 00001$ , (= +1). Proseguendo

$$\begin{array}{r}
 11010 \quad (-5) \\
 00110 \quad (+6) \\
 \hline
 \text{overflow } 1 \quad 00000 \\
 \quad \quad \quad \rightarrow 1 \\
 \hline
 00001 \quad (1)
 \end{array}$$

In questo caso il sesto bit, eccedente la capacità del registro (bit di *overflow*), significa che l'indice ha compiuto un giro completo. Quindi, come abbiamo detto, aggiungiamo 1 alla somma e conserviamo solo le cinque cifre che possono essere contenute nel registro. Cioè il bit di overflow viene tolto dalla sua posizione e sommato nella posizione meno significativa. Infine

$$\begin{array}{r}
 11010 \quad (-5) \\
 11001 \quad (-6) \\
 \hline
 1 \quad 10011 \\
 \quad \quad \rightarrow 1 \\
 \hline
 10100 \quad (-11)
 \end{array}$$

La Fig. 11.12-1 illustra la semplice modifica necessaria affinché un sommatore a  $(N + 1)$  bit sia in grado di trattare il bit di overflow come un normale riporto. I numeri rappresentati in complemento a uno sono  $A = A_N \dots A_0$  e  $B = B_N \dots B_0$ . Le cifre  $A_N$  e  $B_N$  danno l'informazione sul segno. Se il sommatore è costituito da  $N$  singoli sommatatori, anche il sommatore della posizione meno significativa deve essere un sommatore completo. L'uscita del sommatore (somma o differenza a seconda degli ingressi) è costituita da  $S_N \dots S_0$ . Il riporto d'uscita  $C_N$  non fa parte della risposta del sistema, ma viene invece riportato all'ingresso del riporto  $C_{-1}$ .

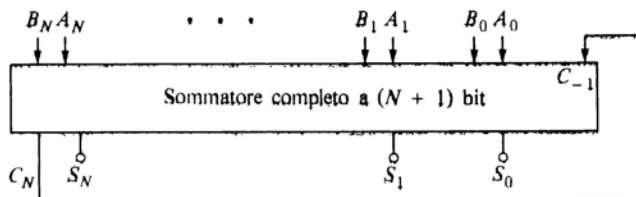


Figura 11.12-1 Schema a blocchi di un sommatore-sottrattore (per numeri rappresentati in complemento a uno).

### 11.13 ADDIZIONE E SOTTRAZIONE DI UNA SEQUENZA DI NUMERI RELATIVI

Supponiamo di usare la rappresentazione in complemento a uno dei numeri negativi. Il sistema di Fig. 11.5-1 può allora essere modificato in modo da consentire l'addizione e la sottrazione di una sequenza di numeri relativi. Se si vuole eseguire solo l'addizione, è sufficiente portare indietro il bit di riporto, collegando l'uscita  $C_{N-1}$  all'ingresso  $C_{in}$ . È sottinteso che sia nel registro augendo che nel registro accumulatore il bit di ordine più alto è il bit di segno. Nella rappresentazione in complemento a due questo collegamento di *reazione del riporto* non è necessario.

Quando invece si vuole eseguire la sottrazione, anziché l'addizione, del numero contenuto nel registro augendo, è necessario complementare ciascun bit del registro augendo. Lo si può fare, fra gli altri modi, inserendo una porta **OR ESCLUSIVO** in ciascuno dei collegamenti fra le uscite del registro augendo e gli ingressi del sommatore completo, come mostrato in Fig. 11.8-1. Un segnale di controllo unico viene applicato all'ingresso di ciascuna porta; esso viene posto al livello logico **0** quando si vuole eseguire l'addizione (questo procedimento deve venire modificato se si usa la rappresentazione in complemento a due, ponendo anche  $C_{in} = 1$  quando si esegue la sottrazione). L'altro ingresso di ciascuna delle  $N$  porte è costituito dalla corrispondente uscita  $Q$  del registro augendo.

Durante le operazioni di addizione e sottrazione può capitare che la somma algebrica superi la capacità dell'accumulatore (cioè si verifichi un *overflow*) perché troppo elevata in valore assoluto. Si deve però notare che se la somma algebrica finale è contenuta nella capacità dell'accumulatore, il risultato finale è corretto anche se l'accumulatore è andato in overflow nel corso dell'operazione.

È facile verificare quanto sopra detto. Supponiamo infatti di dover addizionare una sequenza di numeri relativi e che la somma debba venir accumulata in un registro a  $k$  cifre. Immaginiamo di aumentare la capacità del registro di tante posizioni,  $k + 1$ ,  $k + 2$ , ecc., quante sono necessarie per evitare il supero della capacità del registro. Supponiamo ancora che, dopo aver occupato queste posizioni aggiunte, la somma torni alla fine ad essere contenuta nelle  $k$  posizioni iniziali del registro. Le cifre in più a questo punto varranno tutte zero, e quindi il fatto che in realtà queste posizioni non siano disponibili, non è di alcuna importanza. Questo principio continua ad essere valido anche in altri casi, come ad esempio quando il bit di overflow viene riportato nella posizione meno significativa (vedi Prob. 11.13-2).

### 11.14 SOMMATORE A SATURAZIONE

Supponiamo di avere un sommatore con registro a quattro posizioni. Usando la rappresentazione in complemento a due, nella quale la cifra più significati-



va è impiegata per indicare il segno, la massima somma positiva che il sommatore può contenere è  $+7 = 0111$ , mentre la somma più negativa è  $-8 = 1000$ . Supponiamo ora di voler sommare  $+5 = 0101$  e  $+3 = 0011$ . La somma è 8, numero che supera solo di 1 la capacità del sommatore; tuttavia il registro dà come risultato 1000 che, in rappresentazione in complemento a due, viene interpretato come  $-8$ : si commette quindi un errore di 16. Un'analogia inversione di segno e quindi un errore analogo si verifica anche quando si supera la capacità del registro dalla parte negativa.

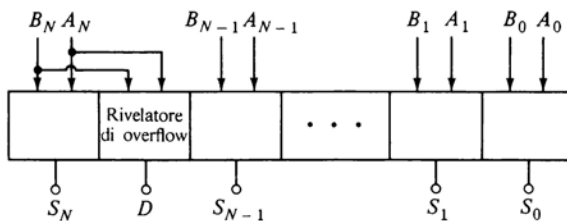
Nella maggior parte dei casi un errore di questo tipo in una somma non è accettabile; si pensi ad esempio al caso di applicazioni alla contabilità bancaria. Supponiamo però che sia possibile far sì che, quando una somma supera la capacità del registro in cui è contenuta, il registro continui a fornire, come risultato, il massimo numero che può contenere. Riferendoci all'esempio precedente, supponiamo che l'indicazione della somma sia mantenuta a  $0111 = +7$  ogni volta che la somma effettiva è uguale o maggiore di  $+7$ . In questo modo l'errore dovuto all'overflow viene minimizzato. Tale sommatore a saturazione può essere impiegato nei casi in cui non interessi particolarmente l'esatto valore della somma, ma si voglia viceversa controllare, con il risultato della somma, un certo processo. Supponiamo di voler controllare con l'uscita di un sommatore la velocità con cui deve svolgersi un certo processo, in modo che la velocità risulti proporzionale alla somma stessa. Allora, con un sommatore a saturazione, quando la somma supera la capacità del sommatore, la velocità del processo viene almeno mantenuta costante al massimo valore compatibile con la capacità del sommatore stesso. Vediamo ora come può essere realizzato un sommatore a saturazione.

La Fig. 11.14-1a mostra un sommatore a  $(N+1)$  bit a cui è stato aggiunto uno stadio sommatore completo. Come si vede in figura, i bit di segno  $A_N$  e  $B_N$  sono applicati sia a questo nuovo stadio rivelatore di overflow, sia all'ultimo stadio del sommatore vero e proprio. Il massimo risultato positivo che possiamo avere nel sommatore base è  $2^N - 1$  e, se non viene superato questo valore, l'uscita del sommatore è  $S_N DS_{N-1} \dots S_0 = 00XX\dots X$ , cioè abbiamo  $S_N = D = 0$ . Analogamente, se l'uscita è negativa ma contenuta nei limiti di capacità del sommatore, avremo  $S_N = D = 1$ .

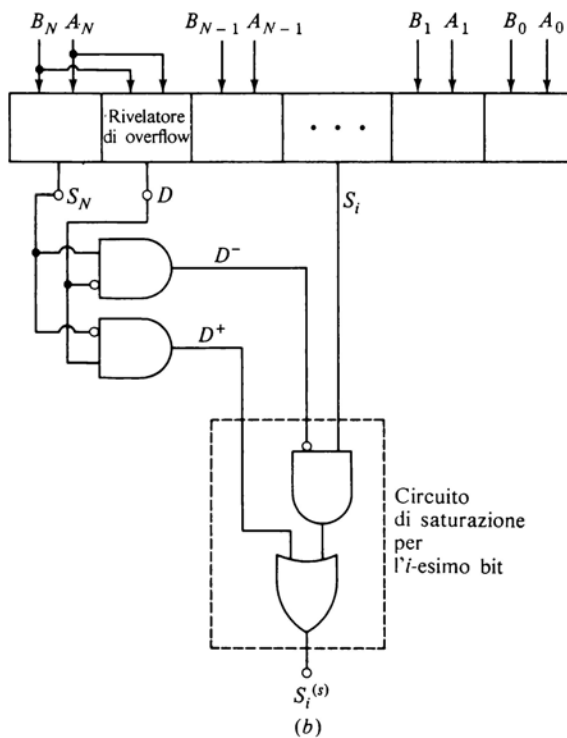
Se ora un numero positivo supera la capacità del sommatore avremo, come si può verificare,  $S_N = 0$  e  $D = 1$ ; avremo invece l'opposto, cioè  $S_N = 1$  e  $D = 0$ , se un numero negativo supera la capacità del sommatore. Qui si suppone che la somma corretta non sia maggiore di  $2^{N+1} - 1$ , cioè che l'overflow sia di un solo bit.

In Fig. 11.14-1b è illustrato un sommatore a saturazione. In corrispondenza ad un overflow positivo,  $S_N = 0$  e  $D = 1$ , sicché avremo  $D^+ = 1$ . Altrimenti avremo  $D^+ = 0$ . Analogamente, in corrispondenza ad un overflow negativo, e soltanto allora, avremo  $D^- = 1$ . Ciascuna uscita del sommatore,  $S_{N-1}, \dots, S_0$  (ma non  $S_N$  e non  $D$ ) viene portata ad un proprio circuito di

*saturation* (disegnato, nel riquadro tratteggiato per la sola uscita  $S_i$ ) che genera l'uscita  $S_i^{(s)}$ . È facile constatare che, se non si verifica alcun overflow,  $S_i^{(s)} = S_i$ , e la somma in uscita è  $S_N S_{N-1} \dots S_0$  ( $D$  non compare in uscita). Se si verifica un overflow positivo, l'uscita è  $S_N S_{N-1}^{(s)} \dots S_0^{(s)} = 01\dots 1$ . Se si verifica un overflow negativo, l'uscita è  $S_N S_{N-1}^{(s)} \dots S_0^{(s)} = 10\dots 0$ .



(a)



(b)

Figura 11.14-1 (a) Sommatore ad  $(N + 1)$  bit comprendente un sommatore ad 1 bit che rivela l'overflow; (b) rivelatore di overflow e circuito di saturazione.

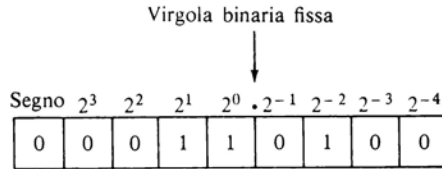


Figura 11.15-1 Il numero +3,25 memorizzato in un registro a scorrimento.

## 11.15 MOLTIPLICAZIONE DI UNA VARIABILE PER UNA COSTANTE

La moltiplicazione di una variabile per una costante può essere vista come un'operazione di *cambiamento di scala*. Particolarmente interessante è il caso in cui la costante è una potenza di 2. Questo cambiamento di scala può essere realizzato facilmente impiegando un registro a scorrimento.

Un numero binario viene moltiplicato per  $2^n$  spostando la virgola binaria di  $n$  posti a destra, mentre viene diviso per  $2^n$  spostando la virgola binaria di  $n$  posti a sinistra. Consideriamo il numero binario  $011,01 = 3,25$  (lo zero più a sinistra è il bit di segno). Allora  $0110,1 = +2(3,25)$  e  $01,101 = +\frac{1}{2}(3,25)$ .

Supponiamo ora che sia scomodo spostare la virgola; proviamo allora a mantenere la virgola fissa e a spostare invece le cifre binarie. In questo modo, scalare le cifre di  $n$  posti a sinistra significa eseguire una moltiplicazione per  $2^n$ , mentre scalarle a destra significa eseguire una divisione. Questo scalamento pone il problema di come trattare le posizioni che si svuotano a destra, dopo ogni scalamento verso sinistra e le posizioni che si svuotano a sinistra, dopo ogni scalamento verso destra. Per risolvere il problema si ricordi che un numero positivo con virgola non cambia se si aggiungono zeri a sinistra e a destra del numero stesso. Così

$$011,01 = \dots 000011,01000\dots$$

È pertanto chiaro che nelle posizioni estreme che si sono svuotate dovranno essere introdotti degli zeri.

In Fig. 11.15-1 è illustrato un registro a scorrimento che contiene il numero  $+3,25 = 011,01$ . Nel registro sono state aggiunte due celle caricate con zeri dopo il bit meno significativo del numero e altre due pure caricate con zeri fra il bit di segno e il bit più significativo. Queste celle sono state aggiunte per evitare di perdere bit significativi durante la fase di scalamento. Il numero contenuto nel registro può venire diviso per 2 o per 4, spostando le cifre rispettivamente di una oppure di due posizioni verso destra. Se tentiamo di dividere per 8, il che implica uno spostamento di tre posizioni, il bit meno significativo (l'1 più a destra) esce dal registro e pertanto va perduto. L'errore do-

vuto al superamento della posizione più a destra del registro è uguale alla metà del peso numerico della posizione meno significativa del registro. Se il numero dei bit contenuti nel registro è elevato, tale errore, chiamato *errore di quantizzazione*, può essere accettabile.

Nel registro di Fig. 11.15-1 sono consentiti uno oppure due spostamenti verso sinistra, cioè si può moltiplicare il numero solo per 2 o per 4. Tre spostamenti porterebbero un 1 nella cella riservata al segno e pertanto non sono consentiti. Se la cella più a sinistra di Fig. 11.15-1 rappresentasse  $2^4$  anziché il segno, sarebbe possibile anche un terzo spostamento verso sinistra. Un quarto spostamento a sinistra però farebbe perdere il bit più significativo, provocando un errore inaccettabile, chiamato errore di overflow. In ogni caso, se il numero registrato è positivo, quando si esegue uno scalamento si devono sempre porre degli zeri nelle posizioni svuotate.

**Numeri negativi** Quando i numeri negativi vengono rappresentati mediante la notazione in complemento a due, la moltiplicazione e la divisione vengono eseguite, come per i numeri positivi, spostando la virgola binaria, oppure mantenendo fissa la virgola e spostando le cifre. Il numero  $-3,25$ , in notazione in complemento a due, scritto in un registro costituito solo dal numero di celle minimo indispensabile, può essere calcolato come

$$\begin{array}{r} 1000,00 \\ - 011,01 \\ \hline 100,11 \end{array}$$

Se il registro presenta delle celle in eccesso, due a sinistra e due a destra della virgola, scriveremo il numero come

$$\begin{array}{r} 100000,0000 \\ - 00011,0100 \\ \hline 11100,1100 \end{array}$$

Sia  $100,11$  che  $11100,1100$  rappresentano il numero decimale  $-3,25$ ; perciò è chiaro che aggiungendo un numero qualsiasi di 1 all'estremità di sinistra o un numero qualsiasi di 0 all'estremità di destra, il numero non cambia. Pertanto, nel caso di numeri negativi, quando si scala verso destra si devono introdurre sempre degli 1 nelle posizioni lasciate libere a sinistra. Nello scalamento verso sinistra, si devono introdurre invece degli zeri nelle celle lasciate libere a destra.

Lo scorrimento verso destra non genera errori fino a quando il bit meno significativo (l'1 più a destra) non esce dal registro. Lo scorrimento verso sinistra a sua volta non genera errori fino a che la cifra più significativa (lo zero più a sinistra) non viene a trovarsi nella cella all'estrema sinistra del registro (il bit del segno).

**Complemento a uno** Il numero  $-3,25$ , nella rappresentazione in complemento a uno, può essere scritto, in un registro costituito solo dal numero di celle minimo indispensabile, come

$$\begin{array}{r} 111,11 \\ 011,01 \\ \hline 100,10 \end{array}$$

Se il registro presenta delle celle in eccesso, due a sinistra e due a destra della virgola, si può scrivere

$$\begin{array}{r} 11111,1111 \\ 00011,0100 \\ \hline 11100,1011 \end{array}$$

Esaminando questo risultato, appare chiaro che, aggiungendo un numero qualsiasi di 1 all'estremità di sinistra o all'estremità di destra, il valore del numero non cambia. Pertanto in questo caso occorre introdurre degli 1 nelle posizioni che si vanno svuotando per effetto di uno scorrimento in entrambe le direzioni. Non si verifica alcun errore fino a che lo scorrimento verso destra non porta uno zero fuori dal registro o lo scorrimento verso sinistra non porta uno zero nella posizione del bit di segno.

Il metodo descritto viene spesso usato per l'esecuzione dei calcoli nei calcolatori digitali. Questo procedimento è però lento, dal momento che lo scorrimento richiede, per ogni passo, un impulso di clock. In molti sistemi digitali si ricorre a circuiti «cablati» che eseguono il cambiamento di scala automaticamente, sicché la variabile  $Y = 2^n X$  viene calcolata *istantaneamente non appena* viene data la  $X$ . Le figure, dalla Fig. 11.15-2a alla 11.15-2d, illustrano alcuni tipi di collegamento per il cambiamento di scala impiegati in filtri digitali e in altri sistemi di elaborazione digitale. Per semplicità sono illustrati circuiti per numeri a 5 bit. La Fig. 11.15-2a mostra i collegamenti necessari per determinare  $Y = 2^2 X$  in rappresentazione in complemento a due. Si noti che  $Y_1 = Y_0 = 0$  perché le posizioni più a destra devono essere riempite con degli zeri; inoltre il bit di segno non viene mai spostato dal momento che la moltiplicazione per una costante positiva non cambia il segno del numero. I bit  $X_3$  e  $X_2$ , a causa dello scalamento, vanno perduti; così se  $X_3$  o  $X_2$  sono 1, si verifica un errore di overflow. Si può anche realizzare un circuito a saturazione, per minimizzare l'errore, seguendo un procedimento simile a quello di Fig. 11.14-1.

La Fig. 11.15-2b illustra il circuito che determina  $Y = 2^{-2} X$  in rappresentazione in complemento a due. Si noti che i bit  $Y_3$  e  $Y_2$ , che si liberano dopo lo scalamento, sono collegati al bit del segno ( $Y_4$ ). Questo perché, se  $X$  è positivo, risulta  $Y_4 = Y_3 = Y_2 = 0$ , mentre, se  $X$  è negativo, risulta  $Y_4$

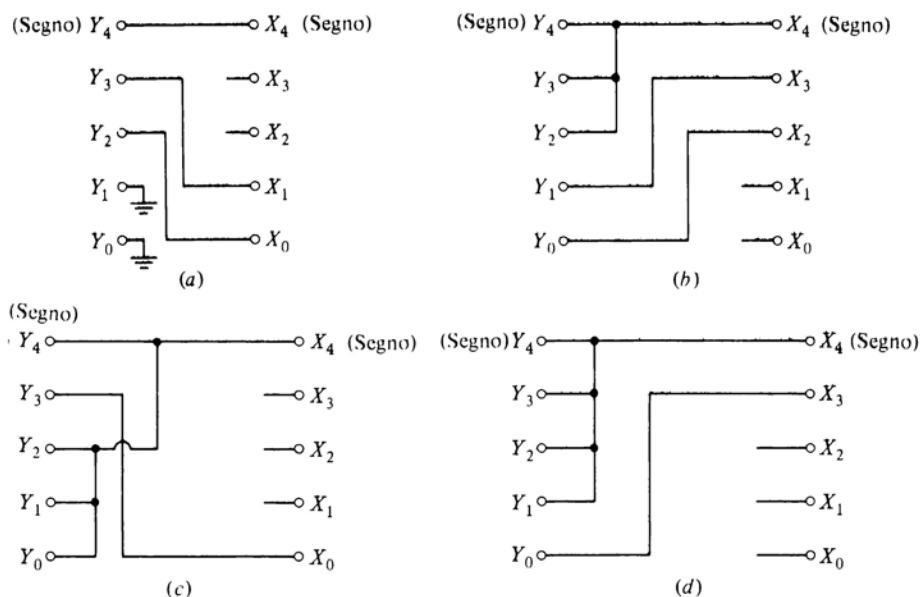


Figura 11.15-2 (a)  $Y = 2^2 X$  con  $X$  ed  $Y$  in rappresentazione in complemento a due. (b)  $Y = 2^{-2} X$  con  $X$  ed  $Y$  in rappresentazione in complemento a due. (c)  $Y = 2^3 X$  in rappresentazione in complemento a uno. (d)  $Y = 2^{-3} X$  in rappresentazione in complemento a uno. (Il simbolo di massa rappresenta il livello logico 0.)

$= Y_3 = Y_2 = 1$ . Si noti anche che i valori di  $X_1$  e  $X_0$  vanno perduti in seguito allo scalamiento.

La Fig. 11.15-2c illustra il circuito che si impiega per determinare  $Y = 2^3 X$  in rappresentazione in complemento a uno. In esso le uscite  $Y_0, Y_1, Y_2, Y_4$  sono connesse tutte insieme poichè  $Y_0, Y_1, Y_2$  devono assumere tutte lo stesso valore del bit di segno  $Y_4$ . La Fig. 11.15-2d illustra il circuito che determina  $Y = 2^{-3} X$ . Di nuovo i bit da inserire,  $Y_1, Y_2, Y_3$  sono collegati al bit del segno  $Y_4$ .

## 11.16 MOLTIPLICAZIONE

In Fig. 11.16-1 è illustrato il procedimento impiegato per eseguire la moltiplicazione. Il moltiplicando viene moltiplicato successivamente per tutte le cifre del moltiplicatore. I prodotti parziali vengono poi sommati, tenendo conto del diverso peso numerico delle cifre del moltiplicatore. Ciascun prodotto

parziale può essere identico a zero oppure al moltiplicando, a seconda che la cifra del moltiplicatore sia 0 o 1. Si noti che il prodotto presenta un numero di cifre superiore sia al moltiplicando che al moltiplicatore. Se ciascuno di essi ha  $N$  cifre, il prodotto può avere  $2N$  cifre; se i registri o gli altri dispositivi di memorizzazione presentano tutti lo stesso numero di posizioni, può accadere che il prodotto superi la capacità del registro che lo contiene. In Fig. 11.16-2 è illustrato un circuito moltiplicatore in grado di moltiplicare due parole di 3 bit ciascuna. Esso comprende un registro a scorrimento a 5 bit per il moltiplicando, un registro a scorrimento a 3 bit per il moltiplicatore e un accumulatore a 6 bit (abbiamo scelto di usare flip-flop di tipo  $D$ ). Inizialmente il moltiplicando viene caricato nei tre flip-flop di destra del registro moltiplicando, con il bit meno significativo in  $FF0$  ed il bit più significativo in  $FF2$ . Si suppone che il registro accumulatore sia stato azzerato.

Prima del primo impulso di clock è già pronto un prodotto parziale: la moltiplicazione viene eseguita dalle porte  $AND$  ed il prodotto parziale compare, come  $B_2 B_1 B_0$ , agli ingressi del sommatore e, come,  $S_2 S_1 S_0$ , alle uscite del sommatore. Al primo impulso di clock il prodotto parziale  $S_2 S_1 S_0$  viene registrato nei tre flip-flop di destra del registro accumulatore e si presenta, come  $A_2 A_1 A_0$ , all'ingresso del sommatore. Lo stesso primo impulso di clock, per quanto riguarda il registro che contiene il moltiplicatore, sposta il secondo bit del moltiplicatore nel flip-flop  $FF0$ , per quanto riguarda il registro che contiene il moltiplicando, sposta le tre cifre del moltiplicando di una posizione a sinistra. A questo punto alle uscite delle porte  $AND$  compare il secondo prodotto parziale come  $B_3 B_2 B_1$ , mentre alle uscite del sommatore compare, come  $S_4 S_3 S_2 S_1 S_0$ , la somma del primo prodotto parziale con il secondo. (La somma dei primi due prodotti parziali a 3 bit può dar luogo ad una parola a 5 bit). Dopo il secondo impulso di clock, la somma di tutti e tre i prodotti parziali, somma che rappresenta il prodotto finale richiesto, compare all'uscita del sommatore come  $S_5 S_4 S_3 S_2 S_1 S_0$ . Il terzo impulso consentirà di registrare la somma dei tre prodotti parziali nell'accumulatore e di azzerare il registro moltiplicatore. A questo punto la moltiplicazione è terminata.

	1	0	1	1					(Moltiplicando)
	1	1	0	1					(Moltiplicatore)
		1	0	1	1				} (Prodotti parziali)
		0	0	0	0				
		1	0	1	1				
	1	0	1	1					} (Prodotto)
1	0	0	0	1	1	1	1	1	

Figura 11.16-1 Esempio di moltiplicazione.

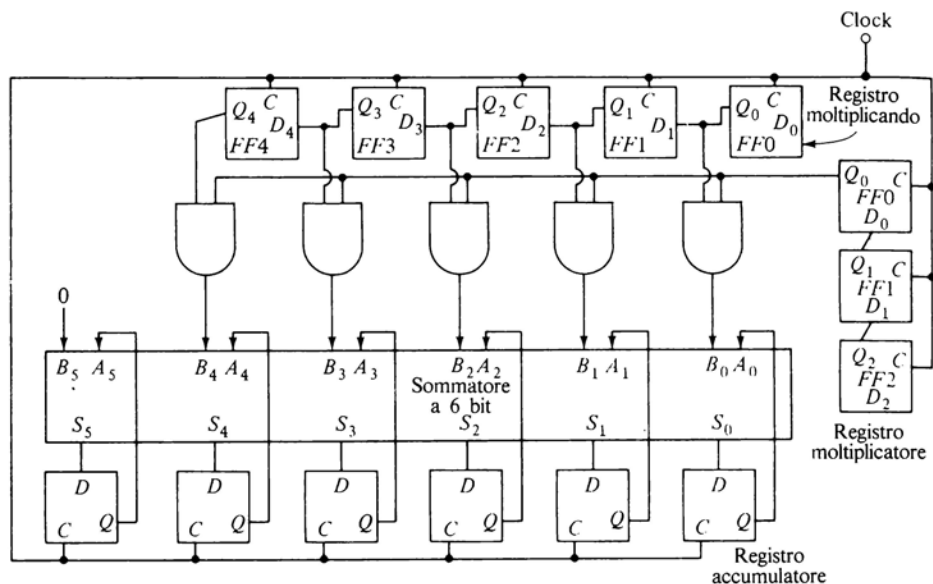


Figura 11.16-2 Moltiplicatore a 3 bit.

Il moltiplicatore seriale è relativamente lento in quanto la sua struttura prevede che le somme vengano eseguite una dopo l'altra. Esistono moltiplicatori parallelo che eseguono le addizioni in parallelo e riducono quindi sensibilmente il tempo necessario per eseguire la moltiplicazione.

## 11.17 DIVISIONE

La divisione può essere eseguita mediante sottrazioni successive. Per esempio, per dividere il numero decimale 22 per 3, sottraiamo 3 da 22 iterativamente finché il resto non diviene inferiore al divisore. Questa sottrazione può essere effettuata 7 volte, finché non si ha un resto di 1. A questo punto sottraiamo 0,3 da 1, finché è possibile. Questa sottrazione può essere effettuata tre volte finché non si ottiene il resto 0,1. Ora sottraiamo 0,03 da 0,1 ecc.; si giunge pertanto al quoziente 7,33... Come esempio prenderemo in esame un circuito che esegue il primo ordine di queste sottrazioni successive.

Ci limitiamo ad operare con numeri positivi; possiamo quindi omettere il bit di segno, risparmiando così una cella del registro. In assenza del bit di segno, per eseguire le sottrazioni quando il minuendo e il sottraendo sono entrambi positivi, si segue il procedimento indicato nella Tab. 11.17-1, che riporta le sottrazioni 13 (1101) – 9 (1001) e 9 – 13. Nel caso della differenza positiva si ha un bit di overflow che viene sommato al bit meno significativo.



Tabella 11.17-1

1101 (13)	1001 (9)
0110 (complemento a 1 di 9)	0010 (complemento a 1 di 13)
<hr/>	
10011	1011
└─┐	
└─┘	
0100 (4)	- 0100 (-4)

Nel caso della differenza negativa non si verifica alcun overflow e il risultato finale corretto è il complemento a uno della somma, preceduto dal segno meno. Si lascia al lettore verificare che quanto si è detto ha validità generale. Nel nostro caso è particolarmente interessante notare che, quando la differenza è positiva, si ha un 1 di overflow, mentre quando la differenza è negativa, non si ha alcun overflow.

In Fig. 11.17-1 è illustrato uno schema progettato per eseguire la divisione col metodo delle sottrazioni successive — limitatamente al primo ordine di sottrazioni — di un dividendo di quattro cifre  $X = X_3 X_2 X_1 X_0$  per un divisore  $Y = Y_3 Y_2 Y_1 Y_0$ . Il dividendo  $X$  viene caricato nel registro, costituito da quattro flip-flop di tipo  $D$ . Le uscite del registro sono collegate ciascuna ad uno degli ingressi del sommatore; gli altri ingressi del sommatore sono costituiti dal complemento a uno di  $Y$ , cioè da  $\bar{Y}_3 \bar{Y}_2 \bar{Y}_1 \bar{Y}_0$ . In linea di principio l'uscita di riporto  $C_3$  dovrebbe essere collegata all'ingresso  $C_{in}$ . Questa connessione però ci interessa soltanto quando  $C_3 = 1$ , per cui abbiamo fissato  $C_{in}$  a  $C_{in} = 1$ . Il contatore viene inizialmente azzerato.

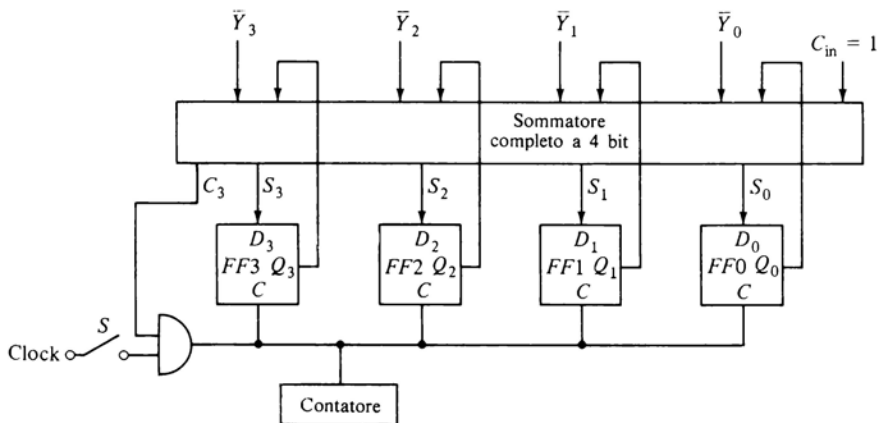


Figura 11.17-1 Divisore a sottrazioni successive.

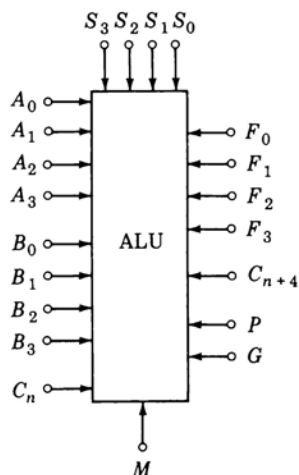


Figura 11.18-1 Rappresentazione di una unità aritmetico-logica (ALU).

Supponendo che  $X > Y$ , inizialmente  $C_3$  è  $C_3 = 1$  e pertanto la porta  $\text{AND}$  è abilitata. La differenza  $X - Y$  appare all'uscita del sommatore come  $S_3 S_2 S_1 S_0$ . Ora chiudiamo l'interruttore del clock. Il primo impulso di clock carica la differenza  $X - Y$  nel registro e fa avanzare il contatore di un passo. A questo punto il dato presente su  $S_3 S_2 S_1 S_0$  è  $(X - Y) - Y = X - 2Y$ . Se  $C_3$  è ancora ad **1**, la porta  $\text{AND}$  è abilitata ed il secondo impulso di clock carica  $X - 2Y$  nel registro, facendo contemporaneamente avanzare il contatore di un secondo passo, ecc. Se dopo  $n$  impulsi di clock il resto diviene inferiore ad  $Y$ , avremo  $C_3 = 0$ . La porta  $\text{AND}$  verrà allora disabilitata e il contatore verrà fermato. Pertanto sul contatore si potrà leggere il quoziente.

## 11.18 L'UNITÀ ARITMETICO-LOGICA

In commercio sono disponibili dei circuiti integrati ECL, TTL e CMOS chiamati unità aritmetico-logiche (ALU: *arithmetic-logic unit*). In queste unità i circuiti sono tutti di tipo combinatorio (cioè senza reazioni e senza flip-flop). La ALU è un dispositivo logico estremamente utile e versatile, poichè consente di effettuare, con un unico circuito integrato, un elevato numero di operazioni logiche ed aritmetiche diverse.

La Fig. 11.18-1 mostra una ALU tipica, la MC10181 in logica ECL. L'unità accetta come ingressi due parole di 4 bit,  $A = A_3 A_2 A_1 A_0$  e  $B = B_3 B_2 B_1 B_0$  ed un ingresso di riporto,  $C_n$ . Le operazioni che devono venire eseguite sui dati di ingresso sono determinate dai livelli logici presenti all'ingresso  $S =$

$S_3 S_2 S_1 S_0$  e all'ingresso di modo  $M$ . Con  $M = 1$ , le operazioni sono di tipo logico, mentre con  $M = 0$  viene scelta una combinazione di operazioni logiche ed aritmetiche. Le uscite sono disponibili su  $F = F_3 F_2 F_1 F_0$  e sull'uscita di riporto  $C_{n+4}$ . Dalla Tab. 11.18-1 vediamo che, ad esempio, se  $M = 0$  e  $S = 1001$ , l'uscita  $F$  è la somma aritmetica di  $A$  più  $B$ , somma in cui si è tenuto conto anche di un eventuale riporto prodotto da uno stadio precedente e presente su  $C_n$ . Si noti che usiamo il termine «più» per indicare l'addizione aritmetica, mentre con il segno «+» indichiamo l'operazione logica OR. Quando l'unità viene usata per eseguire operazioni di addizione ed è necessario che la velocità di esecuzione sia elevata, è prevista la possibilità di utilizzare un circuito di by-pass esterno, nella fattispecie il 10179<sup>1,2</sup>. La ALU è infatti provvista dei terminali  $P$  e  $G$  per il collegamento con il by-pass. Al terminale  $P$  viene presentato il riporto di ingresso che dovrebbe propagarsi attraverso la ALU, mentre al terminale  $G$  viene a presentarsi il riporto di uscita eventualmente generato dalla ALU stessa.

Vogliamo ora fare qualche considerazione su alcune delle funzioni riportate nella Tab. 11.18-1. Supponiamo, per esempio, di voler confrontare due numeri positivi  $A$  e  $B$  per determinare quale sia il maggiore dei due. Questa operazione (chiamata *confronto*) viene utilizzata in un algoritmo impiegato nella divisione. Se poniamo  $M = 0$  ed  $S = 0110$ , troviamo che  $F = A$  meno  $B$  meno 1. Se ora  $A > B$ , il bit di segno della parola d'uscita  $F$ , cioè  $F_3$ , sarà  $F_3$

Tabella 11.18-1 Tabella di funzioni.

Selezione di funzione				Funzioni logiche ( $M = 1$ )	Aritmetiche e logiche ( $M = 0$ )
$S_3$	$S_2$	$S_1$	$S_0$	$F$	$F$
0	0	0	0	$A$	$A$ meno 1
0	0	0	1	$A \cdot B$	$(A \cdot B)$ meno 1
0	0	1	0	$A \cdot \bar{B}$	$(A \cdot \bar{B})$ meno 1
0	0	1	1	0	meno 1 (in complemento a 2)
0	1	0	0	$A + B$	$A$ più $(A + \bar{B})$
0	1	0	1	$B$	$(A + \bar{B})$ più $(A \cdot B)$
0	1	1	0	$A \oplus B$	$A$ meno $B$ meno 1
0	1	1	1	$\bar{A} \cdot B$	$A + \bar{B}$
1	0	0	0	$A + \bar{B}$	$A$ più $(A + B)$
1	0	0	1	$\overline{A \oplus B}$	$A$ più $B$
1	0	1	0	$\bar{B}$	$(A + B)$ più $(A \cdot \bar{B})$
1	0	1	1	$\bar{A} \cdot \bar{B}$	$A + B$
1	1	0	0	1	$A$ per 2
1	1	0	1	$\bar{A} + B$	$A$ più $(A \cdot B)$
1	1	1	0	$\bar{A} + \bar{B}$	$A$ più $(A \cdot \bar{B})$
1	1	1	1	$\bar{A}$	$A$

= 0. Nella ALU i numeri negativi sono rappresentati secondo la notazione in complemento a due. Pertanto, se  $A \leq B$ ,  $F$  sarà negativa e quindi  $F_3 = 1$ .

La ALU MC10181 ECL è un'unità molto veloce; essa è in grado di sommare due numeri di 4 bit in circa 6,5 ns, generando un eventuale riporto di uscita in meno di 5 ns.

La ALU costituisce l'unità centrale di ogni microprocessore (MPU: *microprocessor unit*). All'interno di un microprocessore la ALU è collegata con registri a scorrimento, ROM e RAM (vedi Cap. 12) in modo da poter eseguire sequenze anche complesse di operazioni aritmetiche e logiche.

## BIBLIOGRAFIA

- 1 MECL Integrated Circuits DATA BOOK: Motorola Semiconductor Products, Inc., 1973.
- 2 Motorola Application Note AN-488 (prepared by J. M. DeLaune): Motorola Semiconductor Products, Inc., 1971.

## MEMORIE A SEMICONDUETTORE

Un elaboratore digitale deve essere in grado di immagazzinare informazioni. Queste informazioni possono essere costituite ad esempio dai numeri da utilizzare nei calcoli che l'elaboratore deve eseguire, oppure dai risultati intermedi di calcoli in corso, oppure dalle istruzioni per l'esecuzione dei calcoli stessi, oppure da tutte e tre le cose insieme. Anche in casi che non comportano l'esecuzione di calcoli può essere necessario disporre di mezzi capaci di memorizzare dei dati. Consideriamo per esempio una macchina progettata per apporre automaticamente gli indirizzi sulle lettere; questa macchina deve necessariamente essere provvista di un dispositivo in grado di immagazzinare e ricordare i nomi e gli indirizzi da utilizzare. La parte dell'elaboratore digitale che provvede a questa funzione di immagazzinamento dei dati prende il nome di *memoria* (*memory*). In questo capitolo tratteremo dell'organizzazione e della tecnologia delle memorie a semiconduttore.

### 12.1 TIPI DI MEMORIA

Esistono tre tipi fondamentali di memorie: la *memoria ad accesso sequenziale*, la *memoria ad accesso casuale* (RAM: *random-access memory*) e la *memoria a sola lettura* (ROM: *read-only memory*).

Un esempio comune di memoria sequenziale è il nastro di carta perforato (banda perforata) illustrato in Fig. 12.1-1. La banda è costituita da una striscia di carta sulla quale, trasversalmente alla lunghezza, sono riservati degli spazi in cui vengono rappresentati **1** o **0** logici. Un **1** logico può essere rappresentato mediante un foro praticato nel nastro, uno **0** logico dalla mancanza del foro nello spazio ad esso riservato. (Naturalmente si può benissimo convenire che la presenza del foro rappresenti lo **0** logico e la sua mancanza l'**1** logico.) I bit registrati sulla stessa colonna trasversale del nastro costituiscono una *parola* (*word*); pertanto le parole sono disposte in successione sulla lunghezza del nastro. In Fig. 12.1-1 si sono rappresentate parole a 5 bit. I cerchietti stanno ad indicare i fori e quindi devono essere letti come **1** logici. I puntini rappresentano gli spazi non forati e devono quindi essere letti come **0** logici. Così l' $n$ -esima parola è **10110**, la  $(n + 1)$ -esima parola è **11011**, ecc. I



Figura 12.1-1 Banda perforata. Esempio di memoria ad accesso sequenziale.

quadrantini situati nella parte inferiore del nastro rappresentano i fori di trascinamento del nastro. L'avanzamento del nastro deve avvenire in sincronismo con il resto del sistema di cui la memoria a banda fa parte. Per *scrivere* le parole si fa avanzare la banda passo-passo sotto una *testina di perforazione*. Per la *lettura*, che avviene in forma sequenziale, si fa avanzare il nastro passo-passo sotto una *testina di lettura* che può ad esempio essere costituita da cinque piccole sorgenti luminose accoppiate ad un ugual numero di dispositivi fotosensibili.

La caratteristica fondamentale della memoria di Fig. 12.1-1 è costituita dal fatto che le parole vengono scritte e lette *in sequenza*. Ad esempio, se sotto la testina di lettura c'è l' $n$ -esima parola, la  $(n + k)$ -esima parola non potrà essere letta se non dopo che il nastro è avanzato di  $k$  passi. Questo è il limite più grave delle memorie ad accesso sequenziale. Se, ad esempio, i dati che interessano sono immagazzinati in locazioni non successive ma casuali, occorrerà un certo intervallo di tempo, a volte anche considerevole, per averli a disposizione. D'altra parte le memorie ad accesso sequenziale presentano il vantaggio di essere relativamente economiche e molto convenienti quando sia possibile memorizzare i dati nello stesso ordine sequenziale con cui verranno richiamati.

Un altro tipo di memoria ad accesso sequenziale è costituito da un nastro su cui è depositata una pellicola di materiale magnetico; i bit vengono registrati sul nastro applicando un campo magnetico diretto in un verso o nel verso opposto. Come nel caso precedente, anche qui la scrittura e la lettura vengono eseguite facendo scorrere il nastro sotto una testina. Altre memorie a rivestimento magnetico utilizzano come supporto dischi o tamburi rotanti.

Anche nella memoria ad accesso casuale (RAM) le *parole* sono immagazzinate in *locazioni*, che sono però individuabili mediante un *indirizzo*; una volta noto l'indirizzo, si può accedere direttamente alla locazione desiderata per *scrivere* oppure *leggere* un dato. Il tempo richiesto per scrivere una paro-

la in una locazione di memoria viene chiamato *tempo di accesso in scrittura*; analogamente il tempo richiesto per leggere una parola da una locazione di memoria viene chiamato *tempo di accesso in lettura*.

Supponiamo di aver letto o scritto una parola da/in una prima locazione di memoria e di voler poi accedere ad una seconda locazione scelta a caso; in una memoria ad accesso casuale il tempo di accesso a questa seconda locazione è indipendente dalla posizione occupata dalla locazione stessa nella memoria. Questa situazione è completamente differente da quella delle memorie ad accesso sequenziale, nelle quali il tempo di accesso ad una certa locazione dipende dalla posizione di quest'ultima rispetto alla locazione precedentemente interessata.

La memoria a sola lettura (ROM) è un particolare tipo di memoria ad accesso casuale. La ROM differisce dalla RAM per il fatto che in essa non è possibile eseguire la scrittura in tempo reale, cioè durante il funzionamento del sistema di cui la memoria fa parte. Il contenuto della memoria di solito è scritto dal costruttore o dall'utente e, una volta scritto, non può più venire cambiato.

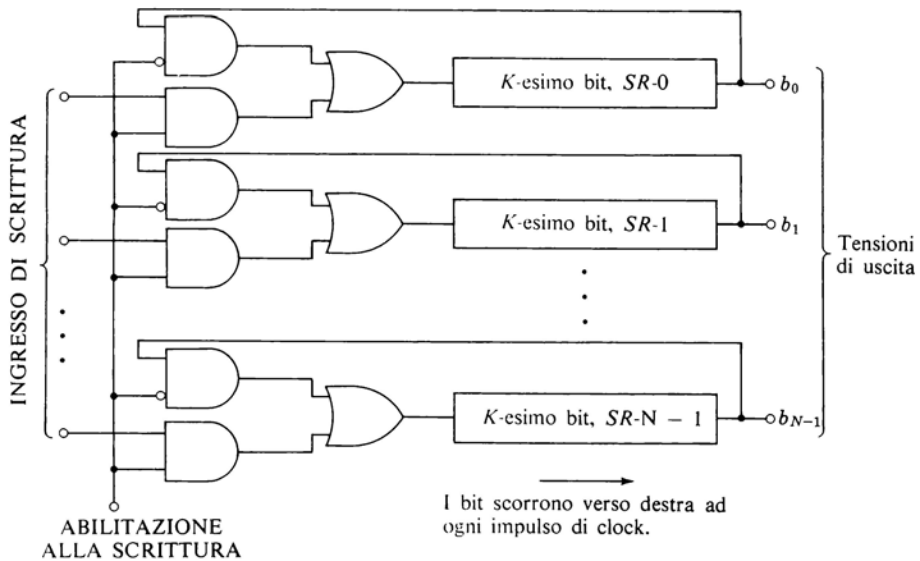


Figura 12.2-1 Memoria ad accesso sequenziale realizzata con registri a scorrimento.

## 12.2 MEMORIE SEQUENZIALI REALIZZATE CON REGISTRI A SCORRIMENTO

Le memorie sequenziali del paragrafo precedente richiedono, per il loro funzionamento, la presenza di parti meccaniche in movimento; per questo motivo la loro velocità di funzionamento non può essere troppo elevata. In Fig. 12.2-1 è illustrata una memoria sequenziale realizzata con registri a scorrimento.

Questa memoria utilizza  $N$  registri a scorrimento, ciascuno costituito da  $K$  stadi, e permette l'immagazzinamento di  $K$  parole, ciascuna di  $N$  bit. Ogni registro memorizza uno degli  $N$  bit di ciascuna delle  $K$  parole. Ad ogni ciclo di clock (il terminale di clock non è indicato in Fig. 12.2-1) i bit di ciascun registro avanzano di una posizione; pertanto le parole immagazzinate compaiono *in sequenza* alle uscite  $b_0, b_1, \dots, b_{N-1}$ . In questa memoria sequenziale la parola in lettura, che è costituita dall'insieme dei bit registrati nell'ultima posizione di destra di ciascun registro, può venire trasferita all'estremità di sinistra del registro, come in un registro a ricircolazione (registro ad anello). In questo modo l'intera sequenza delle parole memorizzate può venire ripresentata all'uscita della memoria fintanto che il segnale di clock continua a pilotare i registri. Da questo punto di vista questa memoria è simile ad una memoria a banda in cui le due estremità del nastro siano unite insieme a formare un anello chiuso.

Se il livello logico sulla linea di *abilitazione alla scrittura* (*write-enable*) è posto ad **1**, l'anello di ricircolazione viene interrotto. In questo caso i bit applicati alle linee di *ingresso-scrittura* in sincronismo con il clock vengono a riempire sequenzialmente tutte le posizioni dei registri a scorrimento. Pertanto ponendo la linea di abilitazione alla scrittura ad **1** si può *cancellare* la memoria e sostituirla con il contenuto.

Partendo con la memoria pulita, la prima parola scritta sarà anche la prima a comparire in uscita, in fase di lettura. Questa memoria è pertanto un sistema FIFO (*first-in first-out*: primo ad entrare, primo ad uscire).

In Fig 12.2-2 è illustrato un secondo tipo di memoria sequenziale realizzata con registri a scorrimento. Anche questa memoria impiega  $N$  registri a scorrimento di  $K$  bit ciascuno per realizzare una capacità di immagazzinamento di  $K$  parole di  $N$  bit ciascuna, ma è organizzata in maniera diversa dalla memoria di Fig. 12.2-1. I punti in cui le due memorie differiscono sono essenzialmente i seguenti: (1) non ci sono più i collegamenti di ricircolazione del circuito precedente; (2) l'ingresso dati e l'uscita dati fanno capo entrambi, in ogni registro, allo stesso stadio; (3) vengono impiegati registri con scorrimento nei due sensi (vedi Par. 10.5). Se pensiamo come stadio base dei registri a scorrimento al flip-flop di tipo  $D$ , allora, in ogni registro, l'ingresso dati sarà collegato con l'ingresso  $D$  del flip-flop situato all'estremità inferiore del registro, mentre l'uscita dati coinciderà con l'uscita  $Q$  dello stesso flip-flop.



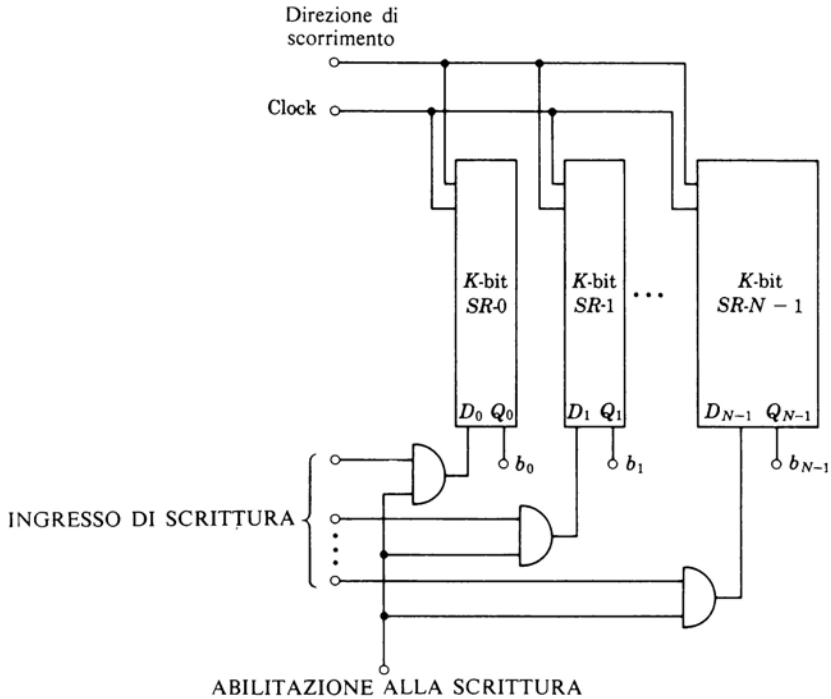


Figura 12.2-2 Memoria sequenziale di tipo FILO realizzata con registri a scorrimento.

Poniamo la linea di *abilitazione alla scrittura* ad **1** logico e la linea di *direzione dello scorrimento* in modo che lo scorrimento dei bit avvenga verso l'alto; presentiamo poi, in sincronismo con il clock, una sequenza di parole alle linee di *ingresso-scrittura*. Complessivamente possono quindi venire immagazzinate  $K$  parole. Ogni parola entra nella memoria dal basso e si sposta verso gli stadi superiori, lasciando il posto alla parola successiva, come se le parole venissero impilate l'una sull'altra, con la prima parola in cima alla «pila». Per leggere in successione le parole registrate, si deve porre la linea di *abilitazione alla scrittura* allo **0** logico e invertire verso il basso la direzione dello scorrimento. Ad ogni ciclo di clock le parole registrate compaiono all'uscita della memoria in ordine inverso a quello con cui sono state registrate. Questa memoria è un sistema FILO (*first-in last-out*: primo ad entrare, ultimo ad uscire). Per usare un'immagine espressiva, è come se la pila di parole venisse premuta dall'alto e le parole uscissero fuori dal basso, una dopo l'altra in successione. Per questo motivo questa memoria è chiamata anche *push-down stack*.

## 12.3 STADI DI REGISTRI A MOS

Come noto, la tecnologia MOS risulta particolarmente vantaggiosa nell'integrazione su larga scala (LSI). Infatti un dispositivo MOS generalmente occupa sul chip di silicio una zona molto più piccola dell'equivalente dispositivo bipolare. Pertanto i MOS sono largamente impiegati nelle memorie sequenziali di grande capacità che utilizzano registri a scorrimento. Consideriamo ora le caratteristiche ed il funzionamento degli stadi a MOS che, posti in cascata, costituiscono i registri a scorrimento.

Si è già visto che i registri a scorrimento sono costituiti da flip-flop in cascata e che questi flip-flop devono essere del tipo master-slave o equivalenti, come si è spiegato nel Cap. 9. Vale a dire, l'uscita del flip-flop, dopo che ha risposto ai dati presenti all'ingresso, deve rimanere insensibile ad eventuali cambiamenti dell'ingresso per tutto il resto del ciclo di clock. Per quanto riguarda gli stadi a MOS che costituiscono i registri a scorrimento, viene da chiedersi se la loro struttura sia proprio quella del flip-flop master-slave; vedremo però che, se non altro, almeno il loro funzionamento è, entro certi limiti, proprio quello dei flip-flop master-slave.

Consideriamo il circuito invertitore a MOS di Fig. 12.3-1. Nella descrizione di questo e degli altri circuiti che seguiranno, useremo alcuni simboli semplificati, per una maggior chiarezza descrittiva. Per prima cosa useremo per il FET un simbolo in cui mancano sia l'indicazione del substrato sia quella di PMOS o di NMOS; in tutto il capitolo supporremo tuttavia di impiegare degli NMOS. Pertanto la tensione di alimentazione  $V_{DD}$  è positiva ed il FET si trova in conduzione quando la sua tensione di gate è positiva ed in interdizione quando la tensione di gate è zero (a massa). Adottiamo inoltre la logica positiva, per cui il FET è in conduzione quando il suo gate è al livello logico **1** ed in interdizione quando il suo gate è al livello logico **0**, cioè nominalmente a massa.

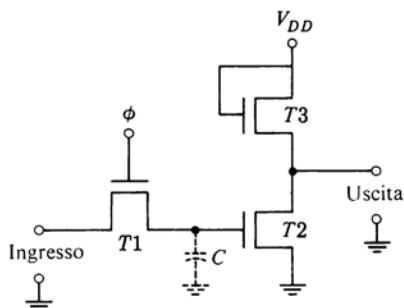


Figura 12.3-1 Circuito MOS in grado di immagazzinare temporaneamente un bit.

Torniamo ora al circuito di Fig. 12.3-1; portiamo di colpo la tensione  $\Phi$  del gate di  $T1$  ad 1 logico. Qui, come in seguito, supponiamo che l'1 logico sia una tensione sufficientemente alta da garantire che, quando è applicata al gate di un FET, il FET divenga *ON* anche se il suo source non si trova a massa. La capacità  $C$  si caricherà allora al livello logico presente sulla linea ingresso-dati durante l'intervallo in cui  $\Phi = 1$ . (Supponiamo che la linea ingresso-dati venga mantenuta ad un livello fisso per tutto l'intervallo in cui  $\Phi = 1$ .) Il transistor  $T1$  funge da interruttore ed è chiamato *porta di trasmissione* (vedi Par. 13.5), poichè svolge la funzione di collegare  $C$  alla linea ingresso-dati.

Quando  $T1$  diviene *OFF*, l'invertitore costituito da  $T2$  e  $T3$  *ricorderà* il dato d'ingresso grazie alla carica immagazzinata sulla capacità. La capacità è disegnata a tratteggio perchè è costituita dalle capacità parassite presenti sul gate del transistor e non da un condensatore reale inserito appositamente nel circuito. Valori tipici di  $C$  sono dell'ordine di 0,5 pF. Poichè questo circuito *immagazzina* o *ricorda* un bit, esso svolge la stessa funzione del flip-flop. Però, rispetto al flip-flop, presenta lo svantaggio di avere una memoria di vita breve. La carica su  $C$  infatti col tempo tende a disperdersi. Questa dispersione di carica è dovuta in piccola parte alle perdite attraverso lo strato isolante al di sotto del gate del transistor  $T2$  ed in gran parte alle perdite attraverso la giunzione polarizzata inversamente fra il substrato ed il drain di  $T1$ . In pratica la capacità è in grado di conservare la carica per un tempo dell'ordine di circa 1 ms. Se in questo circuito invertitore venissero impiegati dispositivi bipolari, il tempo di immagazzinamento risulterebbe di molti ordini di grandezza più piccolo, a causa del valore relativamente elevato della corrente di base necessaria per pilotare un transistor bipolare. Con i transistori bipolari il tempo di immagazzinamento sarebbe così breve da impedire completamente il funzionamento del circuito.

Lo stadio di un registro a scorrimento può essere costituito, come illustrato in Fig. 12.3-2, da due stadi invertitori del tipo di quello di Fig. 12.3-1. Sono allora necessarie due tensioni di controllo  $\Phi_1$  e  $\Phi_2$  per le due porte di trasmissione  $T1$  e  $T4$ . Le fasi dei due segnali di controllo, come illustrato in Fig. 12.3-2b, sono tali che  $T1$  e  $T4$  non possono mai essere *ON* contemporaneamente. Quando  $\Phi_1 = 1$ , il bit presente all'ingresso viene trasferito su  $C_1$  e contemporaneamente il complemento del bit immagazzinato su  $C_2$  viene trasferito su  $C'_1$ , che rappresenta la capacità di immagazzinamento di ingresso dello stadio successivo. Mentre  $\Phi_1 = 1, \Phi_2 = 0$ ; quindi durante l'intervallo in cui il nuovo bit d'ingresso viene immagazzinato su  $C_1$ , provocando un possibile cambiamento all'uscita dell'invertitore d'ingresso ( $T2$  e  $T3$ ), lo stadio di uscita, e quindi il bit che è in fase di trasferimento allo stadio successivo, non vengono influenzati dal nuovo bit di ingresso. Quando  $\Phi_2$  diviene  $\Phi_2 = 1$ , il complemento del bit immagazzinato su  $C_1$  sarà trasferito su  $C_2$ . È chiara l'analogia con il funzionamento del flip-flop master-slave. Il primo stadio invertitore, con la sua capacità di immagazzinamento, funge da

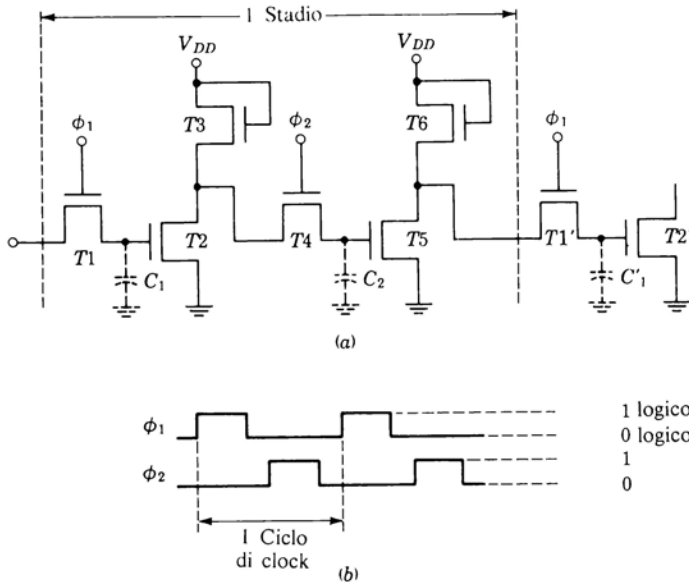


Figura 12.3-2 Stadio di registro a scorrimento dinamico a MOS.

flip-flop master; il secondo stadio invertitore, con la sua capacità di immagazzinamento, funge da flip-flop slave. Il fatto che siano richieste due fasi per la tensione di controllo è analogo al fatto che per il master e per lo slave siano richiesti segnali di clock complementari.

Occorre però tenere presente che il circuito di Fig. 12.3-2 non è un vero flip-flop. Infatti se l'intervallo fra la transizione negativa e quella positiva di  $\Phi_1$  è troppo elevato, la carica su  $C_1$  si esaurisce per dispersione. Per evitare ciò il registro viene fatto funzionare «dinamicamente» con un valore massimo del periodo di  $\Phi_1$  e  $\Phi_2$  tipicamente inferiore ad 1 ms. Pertanto questo registro viene chiamato *registro a scorrimento dinamico*.

Nel circuito di Fig. 12.3-2, se il bit immagazzinato su  $C_1$  è **1**, per l'intero intervallo fra un bit e l'altro  $T2$  e  $T3$  sono in conduzione, dissipano potenza e assorbono corrente dall'alimentazione  $V_{DD}$ . Se il bit è uno **0**,  $T2$  e  $T3$  non conducono, ma per un intervallo uguale alla durata del ciclo di clock  $C_2$  terrà immagazzinato un **1** e quindi  $T5$  e  $T6$  saranno in conduzione e dissiperanno potenza. Il consumo di potenza può venire ridotto in maniera significativa con la modifica illustrata in Fig. 12.3-3. In questo circuito i gate di  $T3$  e  $T6$  non sono più tenuti a  $V_{DD}$ , ma vengono controllati dal clock. In questo modo  $T3$  conduce solo quando conduce  $T4$  e  $T6$  conduce solo quando conduce  $T1'$ .

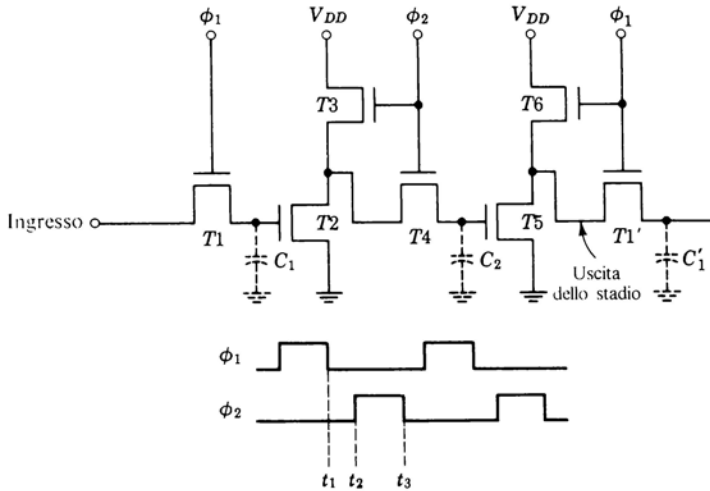


Figura 12.3-3 Stadio di registro a scorrimento dinamico a MOS con carico controllato dal clock.

Se il bit immagazzinato su  $C_1$  o  $C_2$  è uno **0**, allora l'invertitore corrispondente non conduce. Se però su  $C_1$  o  $C_2$  è immagazzinato un **1**, l'invertitore corrispondente conduce, ma solo per l'intervallo in cui  $\phi_2$  o  $\phi_1$  sono ad **1** logico. Il segnale  $\phi_2$  (o  $\phi_1$ ) richiede di essere mantenuto ad **1** logico soltanto per il tempo sufficiente a permettere a  $C_2$  (o  $C_1$ ) di venire caricato da  $V_{DD}$  attraverso  $T3$  e  $T4$  (o attraverso due altri transistori corrispondenti). Siccome questo tempo di carica è sensibilmente minore di un ciclo completo di clock (specialmente quando si hanno basse velocità di clock), la disposizione circuitale *con carico controllato dal clock* di Fig. 12.3-3 può portare ad una sensibile riduzione del consumo di potenza. Con il carico controllato dal clock però il carico capacitivo sul generatore di clock risulta più elevato; inoltre la topologia del circuito integrato diviene più complessa, perchè il clock deve essere collegato anche con i gate dei carichi. A causa dell'elevato valore della corrente richiesta, è spesso necessario che il generatore di clock sia un circuito TTL.

In Fig. 12.3-4 è illustrata una variante dello stadio con carico controllato dal clock. In questo circuito il clock delle porte di trasmissione ( $T1$ ,  $T4$ , ecc.) è collegato al gate del carico dell'invertitore successivo anzichè al gate del carico dell'invertitore precedente. In questo caso per il funzionamento del circuito è richiesta la presenza di un'altra capacità  $C_3$  all'uscita dell'invertitore. Quando  $\phi_1 = 1$ , il bit di ingresso viene trasferito su  $C_1$  ed il suo complemento su  $C_3$ . Quando  $\phi_2 = 1$ , il bit su  $C_3$  viene trasferito su  $C_2$  ed il suo complemento su  $C_4$ . Il bit di ingresso viene così immagazzinato su  $C_4$ , che costituisce l'ingresso dello stadio successivo.

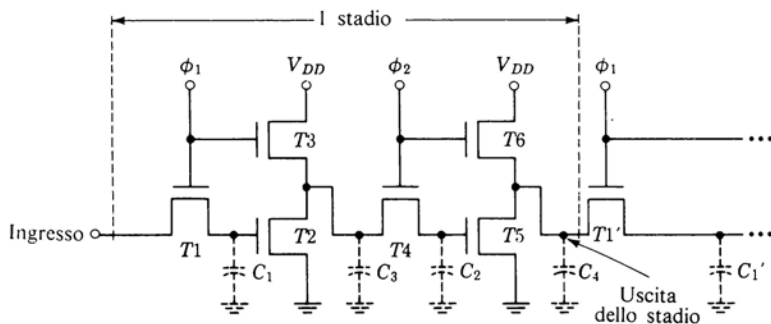


Figura 12.3-4 Altra configurazione di registro a scorrimento dinamico a MOS con carico controllato dal clock.

Per capire la funzione di  $C_3$ , consideriamo di nuovo il trasferimento del bit di ingresso attraverso il primo invertitore e la porta di trasmissione  $T_4$ , fino a  $C_2$ ; supponiamo inoltre che il bit di ingresso sia uno **0** e che  $C_3$  per il momento non ci sia. Allora quando  $\Phi_1$  diviene  $\Phi_1 = 1$ , il complemento del bit d'ingresso comparirà all'uscita dell'invertitore. Ma quando  $\Phi_1$  ritorna a  $\Phi_1 = 0$ , sia  $T_3$  che  $T_2$  si interdicono e l'uscita dell'invertitore viene isolata dal suo ingresso. Se invece è presente  $C_3$ , essa è in grado di immagazzinare il complemento del bit di ingresso. Allora quando  $\Phi_2$  va a  $\Phi_2 = 1$ , il livello logico **1** immagazzinato su  $C_3$  può venire trasferito su  $C_2$  attraverso  $T_4$ . Poichè  $C_3$  deve provvedere a caricare  $C_2$  mantenendo ai suoi capi una tensione corrispondente all'**1** logico, è necessario che sia  $C_3 \gg C_2$ . Come si può verificare, quando il bit di ingresso è **1**, la presenza di  $C_3$  non è più necessaria.

## 12.4 REGISTRO A SCORRIMENTO *RATIOLESS* A DUE FASI

Gli stadi costituenti i registri a scorrimento esaminati nel paragrafo precedente implicano in ogni caso la presenza dei classici stadi invertitori. Come descritto nel Par. 8.3, tali stadi invertitori sono costituiti da un FET pilota e da un FET di carico. Il rapporto (*ratio*) fra la resistenza del canale del carico e la resistenza del canale del pilota deve essere elevata, cioè  $(W/L)_D \gg (W/L)_I$ , per garantire una transizione netta fra il livello alto ed il livello basso della tensione d'uscita. Come è noto, questi stadi invertitori *a rapporto* vengono costruiti con il canale del FET di carico più lungo e più stretto del canale del FET pilota. Per questo motivo il FET di carico occupa sul chip dell'integrato un'area più estesa di quella occupata dal FET pilota. Inoltre a causa dell'elevata resistenza del canale del carico, la velocità di funzionamento dell'invertitore risulta limitata. Infatti in un ciclo di clock completo ci sono sempre delle capacità che devono caricarsi attraverso questa resistenza di va-

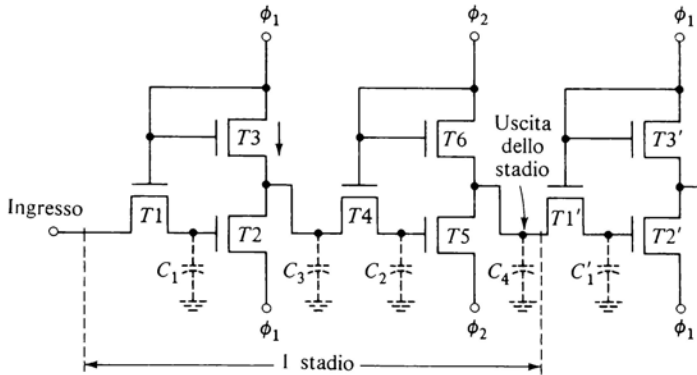


Figura 12.4-1 Stadio di registro a scorrimento dinamico *ratioless*.

lore elevato. Entrambi questi inconvenienti, l'estensione della superficie occupata e la limitazione della velocità di funzionamento, possono essere eliminati impiegando, invece del classico invertitore, una coppia di FET a bassa resistenza e con la stessa geometria.

In Fig. 12.4-1 è illustrato uno stadio di registro a scorrimento di questo tipo, chiamato appunto *ratioless*. Si osservi che questo circuito è simile a quello illustrato in Fig. 12.3-4, eccetto il fatto che i collegamenti alla tensione di alimentazione e alla massa sono stati sostituiti con collegamenti alle fasi del clock. Nella trattazione che segue, per comodità supporremo che  $\Phi = 0$  significhi che  $\Phi$  si trova a 0 V e che  $\Phi = 1$  significhi che  $\Phi$  si trova ad una tensione positiva  $V_{DD}$  prestabilita (ad esempio 10 V). Analogamente il livello logico 0 ed il livello logico 1 dei dati da trasferire attraverso lo stadio coincidono rispettivamente con 0 V e  $V_{DD}$ .

Supponiamo ora che il bit di ingresso sia un 1. Allora quando  $\Phi_1$  va a  $V_{DD}$ ,  $C_1$  si carica a  $V_{DD}$ . Dal momento che con  $\Phi_1$  a  $V_{DD}$   $T_3$  è ON, anche la capacità  $C_3$  si carica a  $V_{DD}$ . Si noti che durante la carica di  $C_3$  il transistor  $T_2$  è OFF, poichè la tensione del gate di  $T_2$  non supera mai la tensione di source di  $T_2$  di un valore almeno pari alla tensione di soglia  $V_T$ . La coppia  $T_2$  e  $T_3$  in questa fase non si comporta pertanto da invertitore.

Quando  $\Phi_1$  torna a 0 V,  $T_3$  diviene OFF e  $T_2$  ON poichè la carica immagazzinata in  $C_1$  fa sì che  $V_{GS}(T_2)$  superi la tensione di soglia. Pertanto  $C_3$  si scarica attraverso  $T_2$  e scende a 0 V. In definitiva, dopo che l'impulso di clock  $\Phi_1$  è tornato a 0 V, il bit immagazzinato in  $C_3$  risulterà essere il complemento del bit di ingresso. Il risultato finale quindi è lo stesso che se  $T_2$  e  $T_3$  funzionassero come invertitori. Si può in modo analogo verificare che se il bit di ingresso è uno 0, si verifica di nuovo un'inversione. Quando  $\Phi_2$  durante

il suo ciclo passa da **0** a **1** e poi di nuovo a **0**, il complemento del bit presente su  $C_3$  viene trasferito su  $C_4$ . Lo stadio *ratioless* di Fig. 12.4-1 costituisce un carico capacitivo elevato per il generatore del clock, poichè tale generatore deve fornire la corrente di carica necessaria alle capacità.

## 12.5 STADIO *RATIOLESS* A QUATTRO FASI

Nel circuito di Fig. 12.4-1 (come nel circuito di Fig. 12.3-4) è necessario che si abbia  $C_3 \gg C_2$ , dal momento che  $C_2$  deve poter essere caricato da  $C_3$  senza provocarne un cambiamento apprezzabile di tensione. L'elevata capacità di  $C_3$  comporta un duplice inconveniente: (1) costituisce una limitazione alla velocità di funzionamento e (2) impegna un'area relativamente estesa del chip. Lo schema di Fig. 12.5-1a evita questi inconvenienti dal momento che in esso non ci sono capacità che devono caricare altre capacità. Questo circuito presenta però l'inconveniente di richiedere un segnale di clock a quattro

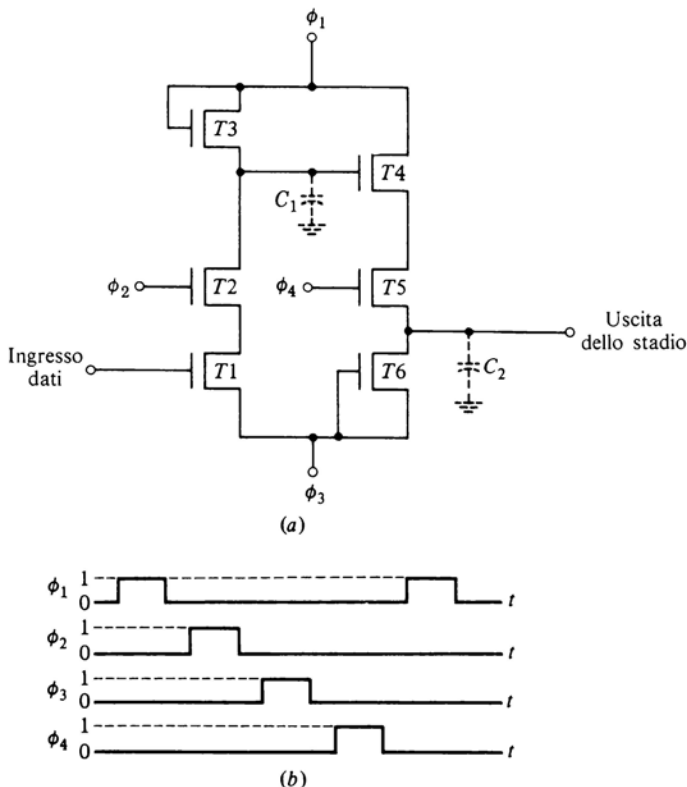


Figura 12.5-1 (a) Stadio di registro *ratioless* a quattro fasi. (b) Forme d'onda del clock.



fasi. Le forme d'onda sono illustrate in Fig. 12.5-1b. Durante l'intervallo in cui  $\Phi_1 = 1$ ,  $C_1$  si carica ad 1 logico. In questo intervallo l'ingresso è escluso, essendo  $\Phi_2 = 0$  e perciò  $T2$  OFF. Il livello logico 1 rimane immagazzinato in  $C_1$  dopo che  $\Phi_1$  è tornato a  $\Phi_1 = 0$ . Supponiamo ora che l'ingresso sia ad 1 logico. Quando  $\Phi_2$  diviene 1 e  $T2$  diviene ON,  $C_1$  si scaricherà attraverso  $T2$  e  $T1$ , lasciando  $C_1$  allo 0 logico. Su  $C_1$  si è immagazzinato così il complemento del bit di ingresso. Si può analogamente verificare che se il bit d'ingresso è 0, quando  $\Phi_2$  diventa 1,  $T1$  rimane interdetto ed il bit immagazzinato su  $C_1$  è ancora il complemento del bit d'ingresso. In modo simile, tramite le fasi di clock  $\Phi_3$  e  $\Phi_4$ , il complemento del livello logico immagazzinato su  $C_1$  viene trasferito su  $C_2$  e quindi all'ingresso dello stadio successivo. Questo circuito presenta l'inconveniente che  $\Phi_1$  deve fornire la corrente di carica di  $C_1$  e  $\Phi_3$  quella di  $C_2$ .

## 12.6 STADI DI REGISTRI A CMOS

Gli stadi a CMOS dei registri a scorrimento sono costituiti, come nel caso degli stadi a MOS, da invertitori e da porte di trasmissione (con l'utilizzazione essenziale delle capacità parassite). L'invertitore a CMOS è stato trattato nei Par. 1.15 e 8.4; ora il suo schema viene nuovamente riproposto in Fig. 12.6-1. Per comodità di trattazione assumiamo la tensione di alimentazione  $V_{SS} = +10$  V. L'ingresso  $V_i$  e l'uscita  $V_o$  presenteranno allora un'escursione da 0 V (massa) a 10 V. A questo punto prendiamo in considerazione una porta di trasmissione che debba lavorare con questi valori di tensione, con tensioni cioè da 0 a 10 V. Innanzi tutto la porta, per funzionare, ha bisogno di un segnale di clock: supponiamo che anche il clock  $\Phi$  presenti un'escursione fra 0 V e 10 V.

Consideriamo dapprima il circuito di Fig. 12.6-2a, relativo ad una porta di trasmissione MOS utilizzando un unico dispositivo a canale  $n$ . Il compito della porta è quello di isolare/collegare la capacità da/all'ingresso  $V_i$ , che può assumere i valori  $V_i = 0$  V oppure  $V_i = 10$  V. Supponiamo che la tensione di

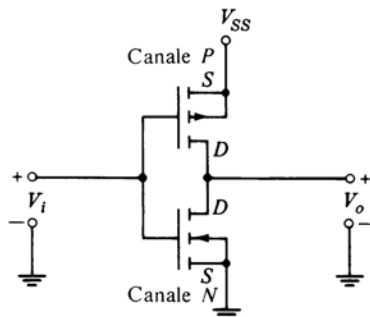


Figura 12.6-1 L'invertitore CMOS.

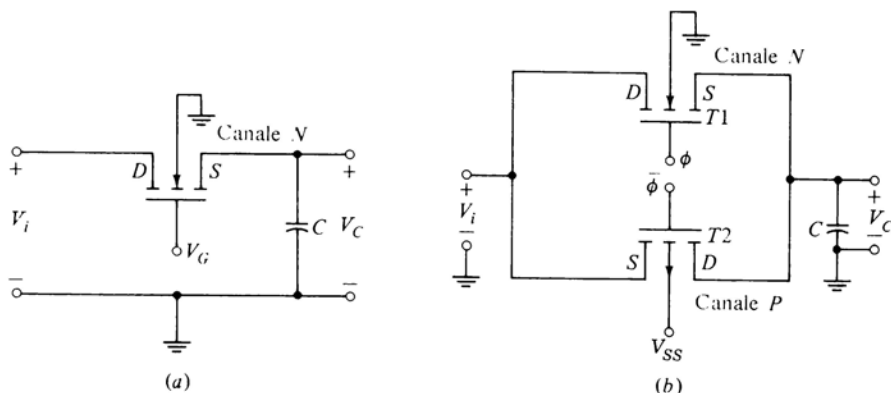


Figura 12.6-2 (a) Porta di trasmissione a MOS per consentire la carica di un condensatore da parte di un generatore di tensione. (b) Porta di trasmissione a CMOS.

soglia del transistor sia  $V_T = 2$  V. Inizialmente sia  $V_i = 0$  V e la tensione sulla capacità sia  $V_C = 0$  V; supponiamo poi che  $V_i$  divenga  $V_i = 10$  V ma che si abbia  $V_G = 0$  V. Il transistor allora rimarrà OFF poichè  $V_{GS} < V_T$  e la capacità non si caricherà. Si porti ora  $V_G$  a  $V_G = 10$  V. La corrente scorrerà nel transistor da sinistra verso destra. Poichè il transistor è un MOS a canale  $n$ , il verso della corrente stabilisce che il drain è il terminale di sinistra ed il source il terminale di destra, come indicato nella figura. Poichè la tensione di soglia (cioè la tensione gate-source  $V_{GS}$  al limite dell'interdizione) è di 2 V, il transistor cesserà di essere in conduzione quando  $V_C$  arriverà a 8 V, poichè a questo punto  $V_{GS} = V_G - V_C = 10 - 8 = 2$  V. Se ora, con  $V_G$  fisso a  $V_G = 10$  V, l'ingresso torna a  $V_i = 0$  V, la direzione della corrente si inverte, il source ed il drain si scambiano di posizione e la capacità può scaricarsi completamente a 0 V. In definitiva questa porta di trasmissione, in una logica i cui livelli differiscono di 10 V, è in grado di trasmettere segnali logici di ampiezza pari ad 8 V. Questa caratteristica, che in definitiva costituisce un limite, è propria di tutte le porte di trasmissione degli stadi a MOS dinamici trattati nel paragrafo precedente. Questa caratteristica non impedisce alle porte o agli stadi di funzionare correttamente, ma riduce il loro margine di rumore.

Questo limite delle porte di trasmissione a MOS viene superato nella porta a CMOS di Fig. 12.6-2b. In questa porta i due transistori CMOS sono disposti in parallelo e le tensioni di controllo sono complementari. Torniamo al caso in cui  $V_i = 10$  V e la capacità è in fase di carica. La corrente nei due transistori scorre da sinistra a destra. Però poichè il transistor  $T2$  è un MOS



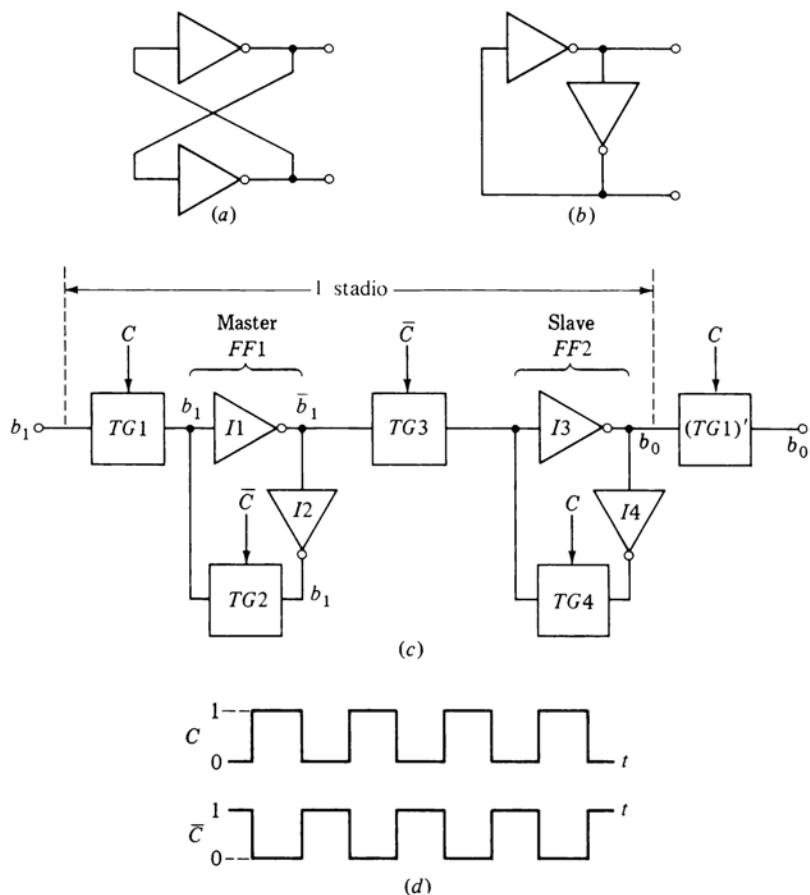


Figura 12.7-1 (a) Flip-flop costituito da due invertitori con accoppiamento incrociato. (b) Lo stesso flip-flop disegnato in modo diverso. (c) Stadio di registro a scorrimento statico a MOS o a CMOS. (d) Le forme d'onda del clock richiesti in (c).

una superficie maggiore di quella occupata dall'invertitore e dalla porta a MOS.

## 12.7 STADIO DI REGISTRO A SCORRIMENTO STATICO

Gli stadi dinamici del paragrafo precedente non sono in grado di funzionare se il periodo del clock è maggiore del tempo per cui la capacità parassita è in grado di conservare la carica immagazzinata. Quando un registro a scorri-

mento deve lavorare a frequenze molto basse, gli stadi dinamici vengono sostituiti da stadi statici.

In Fig. 12.7-1a è illustrato un flip-flop convenzionale nelle sue parti essenziali. Lo stesso flip-flop viene ridisegnato in Fig. 12.7-1b per mettere in evidenza che il circuito è composto da due invertitori disposti in cascata, in cui l'uscita del secondo invertitore è riportata indietro all'ingresso del primo. In Fig. 12.7-1c è illustrato uno stadio di registro a scorrimento statico a MOS o a CMOS. Un circuito analogo era stato esaminato nel Par. 9.21. Si noti che in questo caso sia il flip-flop master che il flip-flop slave sono stati modificati con l'introduzione nel collegamento di reazione di una porta di trasmissione ( $TG2$  e  $TG4$ ). Ogni stadio presenta ancora altre due porte di trasmissione ( $TG1$  e  $TG3$ ) disposte fra i flip-flop. Lo schema circuitale degli invertitori a CMOS è stato illustrato in Fig. 12.6-1, mentre lo schema delle porte di trasmissione a CMOS è stato illustrato in Fig. 12.6-2b. La porta di trasmissione a MOS e l'invertitore a MOS sono stati illustrati a loro volta in Fig. 12.3-1. La forma d'onda del clock ed il suo complemento sono indicati con  $C$  e  $\overline{C}$  e sono illustrati in Fig. 12.7-1d. Si sono indicati i clock per evidenziare che  $TG1$  e  $TG4$  vengono aperte o chiuse insieme, come pure  $TG2$  con  $TG3$ . Naturalmente però quando  $TG1$  e  $TG4$  abilitano la trasmissione,  $TG2$  e  $TG3$  la interdicono, e viceversa. Supporremo che gli impulsi di clock siano applicati alle porte in modo che, quando  $C = 1$  ( $\overline{C} = 0$ ), le porte consentano la trasmissione (siano cioè dei corto-circuiti fra ingresso e uscita) e viceversa non consentano la trasmissione quando  $C = 0$ . Vedendo le porte come interruttori, possiamo dire quindi che l'interruttore è CHIUSO quando  $C = 1$ , e viceversa è APERTO quando  $C = 0$ . Inoltre, anche se nella figura per ciascuna porta è indicato un solo segnale di clock, è sottinteso che con le porte a CMOS devono essere presenti sia  $C$  che  $\overline{C}$ .

Partiamo dall'istante in cui  $C = 1$ . Il bit d'ingresso  $b_1$  viene allora trasferito all'ingresso di  $FF1$ , ma non viene immagazzinato in esso poichè il collegamento di reazione di  $FF1$  non è chiuso. Il collegamento di reazione di  $FF2$  invece è chiuso e pertanto in  $FF2$  è immagazzinato un bit  $b_n$ . Questo bit, il cui livello logico dipende dalla storia precedente, viene presentato attraverso  $TG1'$  al primo flip-flop dello stadio successivo. Si noti che anche  $TG3$  è aperto sicchè  $FF2$  non può essere influenzato dalla parte di circuito situata a sinistra di  $TG3$ . Portiamo ora  $C$  a  $C = 0$ . Allora  $TG1$  si apre,  $TG2$  si chiude, completando così il circuito di flip-flop e consentendo l'immagazzinamento del bit  $b_1$  in  $FF1$ . Il bit  $b_1$  all'uscita dell'invertitore  $I2$  viene trasmesso attraverso la porta  $TG3$  e prende il posto del bit  $b_n$ , che è stato trasmesso nella fase precedente attraverso  $TG1'$ . Vediamo ora se il tempo di propagazione non nullo attraverso  $TG2$  fa nascere dei problemi di temporizzazione. In realtà non sussiste alcun problema poichè l'inevitabile capacità parassita presente all'ingresso di  $I1$  mantiene il bit  $b_1$  per il tempo necessario a consentirne la trasmissione attraverso  $TG2$ . Si noti che in questo caso la capacità parassita

deve mantenere la sua carica soltanto per la durata della propagazione attraverso la porta di trasmissione e non per la durata di un intero ciclo di clock. Il valore della frequenza di clock in questo caso non è più determinante per il corretto funzionamento dello stadio.

All'istante in cui  $C$  diviene  $C = 0$  ed il bit  $b_1$  viene immagazzinato in  $FF1$ ,  $TG3$  si chiude consentendo che, dopo il tempo di propagazione attraverso  $TG3$  e  $I3$ , il bit  $b_1$  si presenti all'ingresso di  $TG1'$ . In questo istante però  $TG1'$  è APERTO. Quando  $C$  torna a  $C = 1$ , il collegamento di reazione di  $FF2$  si chiude ed il bit rimane immagazzinato in  $FF2$ .

Questo stadio presenta due importanti caratteristiche: (1) se il clock si dovesse fermare in un istante qualsiasi, il bit presente nello stadio continuerebbe a rimanere immagazzinato in  $FF1$  oppure in  $FF2$ , a seconda che il clock si sia fermato a  $C = 0$  oppure a  $C = 1$ ; (2) nel caso di diversi stadi in cascata, l'uscita di uno stadio commuta nell'istante del ciclo di clock in cui la porta di ingresso dello stadio successivo è APERTA, disabilitando così, come è corretto che avvenga, la trasmissione.

## 12.8 STADIO STATICO A TRE FASI

Oltre alle porte di trasmissione, il registro a scorrimento statico di Fig. 12.7-1 comprende i due flip-flop  $FF1$  e  $FF2$ , ciascuno costituito da due invertitori. È possibile realizzare uno stadio statico per registro a scorrimento impiegando un solo flip-flop, anche se con qualche complicazione in più per quanto riguarda il clock. Il circuito è illustrato in Fig. 12.8-1a. Per semplicità abbiamo supposto che le porte di trasmissione siano MOSFET: si possono impiegare però ugualmente bene porte CMOS. I transistori  $T1$ ,  $T2$  e  $T3$  sono usati come porte di trasmissione. Come in precedenza, supponiamo che la porta consenta la trasmissione, cioè l'interruttore sia CHIUSO, quando il rispettivo segnale di clock è all'1 logico e che l'interruttore sia APERTO quando il clock è allo 0 logico. Questo stadio richiede un clock a tre fasi.

Supponiamo allora che, come indicato in Fig. 12.8-1b, all'istante  $t = 0$ ,  $\Phi_1 = 0$  mentre  $\Phi_2 = \Phi_3 = 1$ . Pertanto l'anello comprendente gli invertitori  $I1$  ed  $I2$  risulta CHIUSO e viene a costituire un flip-flop. Dal momento che le due porte di trasmissione  $T1$  e  $T1'$  sono aperte, questo flip-flop risulta isolato sia dallo stadio precedente che dallo stadio seguente. Il flip-flop è in grado pertanto di tenere immagazzinato un bit, che sarà un 1 oppure uno 0 a seconda della situazione precedente. Supponiamo che mentre  $\Phi_1$  rimane a  $\Phi_1 = 0$ , si portino per un breve intervallo  $\Phi_2 = \Phi_3 = 0$ . Il bit immagazzinato nel flip-flop viene allora conservato dalle capacità  $C_1$  e  $C_2$ . Se riportiamo  $\Phi_2 = \Phi_3 = 1$  prima che la carica su  $C_1$  e  $C_2$  si sia apprezzabilmente ridotta, lo stato del flip-flop non subirà alcun cambiamento.

Portiamo ora  $\Phi_2$  e  $\Phi_3$  allo 0 logico, come indicato in Fig. 12.8-1b. (In figura,  $\Phi_2$  e  $\Phi_3$  vanno allo 0 logico contemporaneamente. Ciò non è però essen-

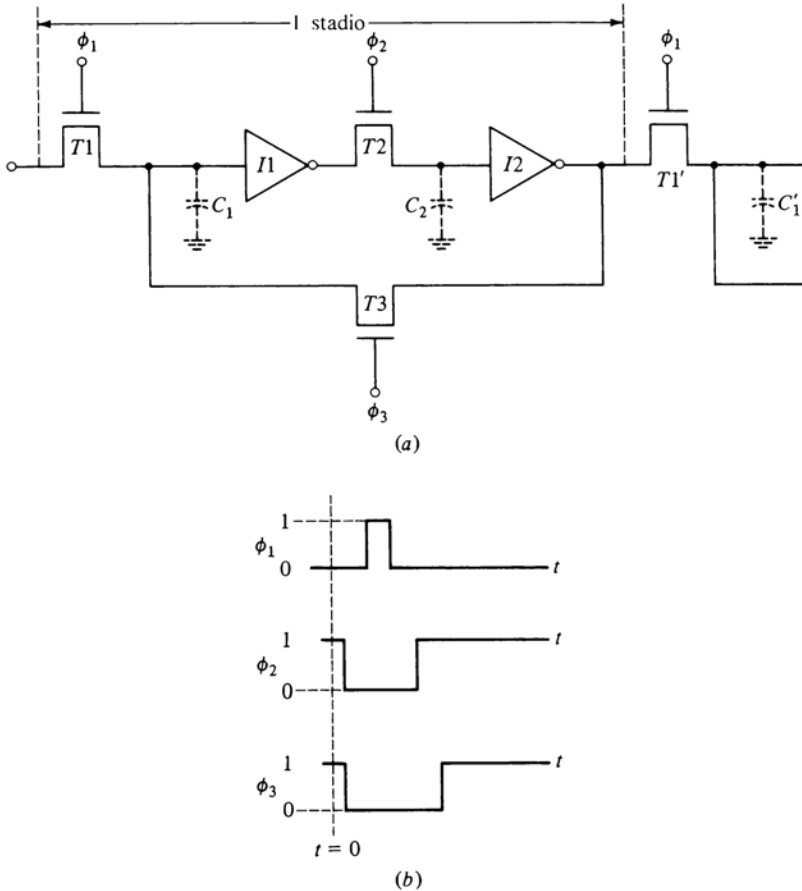


Figura 12.8-1 (a) Stadio di registro statico a tre fasi. (b) Forme d'onda del clock.

ziale, né è importante quale dei due segnali di clock vada a 0 per primo.) Supponiamo che, subito dopo,  $\Phi_1$  divenga  $\Phi_1 = 1$ . Allora grazie alla tensione conservata da  $C_2$ , lo stato logico memorizzato dal flip-flop, cioè il livello logico memorizzato sull'uscita di  $I2$ , viene trasferito sulla capacità  $C_1$  del flip-flop successivo. Analogamente lo stato del flip-flop precedente viene trasferito su  $C_1$ . Riportiamo ora  $\Phi_1$  a 0 e facciamo tornare  $\Phi_2$  al livello logico 1 prima di  $\Phi_3$ , chiudendo così l'interruttore  $T2$ . A questo punto, qualunque sia stato il suo livello precedente,  $C_2$  si porta allo stato logico complementare di quello presente su  $C_1$ . Successivamente, quando  $\Phi_3$  torna a  $\Phi_3 = 1$ , l'anello del flip-flop torna a richiudersi ed il flip-flop memorizza il suo nuovo stato

indefinitivamente. L'ordine con cui vengono richiusi gli interruttori  $T_2$  e  $T_3$  è essenziale; infatti se  $\Phi_3$  si richiudesse per primo, il flip-flop tornerebbe al suo stato di partenza.

## 12.9 LA MEMORIA A SOLA LETTURA (ROM)

La memoria a sola lettura (ROM: *read-only memory*) è una memoria realizzata per immagazzinare informazioni che non devono essere soggette a modifiche. Vale a dire, dopo che l'informazione è stata scritta nella memoria, la memoria non può più venir riscritta ma *soltanto letta*. In genere l'informazione viene scritta nella memoria direttamente dal costruttore. Esistono però memorie che possono essere scritte dall'utente stesso. Tali memorie sono dette *memorie programmabili* (PROM: *programmable ROM*). Esistono anche ROM in cui l'informazione immagazzinata può venire cambiata. In questo caso però la scrittura richiede un tempo di molti ordini di grandezza superiore a quello richiesto dalla lettura. Queste memorie, dette *cancellabili*, sono memorie di sola lettura nel senso che, per cambiare l'informazione immagazzinata, è necessario interrompere l'elaborazione digitale in cui la memoria è impegnata.

Una caratteristica molto importante delle ROM è che l'informazione immagazzinata non va persa quando l'alimentazione viene interrotta. Per questo motivo queste memorie vengono dette *non volatili*. Le memorie sequenziali precedentemente trattate e le memorie ad accesso casuale, che tratteremo in seguito (a partire dal Par. 12.13), sono viceversa memorie *volatili*.

Le ROM trovano larga applicazione nei sistemi digitali. Esse possono venire impiegate per realizzare una tavola di verità qualsivoglia. Ogni volta che una tavola di verità presenta un numero di variabili logiche di ingresso e di uscita tale da richiedere per la sua realizzazione un elevato numero di porte, risulta più conveniente, dal punto di vista delle dimensioni, del peso e del costo, l'impiego di una ROM. Le ROM sono largamente impiegate nella conversione di codici e nella codifica per i visualizzatori alfanumerici. Le ROM vengono impiegate anche per fornire risultati matematici immediati, risultati che per altra via richiederebbero operazioni lunghe e complesse, per fornire i valori delle funzioni trigonometriche (come  $\sin x$  o  $\ln x$ ), ed infine come generatori di funzione.

Una ROM è un *codificatore (encoder)*. Un codificatore è una struttura di porte logiche con  $M$  ingressi  $Z_0, Z_1, \dots, Z_{M-1}$  e  $K$  uscite  $W_0, W_1, \dots, W_{K-1}$ . Per selezionare uno degli ingressi, ad esempio  $Z_i$ , si pone  $Z_i = 1$  e tutti gli altri ingressi a 0 logico. (Oppure,  $Z_i = 0$  e tutti gli altri ingressi ad 1 logico.) In corrispondenza ad ogni ingresso  $Z_i$  selezionato, cioè portato a  $Z_i = 1$ , le  $K$  uscite assumeranno i livelli logici prestabiliti  $W_0(i), W_1(i), \dots, W_{K-1}(i)$ . Il codificatore cioè riceve l'ingresso  $Z_i = 1$  ed identifica questa situazione con la parola *codice*  $W_0(i), W_1(i), \dots, W_{K-1}(i)$ ; in altri termini, volendo considerare il codificatore come una memoria, si può dire che ponendo  $Z_i =$



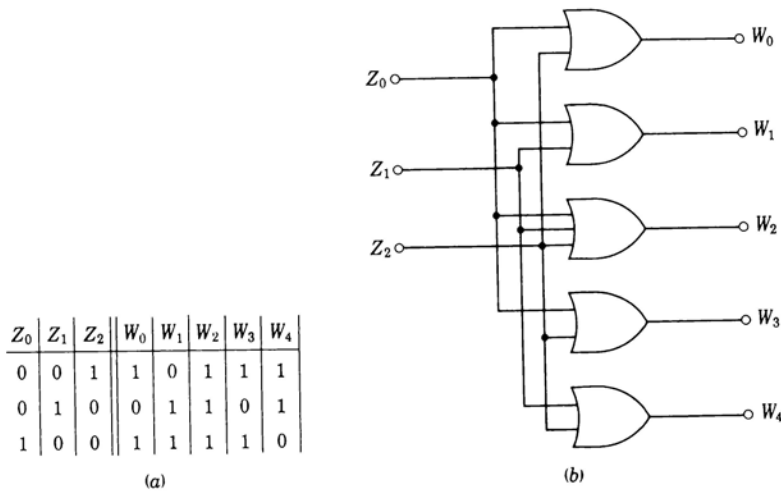


Figura 12.9-1 (a) Tavola di verità di un codificatore. (b) Realizzazione del codificatore mediante porte OR.

1 si *indirizza* la  $i$ -esima locazione della memoria e la ROM risponde presentando in uscita la parola immagazzinata in quella locazione. In Fig. 12.9-1 è illustrata la struttura a porte logiche di un codificatore. La tavola di verità è data in Fig. 12.9-1a e la realizzazione con porte logiche è illustrata in Fig. 12.9-1b. La ROM illustrata può memorizzare tre parole di 5 bit ciascuna.

Di norma anche l'indirizzo viene dato codificato in binario. È necessario pertanto che fra la parola indirizzo codificata in binario e la ROM sia interposto un dispositivo in grado di comprendere l'indirizzo in binario e di individuare la linea corrispondente. Tale dispositivo realizza pertanto una funzione inversa a quella del codificatore e per questo viene chiamato *decodificatore* (*decoder*). La tavola di verità di un decodificatore è data in Fig. 12.9-2a. In essa la parola-indirizzo è formata da 2 bit; si possono avere pertanto quattro parole-indirizzo diverse. Una realizzazione con porte logiche di questo decodificatore è illustrata in Fig. 12.9-2b. Si noti che in Fig. 12.9-1 sono stati utilizzati soltanto tre dei quattro possibili indirizzi  $Z_i$ .

Per maggiore comodità dell'utente, il costruttore generalmente inserisce nello stesso circuito integrato del codificatore ROM il corrispondente decodificatore. Tali memorie comprendenti il decodificatore, indicate in Fig. 12.9-3, sono generalmente chiamate *ROM decodificate* (*decoded ROM*). Fornendo nello stesso circuito integrato anche il decodificatore, il costruttore ottiene anche un altro notevole vantaggio. Infatti in un circuito integrato il numero dei piedini per le connessioni esterne non può essere ovviamente troppo ele-

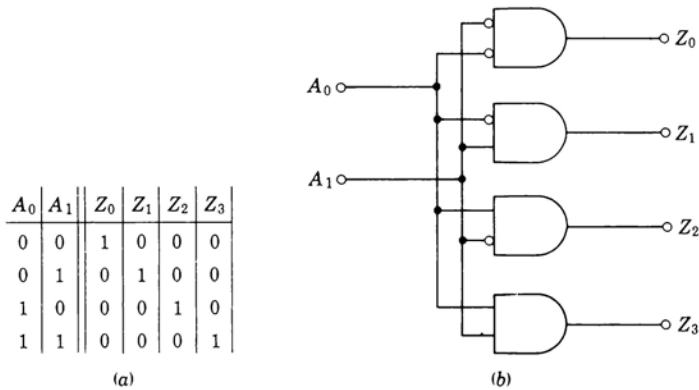


Figura 12.9-2 (a) Tavola di verità di un decodificatore a quattro parole. (b) Realizzazione mediante porte AND.

vato. In una memoria con  $M$  parole, il numero dei piedini per l'indirizzamento, senza decodificatore, è  $M$ , mentre con il decodificatore è  $N$ , dove  $N$ , dato dalla formula  $2^N = M$ , risulta essere ovviamente inferiore ad  $M$ .

### 12.10 COSTITUZIONE INTERNA DELLE ROM

In Fig. 12.10-1a è illustrata una possibile forma di realizzazione del codificatore ROM a porte OR di Fig. 12.9-1b. Si può verificare (Prob. 12.9-2) che il circuito illustrato è proprio una struttura logica a porte OR. L'impiego dei

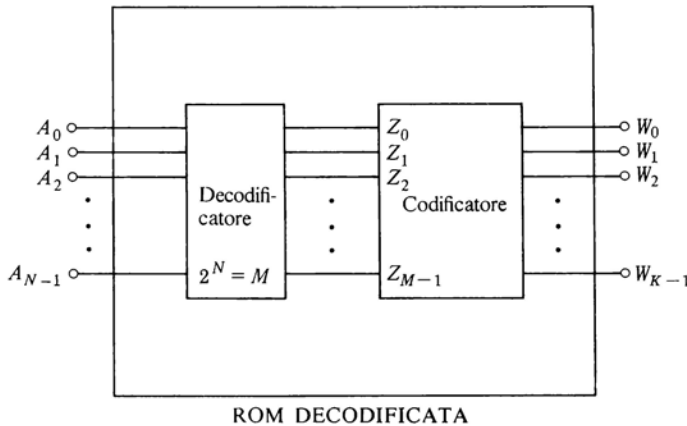


Figura 12.9-3 ROM con decodificatore incorporato.

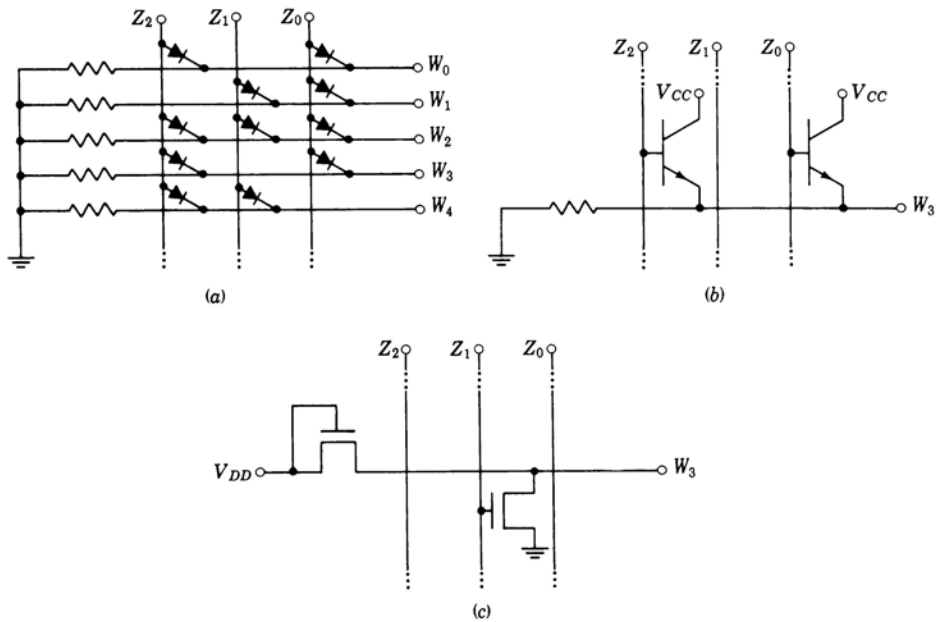


Figura 12.10-1 (a) ROM a tre parole di 5 bit con connessioni a diodi fra le linee di indirizzamento e le linee dati. (b) Una linea dati della ROM impiegante transistori bipolari al posto dei diodi. (c) Linea dati impiegante transistori MOS.

diodi però comporta l'inconveniente che sono gli ingressi stessi del codificatore a dover fornire la corrente richiesta dalle uscite. Questo inconveniente viene eliminato sostituendo i diodi con transistori bipolari come illustrato in Fig. 12.10-1b, dove, per semplicità, si sono indicate soltanto le connessioni con la linea d'uscita  $W_3$ . La corrente d'uscita in questo caso viene fornita essenzialmente dall'alimentazione  $V_{CC}$ . Dal momento che, come si è visto, nei circuiti integrati i diodi sono generalmente costituiti da transistori con i terminali di collettore e di base collegati insieme, la realizzazione pratica della ROM di Fig. 12.10-1b non è sostanzialmente più complessa di quella di Fig. 12.10-1a. Si noti che tutti i transistori connessi ad una linea d'ingresso  $Z_i$  presentano i collettori collegati insieme a  $V_{CC}$  e le basi collegate insieme alla linea  $Z_i$ . Al posto della colonna di transistori spesso si utilizza un unico transistor multi-emettitore. Le ROM a tecnologia bipolare possono presentare tempi di accesso anche di 15 ns. Il *tempo di accesso* di una memoria è il tempo intercorrente fra l'istante in cui si effettua l'indirizzamento e l'istante in cui la parola indirizzata compare all'uscita della memoria.

Il numero di bit di una memoria è definito come il prodotto fra il numero delle parole ed il numero dei bit costituenti la singola parola. (In una ROM del tipo di quella di Fig. 12.10-1a, il numero dei diodi sarà generalmente pari all'incirca alla metà del numero dei bit; infatti si può ritenere che mediamente gli 1 e gli 0 si presentino con la stessa frequenza.) Quando il numero di bit è elevato, superiore ad esempio a 1.000, viene preferita la tecnologia MOS, poichè, come si sa, il transistor MOS occupa sul chip una superficie minore. In Fig. 12.10-1c è illustrata una linea (di nuovo la linea d'uscita  $W_3$ ) con transistori MOS. Supponendo di lavorare, come al solito, in logica positiva, e di impiegare NMOS, si può vedere che  $W_3$  è allo 0 logico solo se  $Z_1 = 1$ , come richiesto dalla tavola di verità di Fig. 12.9-1a. I tempi di accesso con i MOS sono tipicamente dell'ordine dei 400 ns.

### 12.11 ROM PROGRAMMABILI (PROM) E ROM CANCELLABILI (EPROM)

In una ROM le linee di indirizzo e le linee dei bit della parola d'uscita sono disposte a matrice, cioè si intersecano formando una specie di griglia. Ad ogni intersezione si trova, o non si trova, un dispositivo di collegamento (diodo, transistor bipolare, MOS), a seconda che il corrispondente bit d'uscita debba essere un 1 oppure uno 0. (Quando non interessa il tipo di dispositivo impiegato, ci limitiamo ad indicare il collegamento fra le linee d'indirizzo e le linee d'uscita con un punto in corrispondenza alle intersezioni delle linee.) In una ROM programmabile (PROM: *programmable ROM*) il costruttore inserisce i dispositivi di collegamento in corrispondenza di ogni nodo della griglia ed in serie a ciascuno di questi dispositivi inserisce un fusibile. Ad esempio un fusibile viene disposto all'intersezione fra la linea  $Z_i$  e la linea  $W_j$ . Collegando  $Z_i$  e  $W_j$  fra di loro e facendo scorrere una corrente sufficientemente alta, si può provocare la bruciatura del fusibile e l'eliminazione del collegamento. L'utente può così bruciare i fusibili che ritiene necessario eliminare, lasciando i transistori di collegamento soltanto nelle intersezioni che gli consentono di memorizzare le parole volute.

Un altro tipo di ROM, chiamata ROM cancellabile (EPROM: *erasable PROM*), o *alterabile*, utilizza transistori PMOS a *gate fluttuante*, in cui cioè il gate, in condizioni di funzionamento normali, è elettricamente isolato dal resto del circuito integrato. È però possibile stabilire su questi gate una carica negativa applicando una tensione elevata fra source e drain. Questa carica negativa genera nel transistor corrispondente un canale conduttore. Questo tipo di ROM può venire cancellata mediante esposizione alla luce ultravioletta, che disperde la carica elettrica accumulata sui gate.

### 12.12 APPLICAZIONI DELLE ROM

**La ROM come moltiplicatore aritmetico** Supponiamo di voler realizzare l'operazione aritmetica di moltiplicazione. Come si è visto nel Par. 11.16 la

moltiplicazione può venire effettuata mediante una successione di operazioni di scalamento, cioè in pratica moltiplicazioni per potenze di 2, e di operazioni di addizione. Seguendo un'altra strada, si può prendere in considerazione la tavola dei prodotti e vederla come una particolare tabella di verità. Così per esempio, usare una tabella dei prodotti per effettuare la moltiplicazione  $11 \times 10 = 0110$  (cioè  $3 \times 2 = 6$ ), può essere interpretato come leggere in una locazione di memoria, di indirizzo in codice  $A_1 A_0 B_1 B_0 = 1110$ , la parola  $P_3 P_2 P_1 P_0 = 0110$ .

Quando i moltiplicandi sono formati da molti bit, la moltiplicazione diretta mediante ROM può presentare delle difficoltà. Per esempio, quando i moltiplicandi sono ciascuno di 8 bit, il prodotto risulta di 16 bit per cui il numero dei bit che devono essere immagazzinati nella memoria risulta essere 16 bit / parola  $\times 2^{16}$  parole  $\approx 10^6$ . Si può ridurre il numero dei bit da immagazzinare impiegando più ROM nel modo che ora descriveremo.

Supponiamo di voler moltiplicare due numeri di 4 bit  $A_3 A_2 A_1 A_0$  e  $B_3 B_2 B_1 B_0$ . Scriviamo

$$A_3 A_2 A_1 A_0 = A_3 A_2 00 + 00 A_1 A_0 \quad (12.12-1a)$$

$$\text{e} \quad B_3 B_2 B_1 B_0 = B_3 B_2 00 + 00 B_1 B_0 \quad (12.12-1b)$$

il prodotto vale allora

$$\begin{aligned} P = & (A_3 A_2 00)(B_3 B_2 00) + (00 A_1 A_0)(B_3 B_2 00) \\ & + (A_3 A_2 00)(00 B_1 B_0) + (00 A_1 A_0)(00 B_1 B_0) \end{aligned} \quad (12.12-2)$$

Si noti che il prodotto  $P$  compare come somma di quattro prodotti; sono pertanto necessari quattro moltiplicatori a ROM, come indicato in Fig. 12.12-1. In queste moltiplicazioni però gli 0 dell'Eq. (12.12-1) non vengono presi in considerazione. Così per effettuare l'ultimo prodotto dell'Eq. (12.12-2) si deve utilizzare una ROM che accetta come ingresso l'indirizzo  $A_1 A_0 B_1 B_0$  e fornisce in uscita una delle 16 possibili parole-prodotto a 4 bit. Le uscite dei quattro moltiplicatori devono poi essere sommate insieme, tenendo però conto del differente peso dei bit d'uscita dei vari moltiplicatori. Questi pesi sono indicati in figura. Soltanto una delle ROM fornisce bit di peso  $2^1$  e  $2^0$ . Questi bit vengono portati direttamente alle uscite e divengono i bit di peso  $2^1$  e  $2^0$  del prodotto finale. Tre ROM forniscono invece i bit di peso  $2^2$  e  $2^3$ ; questi bit vengono combinati in due sommatore a 2 bit. Ancora tre ROM forniscono i bit di peso  $2^4$  e  $2^5$ ; questi bit vengono a loro volta combinati in altri due sommatore a 2 bit. Si lascia come esercizio (Prob. 12.12-2) dimostrare che i collegamenti delle uscite di riporto dei vari sommatore sono tali da assicurare il corretto risultato della moltiplicazione.

Ciascuna ROM di Fig. 12.12-1 è adatta ad immagazzinare  $16 \times 4$  bit. Le quattro ROM insieme immagazzinano pertanto  $16 \times 4 \times 4 = 2^8 = 256$  bit. Se la moltiplicazione venisse effettuata da una sola ROM, questa dovrebbe

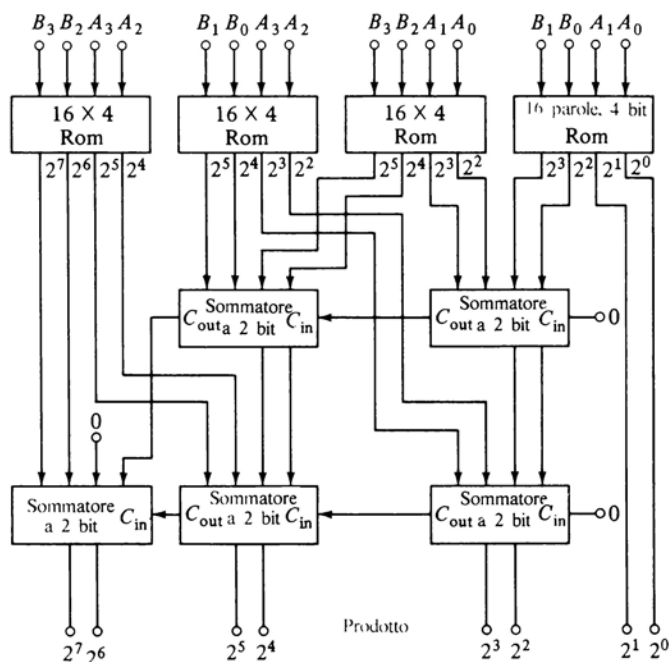


Figura 12.12-1 Moltiplicatore a ROM per numeri di 4 bit che consente di ridurre le dimensioni della memoria.

essere in grado di immagazzinare  $2^8$  parole  $\times$  8 bit/parola =  $2^8 \times 8$  bit. Lo schema illustrato nella figura riduce così l'estensione della memoria di un fattore 8. Il risparmio cresce col crescere del numero dei bit in gioco. Se i numeri da moltiplicare sono di 8 bit ciascuno, si risparmia di un fattore  $2^7 = 128$ . Parte di questo risparmio viene però vanificato dalla necessità di dover impiegare cinque sommatore. Inoltre l'impiego dei sommatore, anche se con *look-ahead carry*, comporta un sensibile aumento del tempo di esecuzione della moltiplicazione.

Spesso si richiede che il moltiplicatore a ROM fornisca un'uscita costituita dallo stesso numero di bit dei moltiplicandi. Nell'esempio precedente, in cui gli ingressi sono parole di 4 bit, l'uscita dovrebbe essere una parola di 4 bit. Con riferimento alla Fig. 12.12-1, si dovrebbero prendere in considerazione ovviamente i quattro bit più significativi. In questo caso mediante un circuito aggiuntivo (Prob. 12.12-1), è possibile contenere l'errore massimo entro  $\pm 8$ . Se invece l'errore massimo ammesso fosse di 15, il circuito di Fig. 12.12-1 potrebbe venire ridotto a sole tre ROM e soli tre sommatore.

**La ROM come tavola di corrispondenza** Le ROM vengono largamente impiegate come tavole di corrispondenza per funzioni matematiche quali logaritmi, funzioni trigonometriche, radici quadrate, esponenziali, ecc. Per ridurre l'estensione della memoria occorrente, possono venire efficacemente impiegate tecniche analoghe a quelle impiegate per i moltiplicatori. Consideriamo per esempio una ROM adatta a risolvere la funzione  $\sin \theta$ . Se si desidera una risoluzione di  $0,01^\circ$  nel campo di valori  $0^\circ \leq \theta \leq 90^\circ$ , occorre impiegare una memoria di 9.000 parole. Possiamo però scrivere  $\theta = I + F$ , dove  $I$  rappresenta la parte intera di  $\theta$  ed  $F$  la parte frazionaria. Allora

$$\sin \theta = \sin (I + F) = \sin I \cos F + \cos I \sin F \quad (12.12-3)$$

La realizzazione circuitale dell'Eq. (12.12-3) richiede quattro memorie più piccole: due memorie da 90 parole per  $\sin I$  e  $\cos I$  e due memorie da 100 parole per  $\cos F$  e  $\sin F$ . Ulteriori semplificazioni per quanto riguarda il numero dei bit per parola sono possibili tenendo presente che  $\cos F \approx 1$  e  $\sin F \approx F$ .

### 12.13 CELLE DI MEMORIA AD ACCESSO CASUALE A TRANSISTORI BIPOLARI

Le celle di una *memoria ad accesso casuale* (RAM: *random-access memory*) possono utilizzare sia dispositivi BJT che dispositivi MOS, gli uni e gli altri sia in funzionamento statico che in funzionamento dinamico. Quando è richiesta una velocità di funzionamento elevata, la scelta cade sulle RAM a BJT, il cui tempo di accesso è dell'ordine di 35ns; le RAM a MOS presentano viceversa un tempo di accesso di circa 400 ns. Per contro le memorie a BJT presentano una capacità di immagazzinamento ridotta, potendo contenere al più 1024 celle di memoria, mentre le RAM a MOS presentano una capacità decisamente più elevata, potendo contenere fino a 4096 celle.

In questo paragrafo e nel Par. 12.14 prenderemo in considerazione le celle a BJT. Le celle a MOS verranno trattate a cominciare dal Par. 12.15.

La cella della memoria RAM a BJT è semplicemente un flip-flop. In essa sono presenti però particolari circuiti che consentono l'*indirizzamento* della cella, la sua *scrittura* e la sua *lettura*. Con un solo flip-flop e con le porte adatte, non è certamente molto complesso realizzare queste tre funzioni fondamentali. Le difficoltà nascono quando si tratta di realizzare queste funzioni in una RAM che contenga parecchie centinaia di celle di memoria, ed il tutto cercando il massimo risparmio.

In Fig. 12.13-1 è illustrata una cella di memoria RAM utilizzando transistori multi-emettitore. La cella consiste essenzialmente del flip-flop formato dai due transistori  $T1$  e  $T2$ . Il resto del circuito di figura serve per la scrittura e la lettura dei dati. Questa parte relativa alla scrittura e alla lettura può servire anche altre celle di memoria in derivazione sulle linee dati; per questo motivo le linee dati sono rappresentate con l'estremità tratteggiata. Sono disponibili sul mercato memorie bipolari del tipo di cui stiamo parlando che fun-

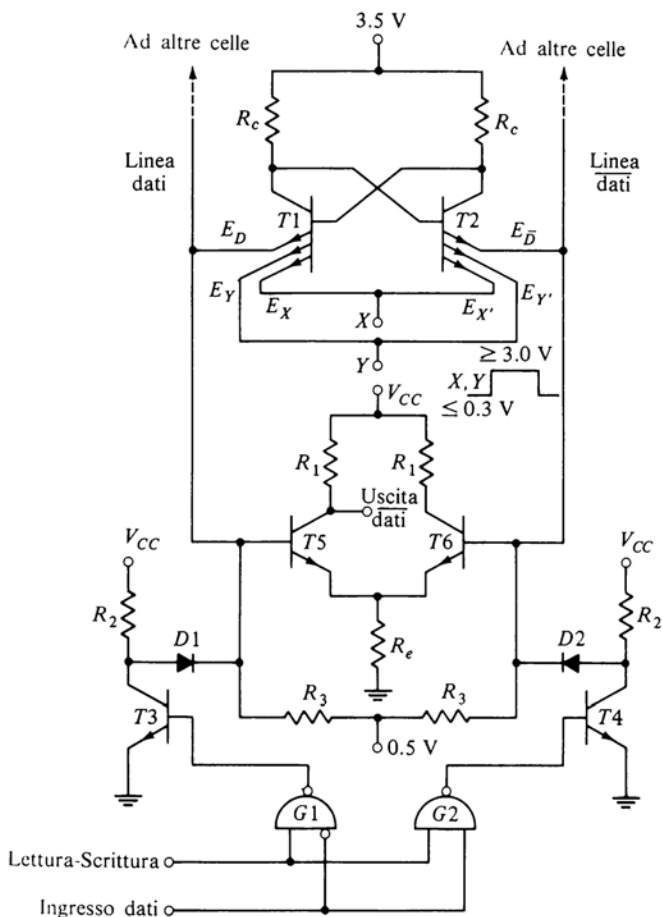


Figura 12.13-1 Cella di memoria RAM a BJT provvista di terminali per la lettura e la scrittura.

zionano con tensioni di alimentazione da 3,5 a 5,0 V. Si può ragionevolmente supporre che lo 0 logico corrisponda a tensioni inferiori a 0,3 V circa e che l'1 logico corrisponda a tensioni superiori a 3,0 V circa. Come indicato nella figura, i segnali  $X$  e  $Y$  possono commutare fra questi due livelli logici. Questi due segnali sono utilizzati per indirizzare la cella. Come ora vedremo, per localizzare la cella sia in lettura che in scrittura, si deve porre  $X$  e  $Y$  contemporaneamente ad 1 logico.

I segnali  $X$  e  $Y$  siano allo 0 logico ( $\leq 0,3$  V) e così pure sia allo 0 logico la linea di lettura - scrittura. Allora  $T3$  e  $T4$  sono ON e la loro tensione di



collettore si troverà allo 0 logico; pertanto i diodi  $D1$  e  $D2$  sono interdetti. Supponiamo che lo stato del flip-flop sia tale, ad esempio, che  $T1$  sia ON e  $T2$  OFF. Allora negli emettitori  $E_X$  e  $E_Y$  passerà corrente. Una tensione di polarizzazione di 0,5 V è applicata tramite il resistore  $R_3$  all'emettitore  $E_D$ .  $E_D$  è pertanto più positivo di  $E_X$  ed  $E_Y$  di almeno 0,2 V, e quindi  $E_D$  non può condurre. I transistori  $T5$  e  $T6$  sono quindi OFF, e l'uscita dati si trova all'1 logico e rimane a questo livello logico indipendentemente dallo stato del flip-flop. Ora indirizziamo la cella portando sia  $X$  che  $Y$  ad 1 logico. Le correnti che prima passavano in  $E_X$  ed  $E_Y$ , vengono ora deviate in  $E_D$ . Una parte di questa corrente entra nella base di  $T5$  e l'uscita dati viene ad assumere lo stesso livello logico presente sul collettore di  $T1$ . Così con la linea di lettura-scrittura allo 0 logico (stato nel quale le porte  $G1$  e  $G2$  sono disabilitate dal far entrare i dati) la stessa operazione di indirizzamento consente di effettuare la lettura della cella.

Rimaniamo ancora nella condizione  $X = Y = 1$ , sicché gli emettitori interessati sono  $E_D$  e  $E_{\bar{D}}$ ; supponiamo che la linea di lettura-scrittura si trovi ad 1 logico. In questo caso le porte  $G1$  e  $G2$  sono abilitate e se la linea dati è ad 1 logico,  $T3$  rimarrà ON, mentre  $T4$  diventerà OFF. Il collettore di  $T4$  pertanto salirà, portando con sé l'emettitore  $E_{\bar{D}}$  di  $T2$ . Quindi qualsiasi fosse lo stato precedente del flip-flop, questo verrà forzato a portarsi nello stato in cui  $T2$  è interdetto. Il livello logico sul collettore di  $T2$  diventerà pertanto uguale al livello logico sull'ingresso dati. Se però la cella non era stata indirizzata,  $E_D$  e  $E_{\bar{D}}$  non risultano interessati da alcuna corrente ed il flip-flop non risponde all'operazione di scrittura. Anche nel caso in cui la cella non è stata indirizzata, il terminale uscita dati risponde all'operazione di scrittura; è necessario pertanto che il sistema, di cui la memoria fa parte, sia in grado di «capire» quando è in atto un'operazione di scrittura, e prenda in considerazione l'uscita della memoria solo quando è in corso un'operazione di lettura.

La cella flip-flop a transistori tri-emettitore di Fig. 12.13-1 viene indirizzata quando il prodotto logico  $XY = 1$ . Nei casi in cui non sia necessaria questa operazione logica AND, si può benissimo eliminare un emettitore per ogni transistore.

## 12.14 ALTRE CELLE DI MEMORIA A TRANSISTORI BIPOLARI

In Fig. 12.14-1 è illustrata una seconda cella di memoria bipolare. In essa si sono utilizzati transistori Schottky ( $T1$  e  $T2$ ) e diodi Schottky ( $D1$  e  $D2$ ). Nello stato di attesa (cella non indirizzata) la linea indirizzo  $X$  è tenuta al livello logico 1, che, per questa cella, è di circa 2,5 V. Con questo livello il flip-flop rimane operativo. Le linee dati sono polarizzate a 1,6 V cosicché, quando la cella non è indirizzata, i diodi ( $D1$  e  $D2$ ) sono polarizzati inversamente.

Per indirizzare la cella occorre abbassare la linea indirizzo allo 0 logico ( $\approx 0,3$  V). Supponiamo allora che, prima dell'indirizzamento, la cella si trovi con

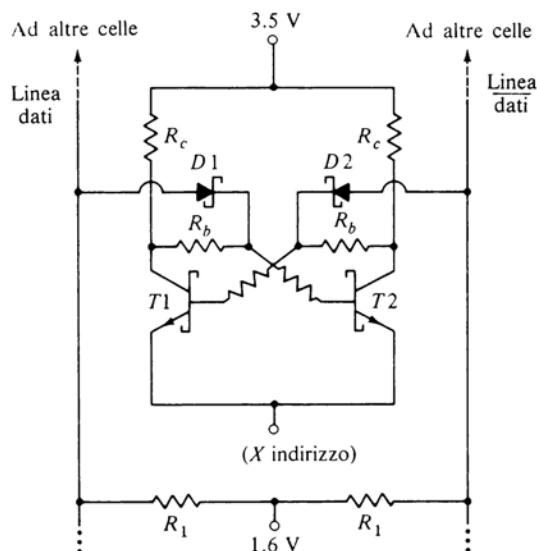


Figura 12.14-1 Cella di memoria a diodi e transistori bipolari Schottky.

$T1_{ON}$  e  $T2_{OFF}$ . Quando  $X$  scende a 0,3 V, la base di  $T1$  scende a  $0,3 + 0,75 = 1,05$  V. La tensione diretta di un diodo Schottky è di circa 0,45 V. Quindi la tensione della linea dati scenderà leggermente da 1,6 V a  $1,05 + 0,45 = 1,5$  V. Assumendo la tensione  $V_{CE(sat)} = 0,2$  V ai capi di  $T1$ , il collettore di  $T1$  verrà abbassato a  $0,3 + 0,2 = 0,5$  V. Se si trascura la caduta sul resistore  $R_b$ , si vede che la tensione della linea dati è scesa in modo più consistente, e precisamente da 1,6 a  $0,5 + 0,45 = 0,95$  V. In pratica il resistore  $R_b$  è sufficientemente piccolo ( $\approx 1$  k $\Omega$ ) da garantire che, anche tenendo conto della caduta ai suoi capi, il salto di tensione sulla linea dati sia ancora molto maggiore del salto di tensione sulla linea dati. La differenza fra il salto sulla linea dati e quello sulla linea dati viene utilizzata per leggere la cella.

È importante ricordare che le linee dati e dati servono anche altre celle poste in derivazione. Quando si indirizza la cella indicata in figura, le altre celle non vengono indirizzate ed i diodi  $D1$  e  $D2$  di queste celle rimangono interdetti, tenendo così le rispettive celle sconnesse dalle linee dati e dati.

Per scrivere nella cella dobbiamo per prima cosa indirizzare la cella stessa, portando  $X$  a 0,3 V. Supponiamo di nuovo che inizialmente sia  $T1_{ON}$  e che si voglia portare  $T2$  in conduzione. Forziamo allora la linea dati a 2,8 V. Come risultato  $T2$  diviene  $ON$ , provocando la commutazione di  $T1$  allo stato  $OFF$ . Le altre celle, non indirizzate, non cambiano stato perchè la tensione sul collettore di ogni transistor  $T1$  di queste altre celle è di  $2,5 + 0,2 = 2,7$  V, e per

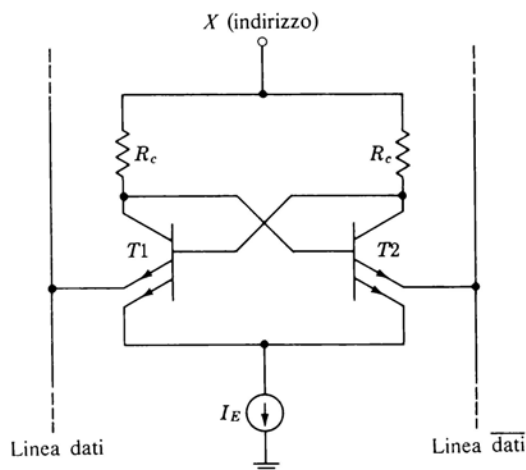


Figura 12.14-2 Cella di memoria a BJT con funzionamento di tipo ECL.

rendere conduttore il diodo  $D1$  sarebbe necessario portare la linea dati a  $2,7 + 0,45 = 3,15$  V invece che a 2,8 V.

La cella Schottky di Fig. 12.14-1 presenta alcuni vantaggi rispetto alla cella multi-emettitore di Fig. 12.13-1. Nella cella Schottky la tensione ai capi della cella, nello stato di attesa, è di  $3,5 - 2,5 = 1,0$  V. Nella cella multi-emettitore questa tensione è invece di  $3,5 - 0,3 = 3,2$  V. Quindi se i resistori di collettore  $R_c$  sono gli stessi nei due casi, la potenza dissipata nella cella Schottky risulta essere sensibilmente inferiore. Tale potenza può venire ridotta aumentando  $R_c$ . Questo aumento della resistenza di collettore comporta però un abbassamento della velocità di funzionamento. La cella Schottky d'altra parte non presenta la caratteristica della linea a doppio indirizzamento propria della cella a multi-emettitori.

In Fig. 12.14-2 è illustrata una terza cella di memoria. In essa vengono impiegati nuovamente transistori multi-emettitore. L'indirizzamento viene fatto dalla parte del collettore, in modo che gli emettitori collegati insieme possano far capo ad una sorgente di corrente costante (un resistore di valore elevato). In questo modo la cella può essere fatta funzionare come nella *logica ad accoppiamento di emettitore*, impedendo ai transistori  $T1$  e  $T2$  di andare in saturazione.

## 12.15 RAM A MOS

**Cella statica a sei transistori** In Fig. 12.15-1a è illustrata una cella di memoria a MOS statica con sei transistori. Il bit viene immagazzinato nel flip-

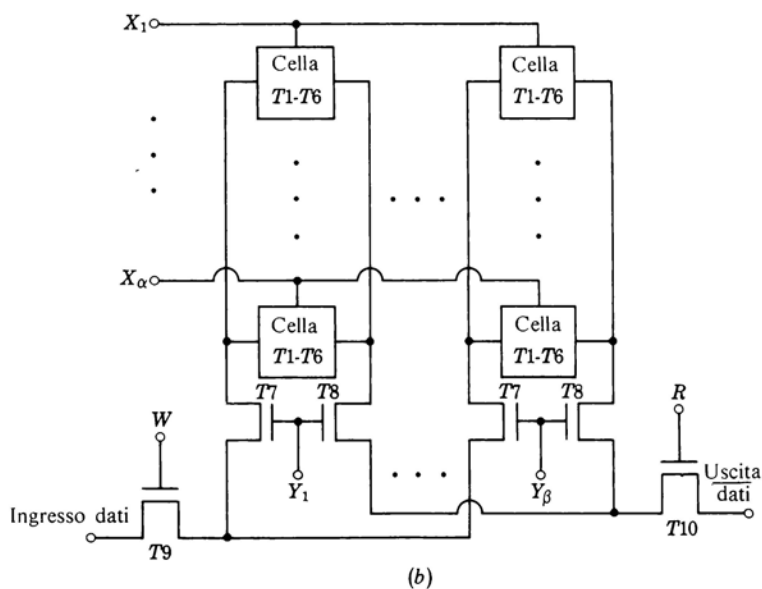
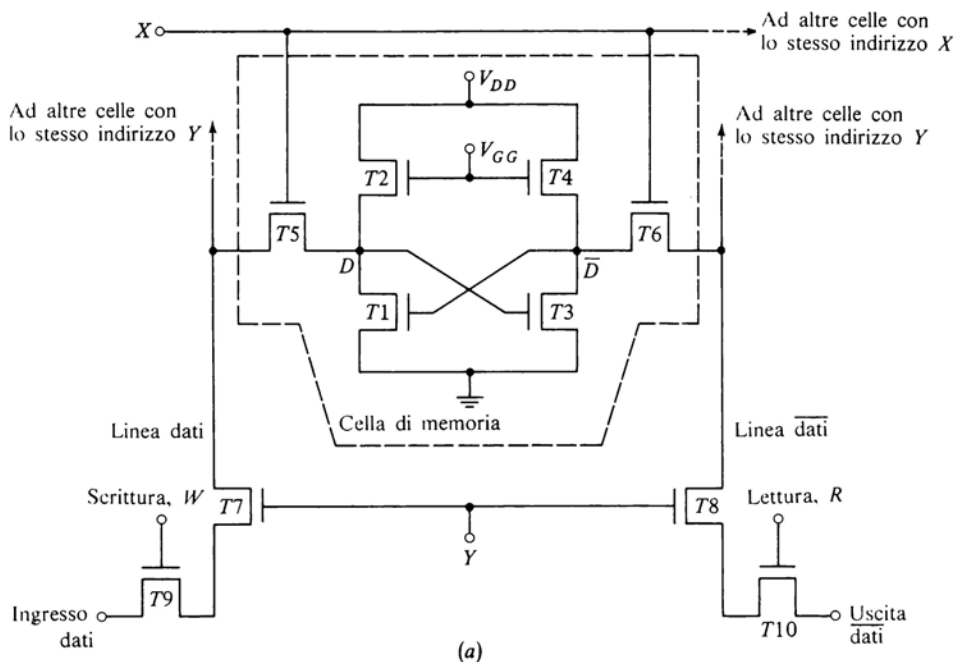


Figura 12.15-1 (a) Cella di memoria statica a MOS. (b) Interconnessioni di celle in una RAM.

flop costituito da due invertitori accoppiati in modo incrociato. I transistori  $T1$  e  $T2$  sono rispettivamente il MOS pilota ed il MOS di carico del primo invertitore, mentre  $T3$  e  $T4$  sono a loro volta il MOS pilota ed il MOS di carico del secondo invertitore.

La cella di memoria illustrata viene indirizzata ponendo  $X$  ed  $Y$  ad **1** logico. Ponendo  $X = 1$ , la cella viene collegata alla linea dati ed alla linea  $\overline{\text{dati}}$ . Per scrivere nella cella si pone  $W = 1$ . Così facendo si collega il terminale di ingresso dati al nodo  $D$ , essendo  $T5$ ,  $T7$  e  $T9$  ON. Se l'ingresso dati è ad **1** logico, esso fa salire il gate di  $T3$ , portando  $T3$  in ON e rendendo il nodo  $\overline{D} = 0$ . Se l'ingresso dati è allo **0** logico,  $T3$  passa in OFF e  $\overline{D}$  passa ad **1**. Per leggere lo stato del flip-flop si pone  $R = 1$ . Così facendo si collega il terminale di uscita  $\overline{\text{dati}}$  a  $\overline{D}$ , poichè ora  $T6$ ,  $T8$  e  $T10$  sono ON. In questo modo viene letto il complemento del dato scritto nella cella.

In generale in una RAM sono presenti molte celle di memoria collegate alle stesse linee di ingresso e di uscita. Tale configurazione è illustrata in Fig. 12.15-1b. In questa figura sono presenti  $\alpha\beta$  celle di memoria, ciascuna contenente sei transistori. Si noti che ci sono  $\beta$  colonne, ciascuna con un suo indirizzo  $Y$ , ed  $\alpha$  righe, ciascuna con un suo indirizzo  $X$ . Un unico transistore di ingresso  $T9$  collega il terminale di ingresso dati alla cella di memoria selezionata, quando si è in fase di *scrittura*, ed un unico transistore d'uscita  $T10$  collega la cella selezionata al terminale d'uscita  $\overline{\text{dati}}$  quando si è in fase di *lettura*.

**Cella dinamica a quattro transistori** Nella cella di memoria dinamica di Fig. 12.15-2 il numero dei transistori impiegati si riduce da sei a quattro, con un risparmio sia della superficie occupata sul chip che della potenza dissipata. La cella è composta dai transistori  $T1$ ,  $T2$ ,  $T5$  e  $T6$ . I transistori  $T7$  e  $T8$ ,  $T11$  e  $T12$  sono in comune con tutte le celle aventi lo stesso indirizzo  $Y$  di colonna. I transistori  $T9$  e  $T10$  sono in comune con tutte le celle della memoria, come si vede in Fig. 12.15-1b.

Lo stato logico viene immagazzinato sulle capacità parassite  $C_1$  e  $C_2$ , la cui presenza risulta essenziale al funzionamento. Le capacità divengono accessibili ai terminali dei dati quando le porte di trasmissione  $T7$ ,  $T8$  e  $T5$ ,  $T6$  vengono portate contemporaneamente in conduzione facendo salire gli indirizzi  $X$  e  $Y$  all'**1** logico.

In uno dei due stati logici in cui si può venire a trovare la cella, la tensione ai capi di  $C_1$  è maggiore della tensione di soglia di  $T1$ , per cui  $T1$  è ON. Corrispondentemente  $C_2$  è a 0 V e  $T2$  è OFF. Nell'altro stato logico le tensioni su  $C_1$  e  $C_2$  e gli stati di  $T1$  e  $T2$  sono scambiati. Una volta individuata la cella, il suo stato può venire *letto* ponendo  $R = 1$ . Per scrivere nella cella occorre viceversa porre  $W = 1$ .

A causa della dispersione della carica immagazzinata sulle capacità, l'informazione memorizzata nella cella può col tempo andare perduta. È perciò necessario *rinfrescare* periodicamente la cella. Questa operazione di rinfresco

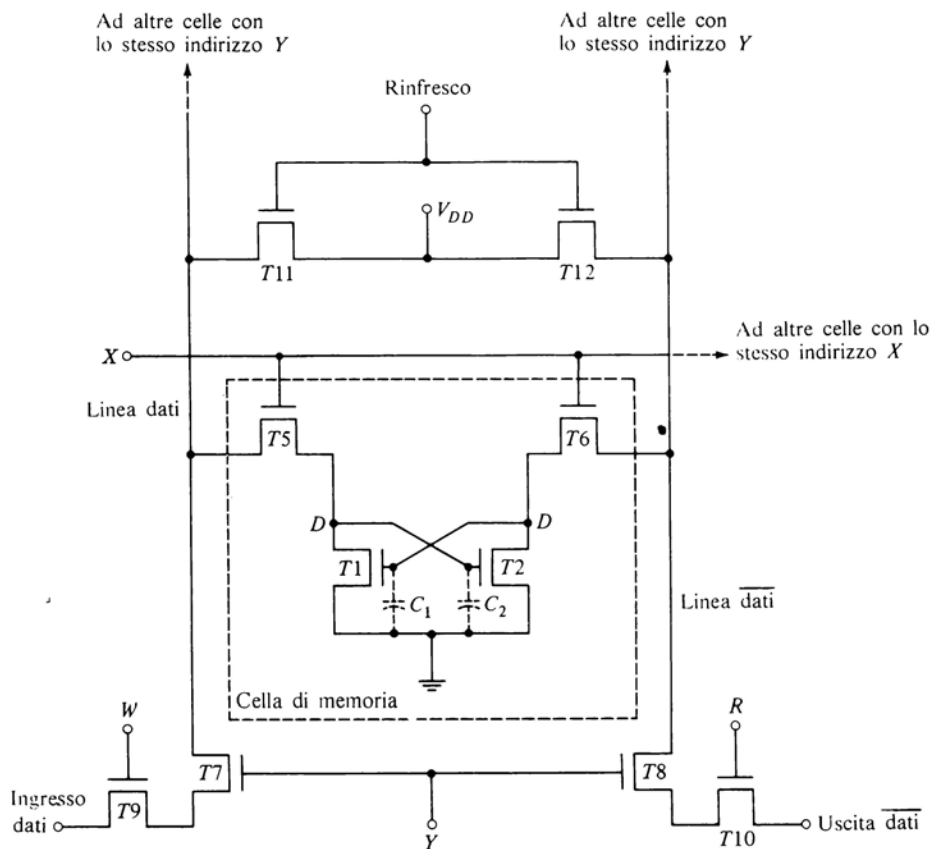


Figura 12.15-2 Cella dinamica a quattro transistori MOS.

viene compiuta collegando per un breve intervallo di tempo la tensione di alimentazione  $V_{DD}$  alla cella. Questo collegamento viene reso possibile portando sia l'indirizzo  $X$  che il terminale di rinfresco contemporaneamente all'1 logico, sicché sia  $T5$  e  $T6$  che  $T11$  e  $T12$  divengono ON. Supponiamo ora che inizialmente  $T1$  sia ON,  $T2$  OFF, che la tensione ai capi di  $C_1$  sia  $V_{C1} > V_T$ , tensione di soglia, e che  $V_{C2} = 0$  V. Durante l'intervallo di rinfresco,  $V_{DD}$  è applicata attraverso  $T12$  e  $T6$  a  $C_1$ , che è disposto in parallelo a  $T2$ . Però  $T2$  è OFF e quindi tutta la corrente proveniente da  $V_{DD}$  viene inviata su  $C_1$ , che recupera la carica perduta per dispersione. In modo analogo  $V_{DD}$  è applicata a  $C_2$ , che è disposto in parallelo a  $T1$ . Ma  $T1$  è ON, e quindi  $C_2$  non può caricarsi con la stessa rapidità di  $C_1$ . Si osservi che durante l'intervallo di rinfresco  $T6$  e  $T12$  costituiscono il carico del transistor pilota  $T2$  mentre  $T5$  e

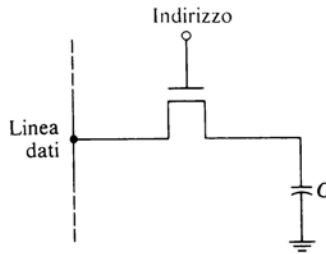


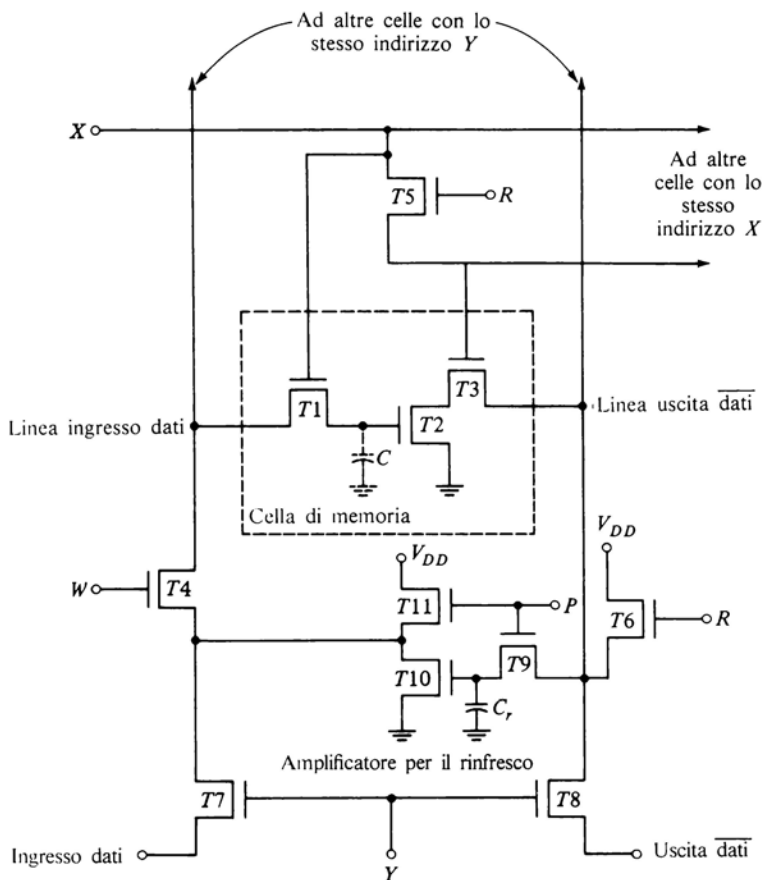
Figura 12.15-3 Memoria ad un solo transistor.

$T1$  costituiscono il carico di  $T1$ . Pertanto in questo intervallo di rinfresco la cella viene ad essere un normale flip-flop costituito da due invertitori con accoppiamento incrociato. In ogni caso è chiaro che qualunque sia lo stato iniziale del flip-flop, durante l'intervallo di rinfresco questo stato iniziale viene rinforzato.

**Cella di memoria a tre transistori** È chiaro che se si vuole conservare un bit mediante la carica immagazzinata su una capacità, come in Fig. 12.15-2, può benissimo essere sufficiente allo scopo un'unica capacità. Tale rudimentale tipo di memoria è illustrato in Fig. 12.15-3. Naturalmente è necessario aggiungere un circuito che consenta la lettura, la scrittura ed il rinfresco; questa parte aggiuntiva però viene messa in comune con numerose altre celle di memoria. In questa trattazione prenderemo in considerazione essenzialmente la parte costituente la singola cella.

Un grosso problema che riguarda la cella ad un transistor di Fig. 12.15-3 consiste nel fatto che l'operazione di lettura provoca la scarica della capacità di immagazzinamento sulla linea dati. A meno che questa capacità di immagazzinamento non sia molto più grande della capacità propria della linea dati, l'operazione di lettura risulta essere distruttiva, cioè la lettura di un bit viene a cancellare dalla memoria il bit letto. Se supponiamo però che  $C$  sia di valore piuttosto elevato, nella fase di scrittura verrà effettuata la carica di una capacità di valore elevato, e pertanto il tempo richiesto sarà piuttosto lungo.

Una soluzione a questo problema è presentata in Fig. 12.15-4, in cui sono state previste due distinte vie d'accesso alla capacità  $C$ , una per la scrittura e l'altra per la lettura. Il numero dei transistori sale però a tre. In questa cella il transistor  $T1$  viene utilizzato nella scrittura, i transistori  $T2$  e  $T3$  nella lettura. Dal momento che la capacità  $C$  è la capacità di gate di  $T2$ , essa risulta isolata dalla linea di uscita dati. Naturalmente è necessario anche un circuito di rinfresco visto che la carica della capacità  $C$  può disperdersi attraverso  $T1$ . Il rinfresco viene compiuto mediante l'invertitore costituito dalla porta di trasmissione  $T9$  e dall'amplificatore invertitore comprendente la capacità  $C$ , ed i



**Figura 12.15-4** Cella di memoria dinamica a tre transistori.

transistori  $T_{10}$  e  $T_{11}$ . Si noti la somiglianza di questo amplificatore di rinfresco con l'invertitore di Fig. 12.3-4 formato da  $T_1$ ,  $T_2$ ,  $T_3$  e  $C_1$ .

Per accedere alla cella si pone  $X = Y = 1$ . Come nei casi precedenti, più celle hanno lo stesso indirizzo  $Y$ . Per scrivere nella cella si sconnette il circuito di rinfresco ponendo  $P = 0$ . Poi si pone  $W = 1$ . Così facendo, il terminale di ingresso dati viene collegato con  $C$ , poichè  $T7$ ,  $T4$  e  $T1$  sono ON. La capacità  $C$  si carica allora al livello logico dell'ingresso dati. Per leggere la cella si pone  $R = 1$  ( $W = 0$ ); ciò porta in ON i transistori  $T6$  e  $T3$  della cella indirizzata. La linea d'uscita dati viene allora collegata con il drain di  $T2$ , poichè  $T3$  e  $T8$  sono ON. Il complemento del livello logico immagazzinato su



$C$  viene pertanto portato al terminale d'uscita  $\overline{\text{dati}}$ . Si noti che il transistor  $T6$  funge da carico per  $T2$  durante la fase di lettura, sicchè  $T2$  e  $T6$  vengono a costituire insieme un amplificatore invertitore.

Per rinfrescare la cella si pone  $Y = 0$ ,  $X = 1$ ,  $P = 1$  e  $R = 1$ . I terminali di ingresso  $\text{dati}$  e di uscita  $\overline{\text{dati}}$  sono ora sconnessi da tutte le celle di memoria. Il complemento del livello logico presente sulla capacità  $C$  viene trasferito attraverso  $T9$  ed immagazzinato su  $C_r$ . Il terminale di ingresso  $P$ , che consente la connessione di  $C_r$  con la linea di uscita  $\overline{\text{dati}}$ , è chiamato *ingresso di precarica*. Viene usato questo termine perchè quando  $P = 1$ ,  $C_r$  si precarica al complemento del livello presente su  $C$ . Dopo che è avvenuta la precarica,  $R$  è posto a  $0$  e  $W$  a  $1$ . L'uscita dell'invertitore ( $T10$  e  $T11$ ) rinfresca allora la carica sulla capacità  $C$ . Si noti che inizialmente l'uscita dell'amplificatore di rinfresco è sconnessa da  $T1$  e dalla capacità  $C$ . Ciò per garantire che inizialmente  $T11$  non carichi la capacità  $C$  prima che  $C_r$  sia stata precaricata al livello corretto. Se non venisse presa questa precauzione, la capacità  $C$  potrebbe venire erroneamente scaricata.

Le celle di memoria aventi lo stesso indirizzo  $Y$  spesso vengono rinfrescate in maniera sequenziale, cioè per prima viene rinfrescata la cella di indirizzo  $X_1$ , poi quella di indirizzo  $X_2$ , ecc. Per ogni colonna c'è un unico circuito di rinfresco; così se nella RAM sono presenti  $\beta$  colonne (vedi Fig. 12.15-1b), ci saranno  $\beta$  circuiti di rinfresco. Le  $\beta$  celle aventi lo stesso indirizzo  $X$  sono rinfrescate contemporaneamente. Così se ci sono  $\alpha$  righe, e se occorre un tempo  $T_r$  per rinfrescare ogni singola cella, occorrerà complessivamente un tempo  $\alpha T_r$  per completare il rinfresco della memoria.

Si noti che sebbene nella cella di Fig. 12.15-4 ci siano solo tre transistori, occorrono numerosi transistori ausiliari per realizzare le operazioni di lettura, scrittura e rinfresco. Questi transistori sono però in comune con le altre celle della memoria.

## 12.16 ORGANIZZAZIONE DI UNA RAM

In Fig. 12.16-1 è illustrata l'organizzazione di una memoria RAM in grado di immagazzinare  $M$  parole di 3 bit ciascuna. La cella (1,1) immagazzina il primo bit della prima parola, la cella (1,2) il secondo bit e così via. Queste celle relative alla prima parola vengono indirizzate portando ad  $1$  il livello della linea  $Z_1$ . Se la capacità della memoria è di  $M$  parole, sono necessarie  $M$  linee di indirizzo  $Z_1, Z_2, \dots, Z_M$ . Le locazioni di memoria vengono individuate mediante codice attraverso i  $\lambda$  bit di indirizzo  $A_0 A_1 \dots A_{\lambda-1}$  (dove  $M = 2^\lambda$ ). Si deve pertanto interporre un decodificatore fra le celle di memoria e gli indirizzi in codice. Come si è detto nel Par. 12.9, questo decodificatore individua una ed una sola linea di indirizzo per ogni codice di ingresso. Non tutte le memorie presenti sul mercato sono provviste di decodificatore; in mancanza di decodificatore spetta all'utente aggiungerne uno. Le unità di memoria provvi-

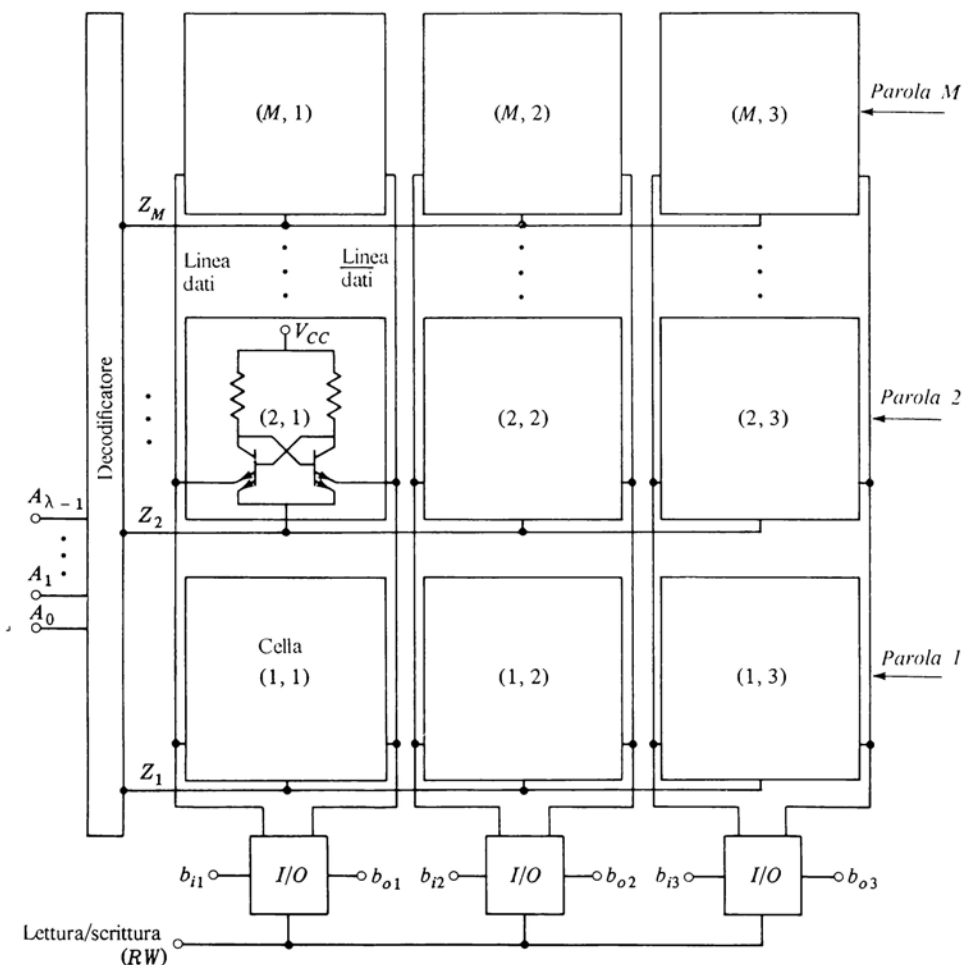


Figura 12.16-1 Organizzazione di una memoria ad  $M$  parole di 3 bit.

ste di decodificatore vengono distinte dal costruttore col termine «decodificate» (*decoded* oppure *fully decoded*).

Tutte le celle ( $C_{1,1}$ ,  $C_{2,1}$ , ...,  $C_{M,1}$ ) destinate ad immagazzinare il primo bit di ogni parola sono collegate ad un'unica coppia di linee dati. Anche le celle relative al secondo ed al terzo bit sono collegate nello stesso modo. Il blocco indicato con I/O (*input-output*: ingresso-uscita) contiene il circuito di Fig. 12.13-1 o 12.15-4 escluso il solo flip-flop di memoria. I bit  $b_{i1}$ ,  $b_{i2}$  e  $b_{i3}$  sono i bit di ingresso che verranno scritti nella memoria quando la linea di lettura-

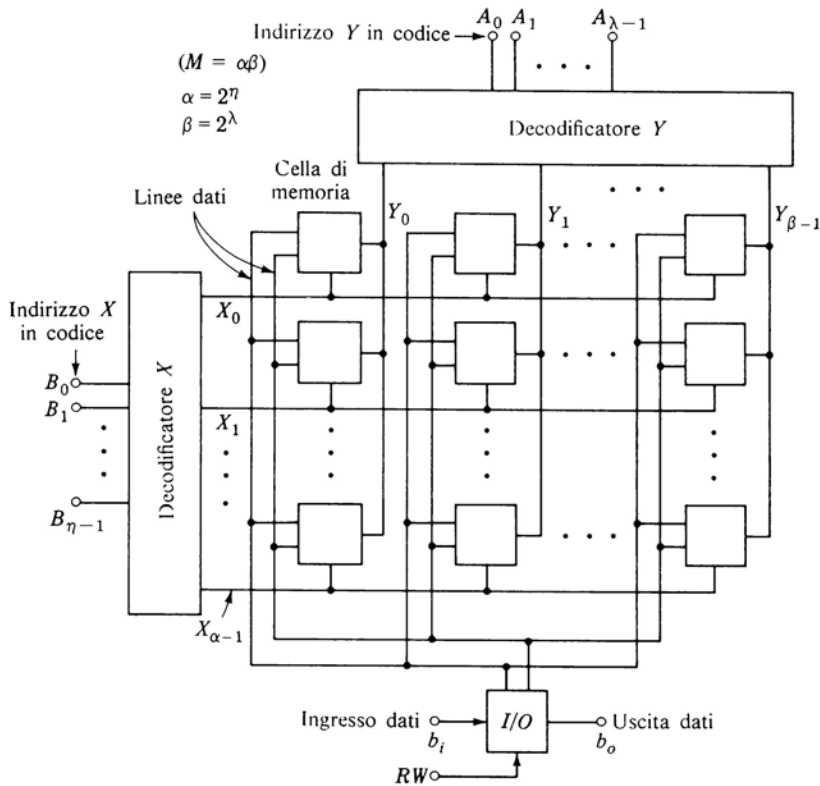


Figura 12.16-2 Organizzazione di una memoria ad  $M$  parole di 1 bit.

ra/scrittura ( $RW$ : read/write) viene portata all'1 logico. I bit  $b_{o1}$ ,  $b_{o2}$  e  $b_{o3}$  sono i bit d'uscita che verranno letti quando  $RW = 0$ .

Se la cella di memoria presenta due terminali di indirizzo, come nelle Fig. 12.13-1 e 12.15-4, è possibile accedere ad ogni cella separatamente ed individualmente. In tale caso una memoria con  $M$  celle può essere impiegata per immagazzinare  $M$  parole da 1 bit ciascuna. L'organizzazione di tale memoria è illustrata in Fig. 12.16-2. Si noti in particolare che in questo caso sono necessari due decodificatori. In un certo istante verrà selezionata una sola linea d'uscita del decodificatore  $X$  ed una sola linea d'uscita del decodificatore  $Y$ . Di conseguenza verrà selezionata (indirizzata) soltanto la cella posta all'intersezione delle due linee selezionate. Le linee dati di tutte le celle sono disposte in parallelo per cui si richiede un solo stadio di ingresso-uscita per trattare la parola ad 1 bit.

Questo tipo di organizzazione consente di impiegare decodificatori più semplici, poichè parte della decodifica è fatta nella cella di memoria stessa. Per esempio, supponiamo di aver bisogno di una memoria a 256 ( $2^8$ ) parole di 1 bit ciascuna. Se le celle hanno ciascuna una singola linea di indirizzamento, sarà necessario un decodificatore con 256 linee d'uscita. Supponiamo invece che le celle siano disposte come in Fig. 12.16-2, cioè a matrice ( $\alpha = \beta = 16$ ). Si possono impiegare allora due decodificatori, ciascuno però con 4 linee d'ingresso e 16 d'uscita.

Se le celle di memoria impiegate nella RAM di Fig. 12.16-2 sono di tipo dinamico, ciascuna colonna sarà provvista del suo circuito di rinfresco, come in Fig. 12.15-4. Pertanto in una memoria a 1024 bit contenente 32 colonne saranno impiegati 32 circuiti di rinfresco.

## 12.17 DISPOSIZIONE IN PARALLELO DI CHIP CONTENENTI MEMORIE A SEMICONDUCTORE

Nel chip di una memoria a circuito integrato il numero dei bit per parola è pari al numero delle celle aventi una comune linea di indirizzo, mentre il numero delle parole è pari al numero dei gruppi di bit indirizzabili distintamente. I costruttori specificano generalmente col termine *organizzazione* la capacità di immagazzinamento in *parole* ed in *bit per parola*. Una memoria di piccola capacità può essere caratterizzata ad esempio ad una capacità di 64 bit organizzati in 16 parole di 4 bit ciascuna. (Il numero delle parole è invariabilmente una potenza di 2, onde consentire un'utilizzazione completa di tutte le uscite del decodificatore del codice binario di ingresso.) Come si è già fatto notare, il chip può essere provvisto di decodificatore e dei circuiti di ingresso-uscita.

La capacità di un sistema di memorie può venire incrementata disponendo più chip in parallelo. In Fig. 12.17-1 è illustrata una disposizione in parallelo di chip realizzata in modo da mantenere fisso il numero delle parole, aumentando il numero dei bit per parola. Viene illustrato il caso di due chip identici, ognuno con capacità di 48 bit, organizzati in 16 parole di 3 bit/parola. Le parole vengono indirizzate mediante un indirizzo in codice di 4 bit  $A_3A_2A_1A_0$ . Gli ingressi di indirizzo dei due chip sono posti in parallelo, così come gli ingressi di lettura/scrittura ( $RW$ ). I tre bit d'uscita del chip 1 ( $b_{01}, b_{02}, b_{03}$ ) ed i 3 bit d'uscita del chip 2 ( $b_{04}, b_{05}, b_{06}$ ) vengono a costituire i 6 bit d'uscita ( $b_{01}, \dots, b_{06}$ ) della nuova parola a 6 bit. Analogamente i bit di ingresso della parola a 6 bit sono  $b_{11}, \dots, b_{16}$ . Naturalmente in parallelo possono venire aggiunti altri chip, aumentando così ulteriormente il numero dei bit per parola.

Disponendo in parallelo memorie con parole di 1-bit, del tipo illustrato in Fig. 12.16-2, le parole d'uscita presenteranno un numero di bit pari al numero dei chip posti in parallelo. I bit di codice per le linee  $X$  vengono applicati ai decodificatori  $X$  di ciascun chip, mentre i bit di codice per le linee  $Y$  vengono applicati ai decodificatori  $Y$  di ciascun chip. Questa disposizione parallelo è

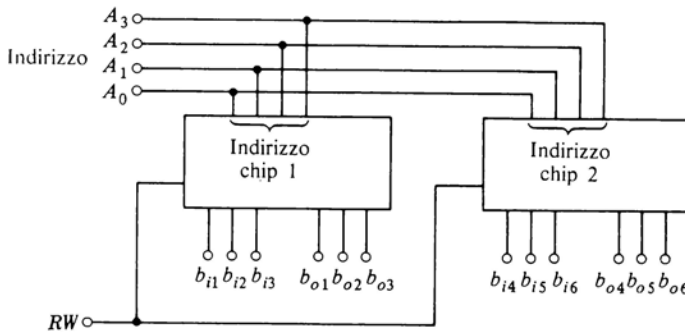


Figura 12.17-1 Organizzazione di più chip di memoria in parallelo per aumentare il numero di bit per parola.

illustrata in Fig. 12.17-2, in cui per semplicità tutte le linee di indirizzo  $A$ , come le linee di indirizzo  $B$ , sono indicate con una linea sola.

**Espansione di memorie con parole di 1 bit** Supponiamo di disporre nuovamente di chip di memoria ad  $M$  bit indirizzabili singolarmente. Abbiamo già visto in Fig. 12.17-2 come  $N$  chip di questo tipo possano venire organizzati in una memoria di  $M$  parole di  $N$  bit ciascuna. Supponiamo ora di voler aumentare non già il numero  $N$  dei bit per parola, ma il numero  $M$  delle parole. Vogliamo per esempio  $L \times M$  parole. Questa espansione può venire realizzata mediante una disposizione in parallelo di  $L$  gruppi di  $N$  chip, come illustrato in Fig. 12.17-3.

I chip della prima riga a partire dall'alto immagazzinano le prime  $M$  parole, le successive  $M$  parole vengono immagazzinate nella seconda riga, ed infine l' $L$ -esimo gruppo di  $M$  parole viene immagazzinato nell'ultima riga in basso. Per selezionare una parola di una certa riga, il costruttore fornisce nel chip un'ulteriore linea di indirizzo, chiamata linea di selezione del chip (*chip*

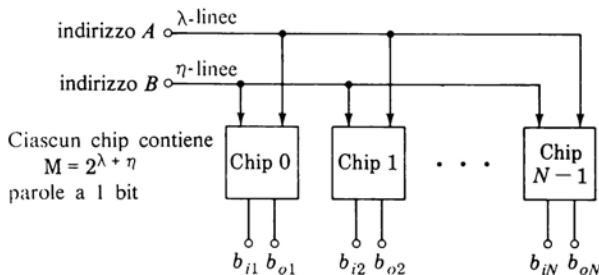


Figura 12.17-2 Parallelo di chip per aumentare il numero di bit per parola. In questo caso ogni chip fornisce un solo bit.

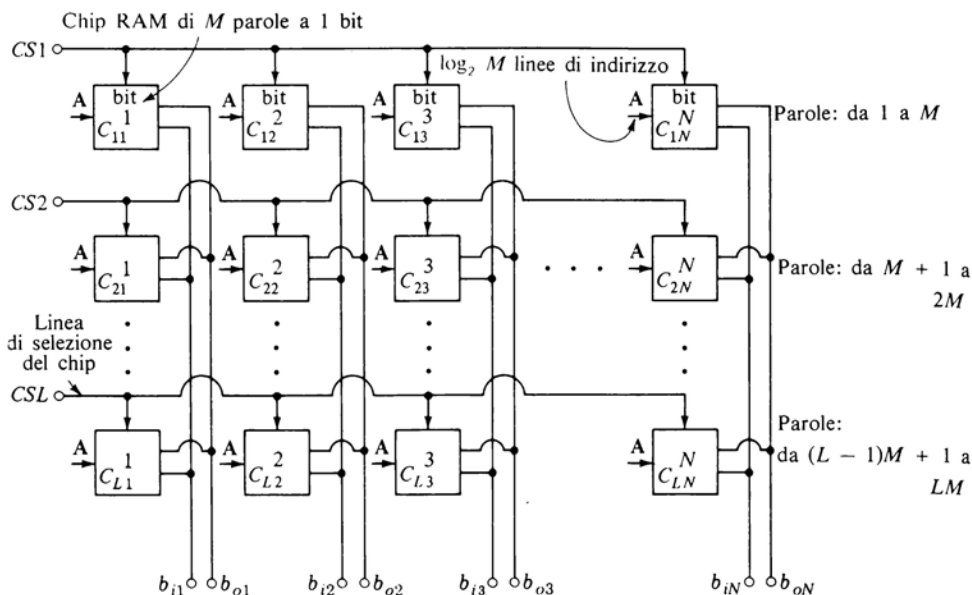


Figura 12.17-3 Struttura di RAM  $M \times 1$  per costituire una memoria di  $LM$  parole di  $N$  bit.

*select*). Quando la linea di selezione del chip è  $CS = 0$ , il decodificatore del chip viene disabilitato e nel chip non è più possibile indirizzare alcuna parola. Quando la linea  $CS = 1$ , il decodificatore è abilitato e le parole possono venire indirizzate nel solito modo.

In Fig. 12.17-3 la freccia indicata con  $A$  accanto ad ogni chip rappresenta tutte le linee di indirizzo che provvedono alla selezione dei singoli bit nel chip stesso. L'indirizzo complessivo della memoria, costituito dalle linee di indirizzo  $A$  più le linee  $CS$  di selezione del chip, individua una ben determinata linea di selezione del chip e, sulla riga di chip corrispondente, individua una ben determinata parola. Viene spontaneo il paragone con la lettura di un libro; la *linea di selezione del chip* seleziona una *pagina* della memoria e l'indirizzo  $A$  seleziona una parola della pagina.

Si tenga presente che quando si dispongono in parallelo diversi chip per aumentare il numero delle parole, è necessario collegare in parallelo le linee d'uscita di tutti i chip. Ad esempio la linea d'uscita del primo bit di una parola deve essere collegata insieme con i terminali d'uscita dei primi bit di tutti gli altri chip; cioè  $C_{11}$ ,  $C_{21}$ , ...,  $C_{L1}$  devono essere collegati in parallelo. È perciò necessario che i chip siano provvisti ciascuno di uno stadio di uscita

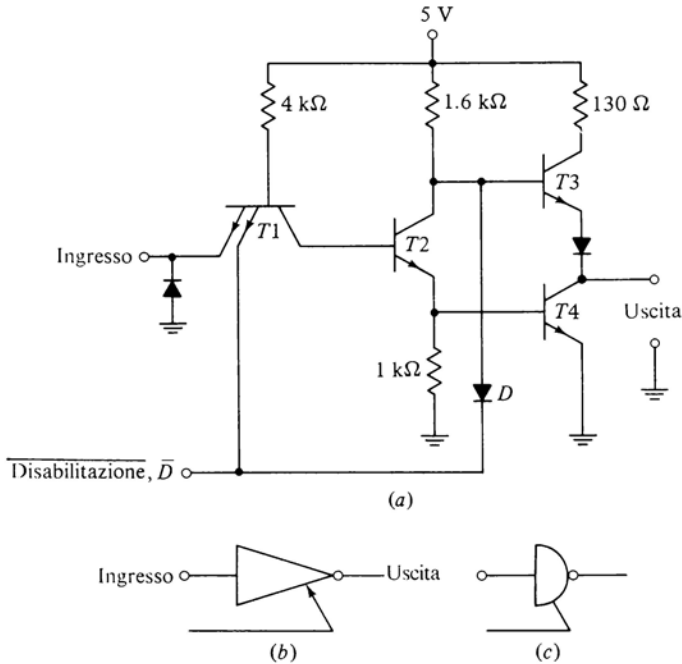


Figura 12.17-4 (a) Stadio di uscita TTL a tre stati; (b) e (c) simboli circuitali.

che impedisca che i livelli logici di uscita del chip selezionato vengano influenzati dal collegamento con i terminali d'uscita degli altri chip non selezionati. Lo stadio d'uscita TTL illustrato in Fig. 12.17-4a è largamente usato per questo scopo. Lo stadio è, come si può facilmente riconoscere, una porta TTL standard, modificata con l'aggiunta di un ingresso di disabilitazione.

Quando la linea di disabilitazione è ad 1 logico, il diodo  $D$  non conduce e non conduce neppure l'emettitore di  $T1$  connesso a questa linea. Quindi con  $\overline{D} = 1$  si ha uno stadio d'uscita normale con tutti i vantaggi propri del pull-up attivo (vedi Cap. 5). Con  $\overline{D} = 0$ , sia  $T3$  che  $T4$  sono OFF ed il terminale d'uscita risulta completamente isolato. L'impedenza vista guardando nel terminale d'uscita è molto elevata, anche se non proprio infinita a causa delle perdite e delle capacità parassite. Lo stadio di Fig. 12.17-4 viene chiamato stadio *a tre stati* (*tristate*), poichè presenta in uscita tre diversi stati: lo 0 logico, l'1 logico e un *terzo stato*, uno stato cioè nominalmente isolato ad alta impedenza. In Fig. 12.17-4b e c sono indicati alcuni simboli dello stadio a tre stati.

Nella disposizione in parallelo di diversi chip, lo stadio di uscita a tre stati viene abilitato e disabilitato dall'ingresso di selezione del chip. L'abilitazione viene data soltanto agli stadi d'uscita del chip selezionato. Esistono e sono disponibili sul mercato anche porte CMOS con uscita a tre stati.

## 12.18 DISPOSITIVI AD ACCOPPIAMENTO DI CARICA (CCD)

Abbiamo visto come una serie di transistori MOSFET, disposti su di una piastrina di silicio in modo da realizzare un registro a scorrimento dinamico, possa venire utilizzata come memoria di tipo sequenziale. Consideriamo ora un altro tipo di memoria sequenziale costituita da un registro a scorrimento dinamico a MOS basato sul principio dei *dispositivi ad accoppiamento di carica* (CCD: *charge-coupled device*). La memoria CCD è in grado di funzionare alla stessa velocità delle normali memorie a MOSFET con un consumo di potenza apprezzabilmente più basso. Tuttavia il pregio più notevole delle memorie CCD consiste nel fatto che esse possono venire realizzate con una densità di bit fino a tre volte superiore a quella ottenibile con le memorie a MOSFET. Come abbiamo già detto, conviene ridurre il più possibile lo spazio occupato dai componenti sul chip, poichè quanto più estesa è la superficie del chip, tanto più aumenta la probabilità di incontrare imperfezioni strutturali nel chip stesso. Quindi la maggiore densità resa possibile con i CCD comporta un prodotto migliore e costi più bassi. Un altro grosso vantaggio dei CCD consiste nel fatto che il procedimento di fabbricazione è molto semplice ed implica un numero di operazioni molto minore di quello richiesto dalle tecnologie MOSFET e bipolare.

La struttura di un CCD è illustrata in Fig. 12.18-1. Il dispositivo è costruito su di un substrato semiconduttore, che nel disegno è silicio di tipo  $n$ , ma potrebbe benissimo essere silicio di tipo  $p$ . Il substrato è ricoperto da uno

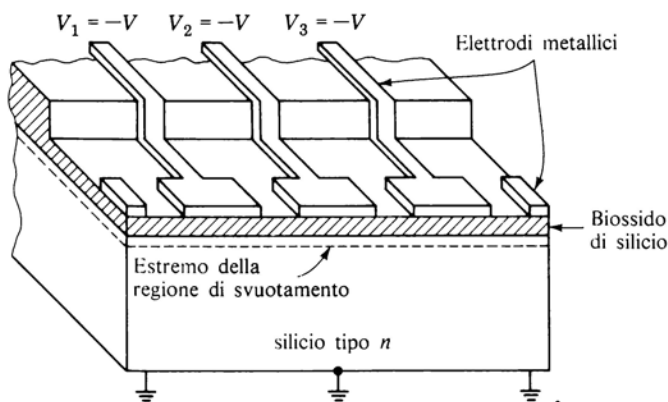


Figura 12.18-1 Struttura di un dispositivo ad accoppiamento di carica.



strato isolante di ossido di silicio su cui è disposta una serie di elettrodi metallici vicini gli uni agli altri. La struttura a «sandwich» costituita da metallo-ossido-semiconduttore ricorda la struttura dei MOSFET. Qui però mancano le regioni di tipo  $p$  che nel MOSFET costituivano il source ed il drain.

Iniziamo con il considerare la parte inferiore del substrato al potenziale di massa (0 V) e tutti gli elettrodi ad uno stesso potenziale fisso  $-V$ . Dal momento che in realtà la distanza fra due elettrodi contigui è estremamente piccola rispetto alla loro larghezza (nella Fig. 12.18-1 questa distanza è stata molto esagerata), lo strato metallico costituito dagli elettrodi può essere considerato come un'unica superficie equipotenziale posta alla tensione  $-V$ . Dal momento che la base del substrato costituisce a sua volta una superficie equipotenziale a 0 V, le superfici equipotenziali all'interno della struttura risultano essere piane e parallele alle facce superiore ed inferiore della struttura stessa.

Se la tensione  $-V$  è di valore tale da superare la tensione di soglia  $V_T$  del substrato, si verrà a formare immediatamente al di sotto dell'ossido una regione di svuotamento, ovvero una regione da cui sono state rimosse le cariche mobili. In questo caso le lacune presenti nel substrato, costituenti le cariche minoritarie, vengono attratte verso l'ossido, mentre le cariche maggioritarie — elettroni — vengono respinte dall'ossido stesso. Poiché la carica negativa è stata rimossa, la regione di svuotamento, inizialmente neutra, viene ad assumere una polarizzazione positiva; viene pertanto a formarsi un campo elettrico fra la carica negativa presente sul metallo e la carica positiva nella zona di svuotamento. Lo spessore della regione di svuotamento è tale da consentire alla carica positiva formatasi di chiudere tutte le linee di campo elettrico che partono dalla carica presente sul metallo. La superficie che limita la regione di svuotamento, essendo una superficie equipotenziale, è piana e parallela alle facce superiore e inferiore della struttura (vedi Fig. 12.18-1).

Inizialmente la regione di svuotamento indicata in Fig. 12.18-1 è priva di cariche mobili; successivamente le lacune presenti nel substrato, che è di tipo  $n$ , cominciano a diffondersi in essa. Dopo che nella regione di svuotamento è penetrato un certo numero di lacune, al di sotto dell'ossido si viene a costituire uno strato conduttore, in modo analogo a quanto avviene per il canale nei MOS.

Il tempo che intercorre fra l'inizio dello svuotamento e la completa formazione del canale dipende dalla natura e dalla quantità delle impurità presenti nel semiconduttore, dalla presenza o meno di difetti nella struttura cristallina del semiconduttore stesso e da altri fattori ancora. Tale tempo può andare dai decimi di secondo alle decine di secondi e oltre. In ogni caso questo tempo è di valore elevato in confronto con i periodi di clock normalmente usati. Ciò può apparire strano pensando a ciò che avviene nei MOSFET, in cui non appena si applica un'opportuna tensione al gate si viene subito a formare il

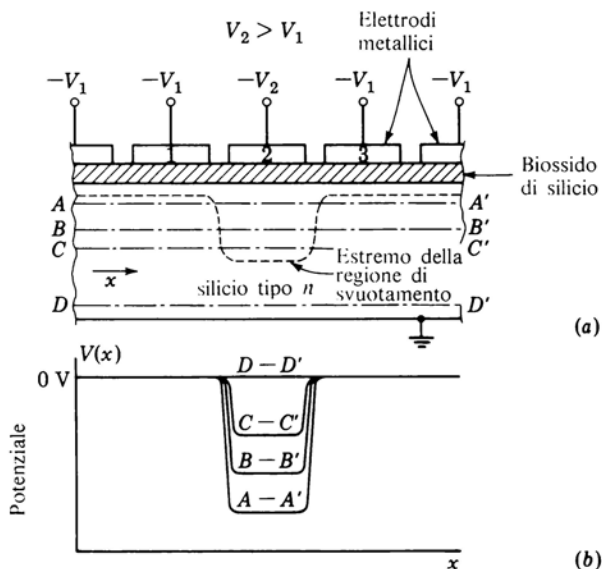


Figura 12.19-1 (a) La forma della zona di svuotamento quando un elettrodo è portato ad un potenziale più negativo di quello degli elettrodi vicini. (b) Il potenziale  $V(x)$  nel substrato a vari livelli di profondità.

canale, con un ritardo di qualche decina di nanosecondi. La spiegazione sta nel fatto che nel MOSFET, a differenza del CCD, è presente, immediatamente a lato della regione di svuotamento, una sorgente di cariche minoritarie. Così nel MOSFET, con tensione iniziale fra source e drain, non appena si applica tensione al gate per generare la zona di svuotamento, le cariche minoritarie si precipitano nella regione di svuotamento dal source e dal drain e creano quasi istantaneamente il canale conduttore.

## 12.19 IMMAZZAZZINAMENTO DELLA CARICA

Consideriamo ora la situazione rappresentata in Fig. 12.19-1a. La tensione di uno degli elettrodi metallici è stata resa notevolmente più negativa di quella degli elettrodi vicini; più specificatamente è l'elettrodo 2 che si viene a trovare ad una tensione molto più negativa di quella degli altri elettrodi. Di conseguenza la regione di svuotamento si estenderà più in profondità sotto l'elettrodo 2 che non sotto di altri elettrodi. Abbiamo indicato con la linea tratteggiata i limiti della regione di svuotamento in questa nuova situazione (Fig. 12.19-1a)

In Fig. 12.19-1b sono rappresentate qualitativamente le curve del potenziale in funzione di  $x$  — distanza presa su di un asse orizzontale nel substrato — a diversi livelli di profondità. Per ogni livello di profondità che intersechi la regione di svuotamento, il potenziale sotto l'elettrodo 2 è *più basso* del potenziale sotto gli elettrodi vicini. L'abbassamento di potenziale è più pronunciato per il livello  $AA'$ , più vicino agli elettrodi, e meno pronunciato per il livello  $CC'$ , più lontano dagli elettrodi. Nel disegnare queste curve si è tenuto conto che fuori dalla regione di svuotamento il substrato è un buon conduttore, essendo ricco di cariche maggioritarie. Non scorrendo alcuna corrente, in questa zona del substrato non ci sarà né campo elettrico né differenza di potenziale lungo l'asse  $x$ .

Ricordiamo ora che una particella elettrica di carica  $q$  posta in un campo elettrico di potenziale (unidimensionale)  $V(x)$  è soggetta ad una forza nella direzione delle  $x$  positive data dalla formula  $f = -q dV/dx$ . Pertanto in Fig. 12.19-1b, dove la curva del potenziale è piatta ( $dV/dx = 0$ ), non agisce forza alcuna. Viceversa nella regione fra gli elettrodi 1 e 2, dove  $dV/dx$  è negativa, la forza agisce verso destra e nella regione fra gli elettrodi 2 e 3, dove  $dV/dx$  è positiva, la forza agisce verso sinistra. Una carica positiva introdotta nella regione di svuotamento, ad un qualsiasi livello, è pertanto libera di muoversi soltanto all'interno della «buca di potenziale» disegnata in b.

In conclusione, l'applicazione ad un elettrodo di una tensione molto più negativa di quella applicata agli elettrodi vicini crea sotto questo elettrodo una regione di svuotamento che penetra più profondamente nel substrato. Introducendo una carica positiva in questa regione (il modo lo vedremo fra poco), questa vi rimarrà praticamente intrappolata. Questa carica potrà anche alla fine confondersi con le nuove cariche che penetrano nella regione nel modo che abbiamo precedentemente descritto. Però fintanto che la carica resta identificabile, la sua presenza (o la sua assenza) potrà essere utilizzata per rappresentare uno dei due livelli logici. Come ora vedremo, esistono dei dispositivi che consentono il trasferimento delle cariche intrappolate dalla zona situata al di sotto di un elettrodo alla zona situata al di sotto di un altro elettrodo, permettendo così di realizzare un registro a scorrimento.

## 12.20 TRASFERIMENTO DELLA CARICA

In Fig. 12.20-1 è illustrato un sistema per spostare lateralmente la carica nel CCD. In Fig. 12.20-1b è illustrato il CCD, che si estende lateralmente nella direzione  $x$ . Supponiamo che inizialmente, per  $t = t_0$ , sull'elettrodo  $k$  ci sia una tensione  $V = -V_2$ , mentre sugli altri elettrodi ci sia una tensione  $V = -V_1$ . Sotto l'elettrodo  $k$  allora la profondità della regione di svuotamento sarà maggiore che non sotto gli altri elettrodi. Pertanto all'istante  $t = t_0$ , la tensione  $V(x)$  ad un qualsiasi livello che intersechi la regione di svuotamento più profonda avrà l'andamento di Fig. 12.20-1c. Supponiamo inoltre di essere riusciti in qualche modo ad introdurre alcune cariche positive nella regione di

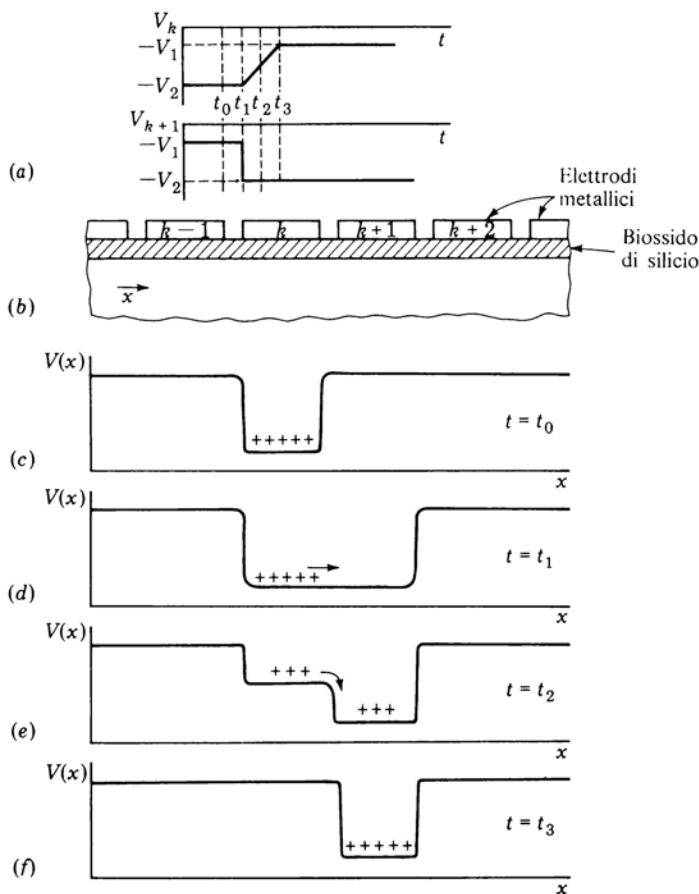


Figura 12.20-1 Il meccanismo di trasferimento della carica. (a) Le forme d'onda  $V_k$  e  $V_{k+1}$ . (b) Il CCD. Da (c) a (f): gli andamenti del potenziale dall'istante  $t_0$  all'istante  $t_3$ .

svuotamento. Abbiamo rappresentato queste cariche come se fossero appoggiate sul fondo della buca di potenziale.

Ora, come indicato in Fig. 12.20-1a facciamo in modo che all'istante  $t = t_1$ , la tensione sull'elettrodo  $k + 1$  scenda anch'essa a  $V = -V_2$ . La curva di potenziale si modifica allora come indicato in Fig. 12.20-1d. La barriera di potenziale a destra della carica di Fig. 12.20-1c è stata rimossa e la carica può diffondersi, come indicato in Fig. 12.20-1d, verso destra. Non si può verificare un movimento di carica in senso inverso, almeno inizialmente, semplicemente perchè nella regione  $k + 1$  non c'è carica. Se la curva del potenziale

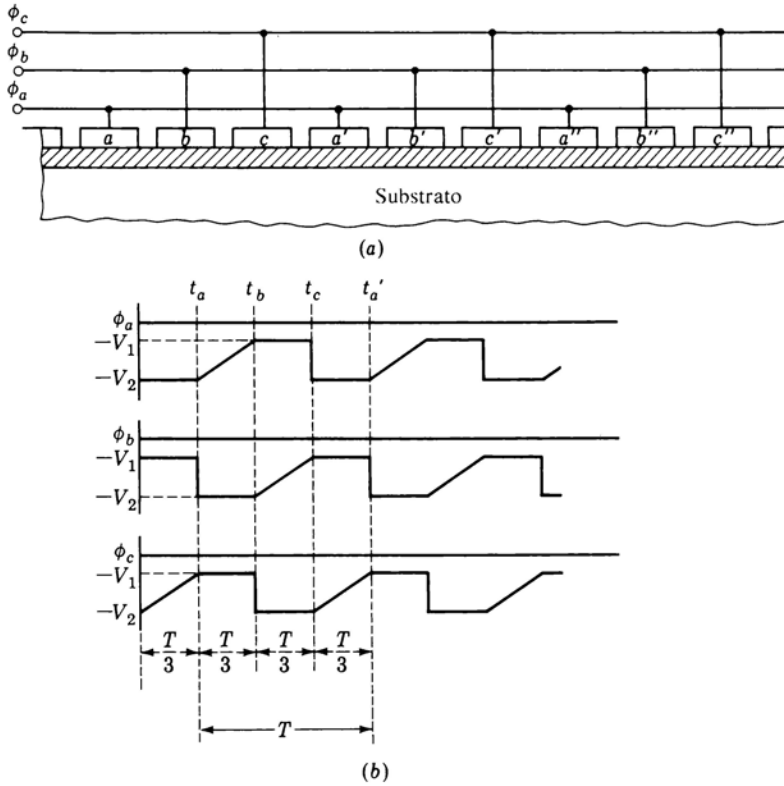


Figura 12.20-2 (a) Il collegamento del clock a tre fasi agli elettrodi di un CCD. (b) Forme d'onda del clock.

rimanesse come in Fig. 12.20-1d, la carica tenderebbe a distribuirsi di per se stessa in modo uniforme nelle due regioni  $k$  e  $k + 1$ . Invece facciamo in modo, come indicato nelle forme d'onda di  $V_k$  e  $V_{k+1}$  in Fig. 12.20-1a, che  $V_k$  ritorni, relativamente adagio, al valore  $V_k = -V_1$ .

Al salire di  $V_k$ , la carica della regione  $k$  si sposta nella regione  $k + 1$ . Il trasferimento della carica verso destra è dovuto sia alla diffusione che alla presenza del campo elettrico prodotto dalla differenza di potenziale fra le due regioni adiacenti. Infine dall'istante  $t = t_3$  in poi, la carica si trova localizzata tutta quanta nella regione  $k + 1$ , come indicato in Fig. 12.20-1f ed il trasferimento è concluso.

Nell'intervallo da  $t = t_1$  a  $t = t_2$ , durante il quale la carica sta trasferendosi dalla regione  $k$  alla regione  $k + 1$ , è necessario che la tensione sugli elettrodi  $k - 1$  e  $k + 2$  sia mantenuta a  $V = -V_1$ , perchè sotto questi elettrodi non si

creino altre regioni di svuotamento. Se si formasse una regione di svuotamento sotto  $k - 1$ , una parte della carica verrebbe trasferita a sinistra, nella direzione sbagliata. Se invece ciò avvenisse sotto  $k + 2$ , parte della carica verrebbe trasferita nella direzione giusta, ma di due passi in avanti anziché di un passo solo.

Tenendo presente il meccanismo di trasferimento della carica sopra descritto e tenendo presente che la carica non deve venire trasferita indietro né avanti di più di un passo alla volta, vediamo come si può effettuare una sequenza di passi in avanti, analogamente a quanto avviene in un registro a scorrimento. Come mostrato in Fig. 12.20-2a, un elettrodo ogni tre è connesso ad una fase del clock; i tre segnali  $\Phi_a$ ,  $\Phi_b$  e  $\Phi_c$  costituenti il clock sono indicati in Fig. 12.20-2b. Il clock presenta periodo  $T$ , suddiviso in tre sottointervalli di durata  $T/3$ . In questi tre sottointervalli il segnale si trova prima a  $-V_1$ , poi a  $-V_2$  per risalire infine da  $-V_2$  a  $-V_1$ . All'istante  $t_a$ , essendo  $\Phi_b$  rimasto a  $-V_1$  per tutto un sotto-intervallo  $T/3$ , non ci sarà certamente più alcuna carica sotto gli elettrodi  $b$  ( $b$ ,  $b'$ ,  $b''$ , ecc.). Anche  $\Phi_c$  ha ormai completato la sua salita a  $-V_1$ , col risultato che le cariche che si trovavano sotto gli elettrodi  $c$  sono state ormai sospinte completamente sotto gli elettrodi  $a$ . Perciò per  $t = t_a$ , tutte le cariche (o la mancanza di cariche, a seconda che sia rappresentato un **1** o uno **0** logico) saranno localizzate sotto gli elettrodi  $a$ . Specificatamente supponiamo che le cariche siano concentrate proprio sotto l'elettrodo  $a$  di Fig. 12.20-2a. Nell'intervallo da  $t_a$  a  $t_b$  queste cariche vengono trasferite verso la regione situata sotto l'elettrodo  $b$ ; il trasferimento sarà completato all'istante  $t = t_b$ . All'istante  $t = t_c$  le cariche saranno completamente trasferite sotto l'elettrodo  $c$ . Infine all'istante  $t = t'_a$ , dopo un intervallo complessivo  $T$ , le cariche si trovavano sotto  $a$  all'istante  $t = t_a$  saranno localizzate sotto  $a'$ . Si noti che, quando il ciclo è stato completato, la carica si è trasferita di *tre elettrodi in avanti*. Sono perciò necessari *tre elettrodi* per immagazzinare e trasferire *un solo bit*.

Abbiamo fin qui descritto un CCD che, per la geometria dei suoi elettrodi e dello strato di ossido isolante, richiede un clock a tre fasi. Questo tipo di CCD presenta l'inconveniente di avere gli elettrodi troppo vicini gli uni agli altri; ciò crea seri problemi in fase di fabbricazione del dispositivo. Sono stati sviluppati CCD con geometrie più complesse, che richiedono clock a quattro fasi, clock a due fasi ed anche clock ad una fase sola.

## 12.21 DISPOSITIVI DI INGRESSO E DI USCITA

Nel paragrafo precedente abbiamo visto il meccanismo con cui la carica intrappolata nella regione di svuotamento situata al di sotto di un certo elettrodo viene trasferita lateralmente, alla maniera del registro a scorrimento. Esamineremo ora brevemente il modo in cui la carica può venire introdotta all'ingresso del CCD e il modo in cui può venire rivelata all'uscita del dispositivo stesso.

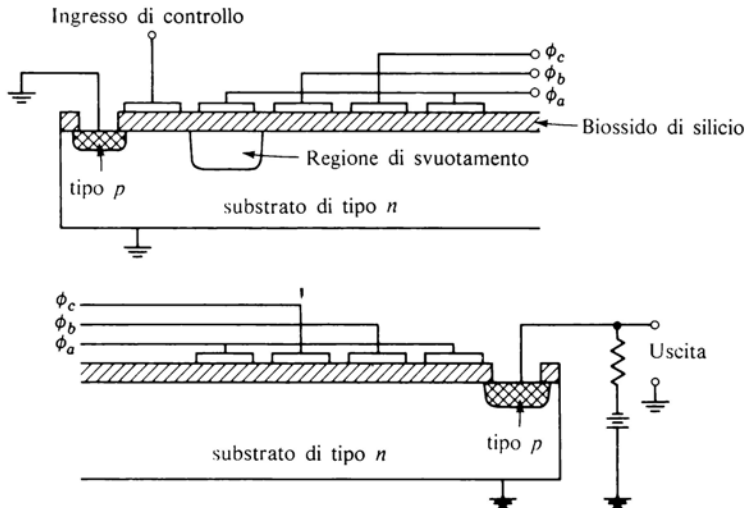


Figura 12.21-1 (a) Metodo per iniettare la carica in un registro a scorrimento CCD. (b) Metodo per rivelare la carica in un registro a scorrimento CCD.

In Fig. 12.21-1a è illustrata una soluzione adatta al caso in cui il CCD è impiegato come registro a scorrimento. Attraverso un'apertura praticata nello strato di ossido isolante si è diffusa nel substrato di tipo *n* una regione di tipo *p*. Si è inoltre aggiunto un elettrodo di controllo, posto prima degli elettrodi di trasferimento. Supponiamo che la fase del clock sia tale che al di sotto dell'elettrodo più vicino all'elettrodo di controllo si sia formata, come illustrato, una regione di svuotamento. In questo caso è chiara l'analogia con il MOSFET. Se viene applicata una tensione negativa all'elettrodo di controllo, al di sotto di esso si viene a formare un canale di svuotamento che consente lo spostamento di cariche minoritarie di tipo *p* dalla regione di tipo *p* alla regione di svuotamento. Quando la regione di svuotamento è stata riempita della quantità di carica richiesta, la tensione sull'elettrodo di controllo viene soppressa. A questo punto il clock può iniziare a trasferire la carica lateralmente, lasciando la regione al di sotto del primo elettrodo libera di ricevere dalla regione di tipo *p* una nuova carica.

La carica può venire rivelata alla fine del registro nel modo indicato in Fig. 12.21-1b. In una nuova apertura praticata nello strato di ossido isolante si è diffusa una regione di tipo *p*. Una sorgente di tensione esterna polarizza inversamente la giunzione costituita dal substrato di tipo *n* e dalla zona diffusa di tipo *p*. Le cariche minoritarie vengono trasferite attraverso la giunzione

proprio come, in un normale transistor, le cariche minoritarie vengono trasferite attraverso la giunzione di collettore. Ai capi di un resistore posto in serie alla sorgente di polarizzazione si preleva la tensione di uscita. Le tecniche di iniezione e di rivelazione della carica sopra descritte presentano l'inconveniente di richiedere, durante la fabbricazione, una temperatura molto elevata per poter realizzare la diffusione nel substrato. Esistono però altre tecniche che fanno a meno di tale diffusione.

Si deve notare infine che il processo di trasferimento della carica da un elettrodo all'altro non è così perfetto come si è descritto. Ad ogni trasferimento una parte della carica rimane indietro. Pertanto in un registro con molte celle è necessario provvedere ad un rinfresco periodico. Gli stadi amplificatori di rinfresco sono fabbricati direttamente sullo stesso substrato del CCD e non richiedono eccessivo spazio.

**Esempio di memoria CCD** Una tipica memoria CCD disponibile sul mercato è la memoria Intel 2416. Questa memoria è organizzata in 64 registri a scorrimento con ricircolazione, ciascuno di 256 bit. Ricordando che, a causa del progressivo svanire della regione di svuotamento, un bit non può rimanere immagazzinato indefinitamente in una certa posizione, per questa memoria viene precisato che l'intervallo massimo fra due trasferimenti è di 9  $\mu$ s. La massima frequenza di trasferimento è di 2 MHz. Si impiega un clock a quattro fasi. Il consumo di potenza medio è di circa 20  $\mu$ W per bit.

## BIBLIOGRAFIA

- 1 Seqrn, C. H., and M. F. Tompsett: «Charge Transfer Devices.» Academic Press, 1975.
- 2 Boyle, W. S., and G. E. Smith: Charge-Coupled Semiconductor Devices, *Bell System Tech. J.*, vol. 49, April, 1970, pp. 587-600.
- 3 Boyle, W. S., and G. E. Smith: «Charge-Coupled Devices — A New Approach to MIS Device Structures, *IEEE Spectrum*, July 1971, 18-27.
- 4 Altman, L.: The New Concept for Memory and Imaging: Charge Coupling, *Electronics*, June 21, 1971, pp. 50-59.
- 5 Kosonocky, W. F., and J. E. Carnes: Charge-Coupled Digital Circuits, *IEEE J. Solid State Circuits*, col. SC-6, no. 5 October 1971, pp. 314-322.



## INTERRUTTORI ANALOGICI

I segnali digitali presentano la caratteristica di compiere, almeno idealmente, transizioni nette fra due fasce di valori ben distinte. Una fascia rappresenta il livello logico **1**, l'altra il livello logico **0**. All'interno di queste fasce il valore esatto del segnale non è significativo. Nelle porte logiche tutti i segnali di ingresso e di uscita sono segnali digitali.

I segnali analogici al contrario sono segnali il cui valore preciso è sempre significativo. I segnali analogici possono essere di valore costante oppure variare con continuità in un determinato campo di valori. Nei circuiti e nei sistemi che trattano segnali analogici, si presenta sovente la necessità di impiegare interruttori controllati mediante segnali digitali. Tali circuiti interruttori prendono nomi diversi a seconda del loro impiego: *porte analogiche* (*analog gate*), *porte di trasmissione* (*transmission gate*), *porte lineari* (*linear gate*), *circuiti a selezione temporale* (*time-selection circuit*).

Il segnale digitale che controlla l'apertura e la chiusura dell'interruttore prende il nome di *segnale di controllo* o *segnale di porta* o *ingresso logico*.

### 13.1 PRINCIPI DI FUNZIONAMENTO DELLE PORTE ANALOGICHE

In Fig. 13.1-1 sono illustrate alcune porte analogiche mediante le quali è possibile controllare la trasmissione di un segnale analogico  $V_a$  ad un carico  $R_L$ . Un segnale di controllo, che può assumere valori appartenenti a due fasce di valori distinti controlla l'apertura e la chiusura dell'interruttore  $S$ . Il modo in cui avviene il controllo dipende dai dispositivi usati per realizzare l'interruttore. Il segnale di controllo è un segnale digitale; quando il segnale di controllo si trova ad uno dei suoi due livelli logici, l'interruttore è **APERTO**, quando viceversa si trova all'altro livello, l'interruttore è **CHIUSO**.

In Fig. 13.1-1a è illustrata una configurazione con l'interruttore in serie al carico, in Fig. 13.1-1b con l'interruttore in parallelo al carico. Nel primo caso  $V_a$  viene trasmessa al carico  $R_L$  quando  $S$  è **CHIUSO**, nel secondo caso quando  $S$  è **APERTO**. Se gli interruttori fossero ideali, non ci sarebbe motivo di preferire la configurazione serie a quella parallelo o viceversa. Gli interruttori però non

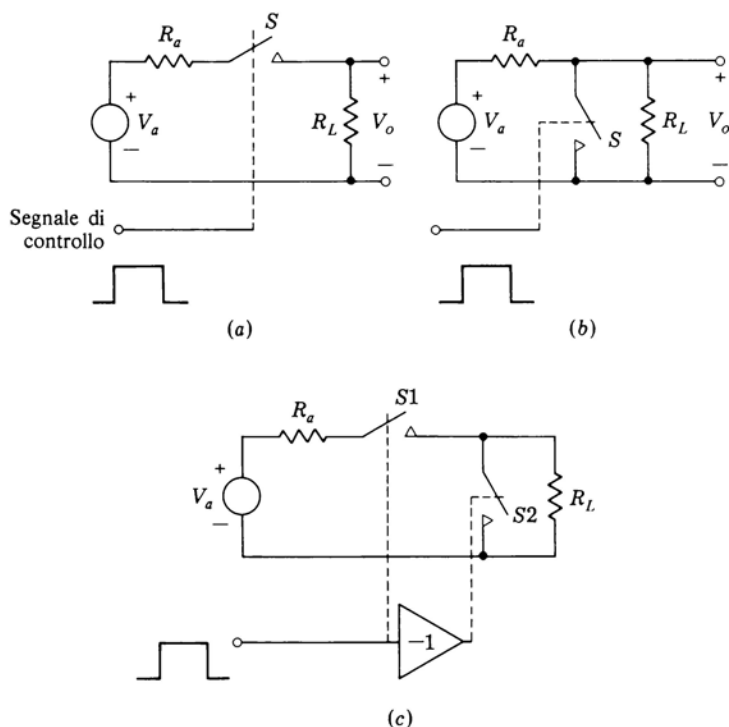


Figura 13.1-1 Diverse configurazioni circuitali: (a) con interruttore in serie; (b) con interruttore in parallelo; (c) con interruttori in serie e in parallelo.

sono ideali; quando un interruttore è CHIUSO, la sua resistenza non è zero e la caratteristica tensione-corrente del dispositivo interruttore può non essere lineare. Perciò in Fig. 13.1-1a, quando  $S$  è CHIUSO, può venire ugualmente introdotta nel segnale una certa attenuazione ed una certa distorsione. Quando  $S$  è APERTO, può verificarsi ugualmente una certa trasmissione indesiderata del segnale. Considerazioni simili possono essere fatte per lo schema di Fig. 13.1-1b. Inoltre inevitabilmente in parallelo all'interruttore sarà sempre presente una certa capacità parassita. A causa di questa capacità, con segnali ad alta frequenza, quando l'interruttore è APERTO si verificherà in Fig. 13.1-1a una parziale trasmissione del segnale stesso, in Fig. 13.1-1b una certa distorsione dovuta all'effetto della capacità in parallelo al carico. Infine può capitare ancora che si stabilisca un accoppiamento capacitivo, o di altro tipo, fra il circuito di trasmissione del segnale analogico ed il segnale di controllo. In

questo caso il segnale di controllo può, in maggior o minor misura, presentarsi in uscita sovrapposto al segnale analogico.

A causa di tutte queste imperfezioni dei circuiti reali, può risultare più vantaggioso scegliere, a seconda dei casi, la disposizione serie o la disposizione parallelo. Per esempio supponiamo che  $R_a = 900 \Omega$ ,  $R_L = 1 \text{ k}\Omega$  e che l'impedenza dell'interruttore, quando è CHIUSO, sia  $R_s(c) = 100 \Omega$ , quando è APERTO, sia  $R_s(o) = 10 \text{ M}\Omega$ . Si può verificare facilmente che, con questi valori, la disposizione serie risulta più vantaggiosa di quella parallelo. Nel primo caso il rapporto fra il valore che assume il segnale analogico in uscita quando l'interruttore è CHIUSO ed il valore che assume quando l'interruttore è APERTO è  $5 \times 10^3$ . Nel caso parallelo il rapporto fra i due valori del segnale analogico con interruttore APERTO e con interruttore CHIUSO è soltanto circa 5. Si possono presentare viceversa casi in cui è preferibile la disposizione parallelo. Inoltre a seconda delle applicazioni o del tipo di segnale analogico trattato, le varie capacità presenti nell'interruttore possono farsi sentire in misura minore in un caso piuttosto che nell'altro. Nei casi in cui né l'una né l'altra disposizione circuitale presenti un netto vantaggio, può essere presa in considerazione la disposizione di Fig. 13.1-1c, in cui sono impiegati sia un interruttore in serie che un interruttore in parallelo.

L'amplificatore invertente della figura sta ad indicare che quando un interruttore è aperto, l'altro è chiuso e viceversa. (Un altro comune simbolismo per indicare questa situazione è quello di rappresentare un interruttore in posizione chiusa e l'altro in posizione aperta.)

### 13.2 APPLICAZIONI DEI CIRCUITI INTERRUTTORI

**Multipolazione (multiplexing)** La Fig. 13.2-1 mostra un circuito ad interruttori analogici che consente di collegare un certo numero di segnali analogici, uno alla volta, ad un carico comune. Questa operazione prende il nome di *multipolazione (multiplexing)*. In figura sono indicati quattro segnali distinti, ma naturalmente il numero dei segnali può essere qualsiasi. (La situazione di Fig. 13.1-1a può essere vista come analoga a questa, ma con un solo segnale.) La successione dei segnali di controllo può venire facilmente generata da un contatore ad anello a quattro stadi.

L'utilità del dispositivo di multipolazione di Fig. 13.2-1 può venire illustrata mediante il seguente esempio. Supponiamo di avere un certo numero di segnali contenenti delle informazioni (parole, musica, dati, ecc.) da trasmettere a distanza mediante un canale di trasmissione (coppia di fili, ponte radio, ecc.). Il metodo più immediato è quello di impiegare tanti canali di trasmissione quanti sono i segnali da trasmettere. Si può però seguire un'altra via: *campionare* ciascun segnale ed inviare i campioni in successione all'ingresso di un unico canale di trasmissione (in Fig. 13.2-1 i due fili disposti ai capi di  $R_L$ ).

Al terminale di ricezione del canale di trasmissione deve essere possibile ri-

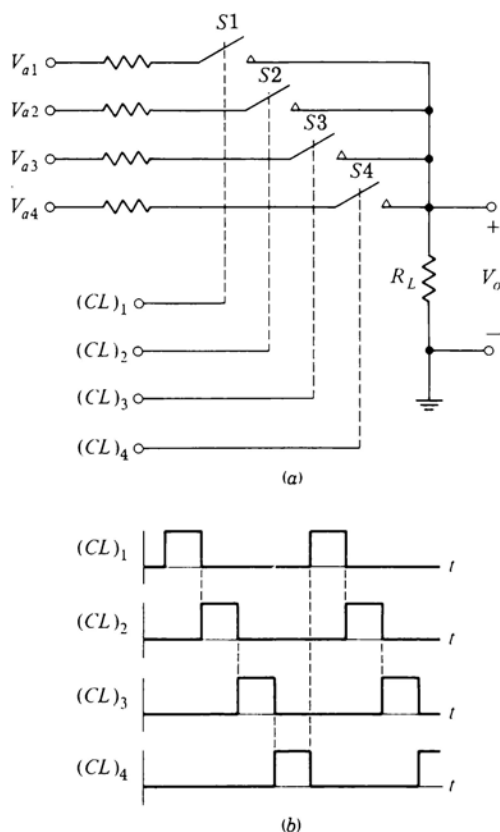


Figura 13.2-1 (a) Configurazione di interruttori che consente la moltiplicazione di quattro segnali. (b) Le forme d'onda richieste per far commutare gli interruttori.

costruire ciascuno dei segnali trasmessi. Per effettuare senza errori questa ricostruzione, si deve poter identificare a quale segnale appartenga ciascun campione. (Questo argomento verrà trattato più in dettaglio nel Cap. 14.)

**Campionamento e mantenimento (S/H : sample-and-hold)** Una seconda applicazione degli interruttori analogici è indicata in Fig. 13.2-2. Un segnale analogico  $M(t)$  viene campionato in istanti separati fra di loro da un intervallo di campionamento  $T_s$ . Il campionamento viene controllato dal segnale di controllo  $V_c$ , che provvede alla chiusura e all'apertura dell'interruttore. Per il tempo  $T_c$  l'interruttore rimane chiuso ed il condensatore si carica a  $M(t_i)$ . Per il tempo rimanente  $T_H = T_s - T_c$  il valore campionato viene mantenuto

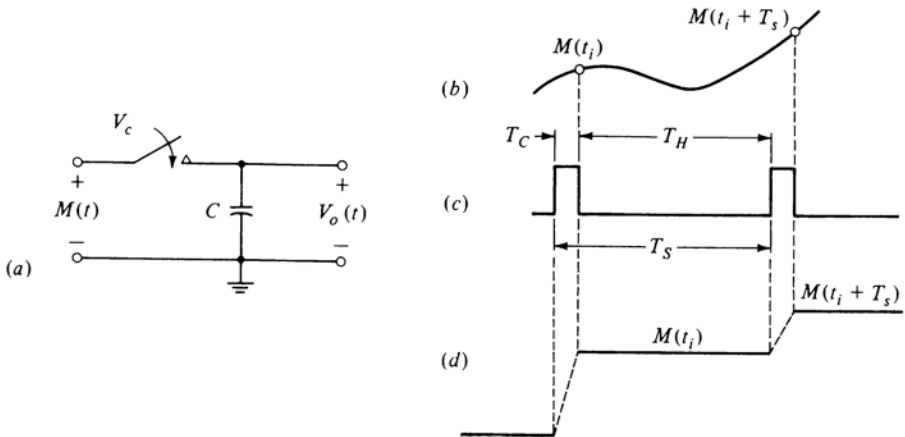


Figura 13.2-2 Circuito di campionamento e mantenimento base: (a) il circuito di commutazione, (b) il segnale da campionare, (c) il segnale di controllo  $V_c$  e (d) l'uscita  $V_o$  del circuito di campionamento.

sul condensatore  $C$ . La forma d'onda d'uscita del circuito di *campionamento e mantenimento* (*sample-and-hold circuit*) è illustrata in Fig. 13.2-2d. I valori campionati e mantenuti sono indicati a linea continua. Il segnale d'uscita durante la campionatura non presenta particolare interesse ed è indicato con linea tratteggiata.

Un'applicazione del circuito di campionamento e mantenimento si ha nella *modulazione ad impulsi codificati* (PCM: *pulse-code modulation*). In questa

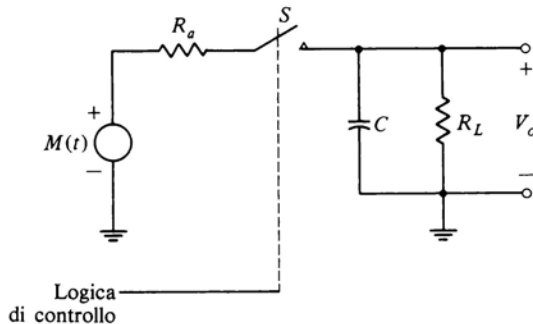


Figura 13.2-3 Circuito di sample-and-hold con il resistore  $R_a$  del generatore di ingresso e il resistore di carico  $R_L$ .

applicazione il segnale mantenuto dal condensatore viene convertito in segnale digitale. Il procedimento di conversione analogico-digitale verrà trattato più approfonditamente nel Cap. 14. Per una trattazione teorica del PCM e le condizioni cui deve soddisfare l'intervallo di campionatura si rimanda alla Bibliografia 1.

In Fig. 13.2-3 è illustrato un circuito di campionamento e mantenimento più dettagliato. Si noti che quando l'interruttore  $S$  è tenuto in posizione chiusa dal segnale logico di controllo, la tensione d'uscita  $V_o$  segue il segnale analogico  $M(t)$  per quanto glielo consente il condensatore di immagazzinamento  $C$ .

In linea di principio conviene che  $R_a$  sia più piccolo possibile, in modo che  $V_o$  possa seguire fedelmente  $M(t)$  quando l'interruttore è chiuso, e che viceversa  $R_L$  sia più grande possibile, in modo da *mantenere* per tempi lunghi, quando  $S$  è aperto, il valore campionato. In pratica naturalmente esistono dei limiti ben precisi che non si possono superare, poichè  $R_a$  rappresenta l'impedenza del generatore del segnale  $M(t)$  più la resistenza dell'interruttore e  $R_L$  rappresenta a sua volta l'impedenza d'ingresso del dispositivo (amplificatore, ecc.) collegato al condensatore per la lettura del valore campionato. Più avanti (Par. 13.8) dovremo ancora tener conto di queste differenze, e di altre ancora, fra il circuito sample-and-hold reale e quello ideale.

**Circuito di integrazione e di scarica (integrate and dump circuit)** Per introdurre questa applicazione dell'interruttore analogico, consideriamo la situazione rappresentata in Fig. 13.2-4. In Fig. 13.2-4a è rappresentato un segnale digitale. Per semplicità supponiamo che **1** logico e **0** logico siano rispettivamente  $+V$  e  $-V$ . È probabile che durante la trasmissione del segnale attraverso il canale di trasmissione si sovrappongano al segnale disturbi casuali (rumore). In ricezione il segnale potrebbe avere ad esempio l'andamento di Fig. 13.2-4b. Nel caso illustrato non sussiste incertezza sul significato dei bit ricevuti, se siano cioè **1** logici oppure **0** logici. Supponiamo però che la contaminazione dovuta al rumore sia molto più pronunciata, sicchè si abbia difficoltà a riconoscere i livelli. Allora un possibile metodo per effettuare il riconoscimento, metodo che elimina sostanzialmente l'effetto del rumore, è quello di integrare il segnale ricevuto per l'intervallo di un bit. Questa integrazione darà un'uscita proporzionale al valore medio del segnale nell'intervallo di durata del bit. Poichè il rumore è casuale ed assume valori positivi e negativi con uguale probabilità, il valor medio del rumore nell'intervallo di durata del bit si manterrà verosimilmente così piccolo da consentire il riconoscimento del valore del bit stesso con un elevato grado di sicurezza. Possiamo quindi affermare che, in certe condizioni, questo circuito per il riconoscimento dei bit è *ottimale*, cioè il numero degli errori possibili è minimo. Si noti però che nessun circuito impiegante questo integratore può dare la garanzia assoluta che non vengano commessi errori di riconoscimento. Nel circuito di Fig. 13.2-4c il generatore del segnale analogico è rappresentato con il circuito e-

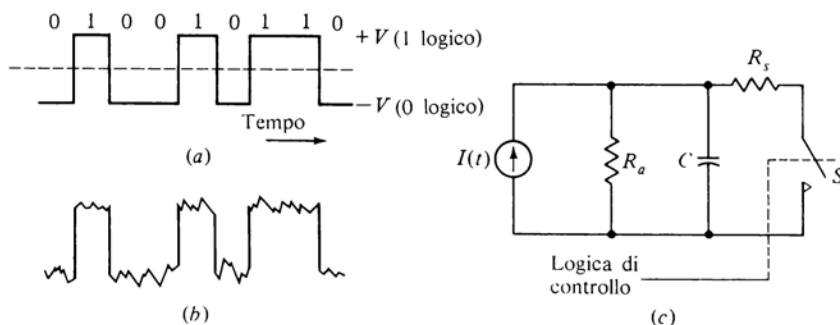


Figura 13.2-4 Circuito di integrazione e scarica.

quivalente di Norton. Se l'impedenza  $R_a$  è sufficientemente elevata, la corrente analogica che scorre in  $C$  produrrà ai capi di  $C$  una tensione proporzionale all'integrale del segnale analogico nell'intervallo per cui  $S$  è APERTO. Durante il funzionamento, l'interruttore rimane APERTO per la maggior parte dell'intervallo di durata del bit, e CHIUSO per un tempo molto breve alla fine di ogni bit. Subito prima della chiusura dell'interruttore viene eseguita la lettura della tensione su  $C$ . La successiva chiusura scarica il condensatore  $C$ , predisponendolo per una nuova ricarica durante il bit successivo. Ogni lettura della tensione sul condensatore dà il valore del livello logico appena ricevuto, indipendentemente dal livello logico dei bit precedenti. Idealmente  $R_s$  dovrebbe essere zero. Infatti quanto più piccolo è  $R_s$  tanto più breve è l'intervallo per cui  $S$  deve rimanere chiuso per scaricare completamente  $C$  e tanto più lunga è di conseguenza la porzione dell'intervallo di bit in cui può venire effettuata l'integrazione. Si comprende intuitivamente che quanto più lungo è l'intervallo di integrazione, tanto più efficace è l'effetto di soppressione del rumore.

**Conversione digitale-analogica** In Fig. 13.2-5 è illustrato l'impiego di commutatori controllati da segnali logici per convertire un segnale digitale in segnale analogico. Le cifre binarie  $a_0, a_1, \dots, a_{n-1}$ , costituenti il segnale logico di controllo dei commutatori, devono essere disponibili simultaneamente, cioè in parallelo anziché in serie. Ogni commutatore risulta connesso a  $+V$  quando  $a_k$  è all'1 logico e a massa quando  $a_k$  è allo 0 logico. Come indicato in figura, il resistore associato al commutatore controllato dal bit d'ingresso di peso  $2^k$  presenta un valore di resistenza pari a  $R/2^k$ .

Consideriamo il convertitore digitale-analogico (D/A) con i terminali dell'uscita analogica aperti (nel qual caso la tensione d'uscita è  $V_L$ ) oppure con i terminali in corto-circuito (collegamento tratteggiato, nel qual caso la corrente di uscita è  $I_L$ ). L'ingresso digitale sia  $a_{n-1}, a_{n-2}, \dots, a_0$ , dove ogni  $a_k$  può essere 1 o 0 logico. Nel caso dell'uscita in corto circuito si ha

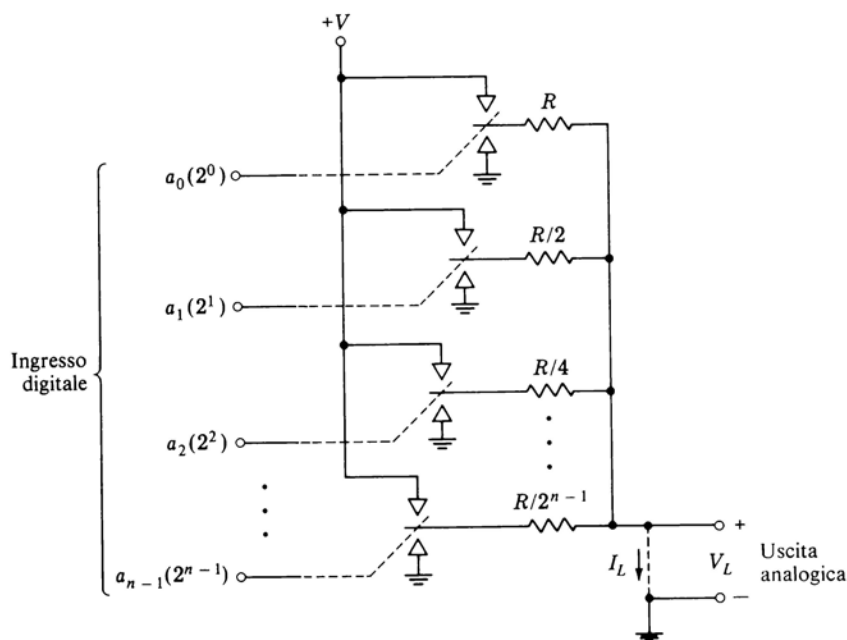


Figura 13.2-5 Convertitore digitale-analogico (D/A).

$$I_L = \sum_{k=0}^{n-1} \frac{V a_k}{R/2^k} = \frac{V}{R} \sum_{k=0}^{n-1} 2^k a_k \quad (13.2-1)$$

sicché  $I_L$ , come richiesto, risulta direttamente proporzionale al valore numerico dell'ingresso digitale. Quando i terminali d'uscita sono aperti, si può notare che la corrente che scorre attraverso il  $k$ -esimo resistore verso il nodo comune, vale

$$I_k = \frac{a_k V - V_L}{R/2^k} \quad (13.2-2)$$

Con l'uscita aperta, la somma di tutte le correnti deve essere zero. Quindi

$$\sum_{k=0}^{n-1} I_k = \sum_{k=0}^{n-1} \frac{a_k V - V_L}{R/2^k} = 0 \quad (13.2-3)$$

Risolvendo in  $V_L$ , troviamo, come richiesto

$$V_L = \left( \frac{V}{\sum_{k=0}^{n-1} 2^k} \right) \sum_{k=0}^{n-1} 2^k a_k \quad (13.2-4)$$



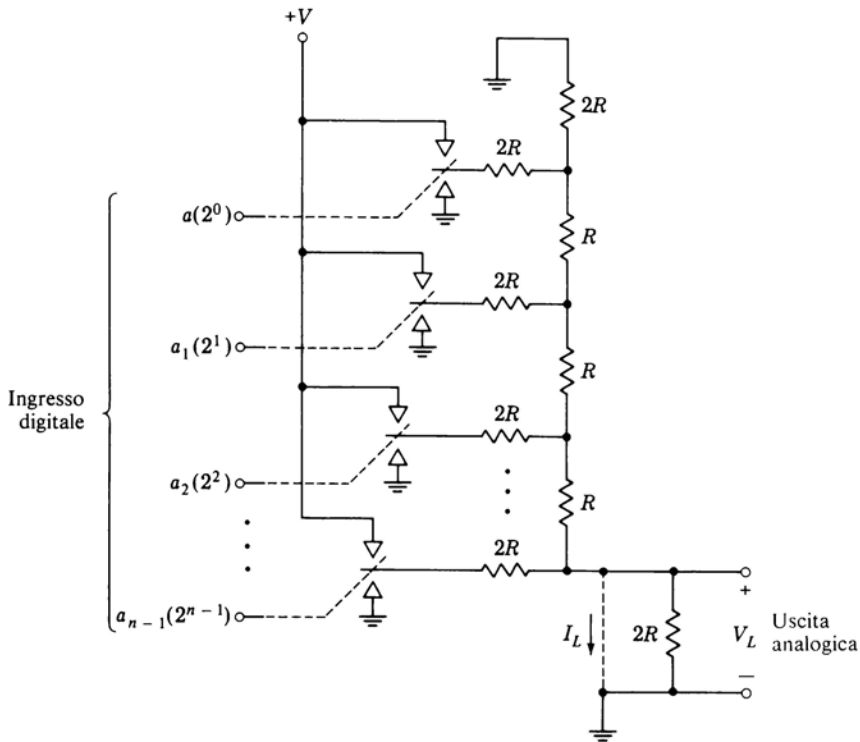


Figura 13.2-6 Altro tipo di convertitore D/A.

In Fig. 13.2-6 è illustrata una seconda configurazione di resistori usata per la conversione D/A. Anche in questo caso l'uscita può essere un corto-circuito, e allora il segnale di uscita è costituito dalla corrente di corto-circuito  $I_L$ , oppure può terminare con un resistore  $2R$ , e allora il segnale di uscita è  $V_L$ . Porremo a confronto i due schemi nel Par. 14.5 quando tratteremo più in dettaglio il problema della conversione digitale-analogica.

**Stabilizzazione a chopper degli amplificatori** Supponiamo di dover amplificare un segnale di frequenza molto bassa, la cui ampiezza presenti variazioni molto piccole. Queste variazioni siano, ad esempio, dell'ordine dei microvolt e, se il segnale è periodico, il periodo sia dell'ordine di molti minuti, o di ore, o addirittura di giorni. Un amplificatore in alternata con accoppiamento capacitivo fra gli stadi non sarebbe adatto allo scopo, poichè per funzionare necessiterebbe di capacità di accoppiamento enormi. Pertanto è necessario accoppiare gli stadi in modo diretto. Però con un amplificatore in continua non si è più in grado di distinguere, nella tensione d'uscita, le variazioni dovute

te alla tensione di ingresso da quelle dovute alla deriva dei componenti. Se l'amplificatore presenta un guadagno elevato, variazioni anche piccole del punto di lavoro del primo stadio, amplificate dagli stadi successivi, possono produrre variazioni notevoli dell'uscita.

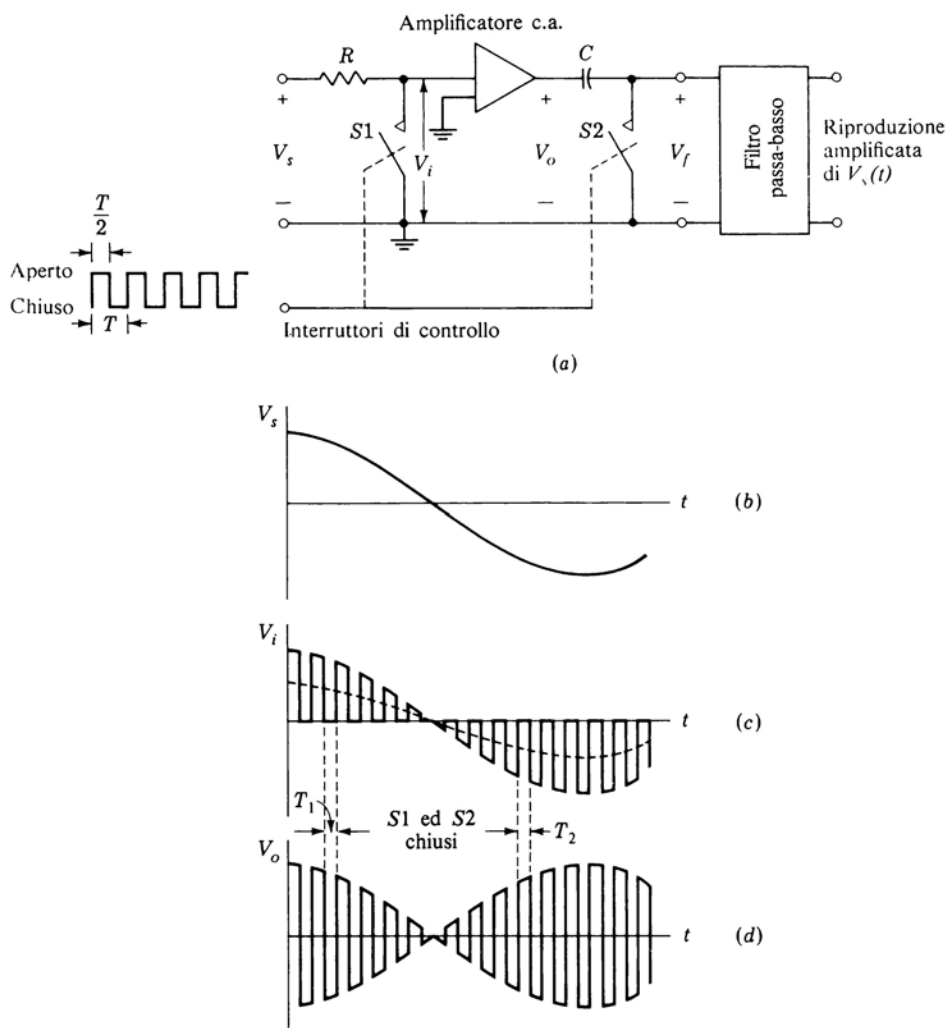


Figura 13.2-7 (a) Amplificatore stabilizzato a chopper. (b) Segnale di ingresso. (c) L'ingresso dell'amplificatore. (d) L'uscita dell'amplificatore.

Un metodo per evitare questo grave inconveniente è illustrato in Fig. 13.2-7a. In Fig. 13.2-7b è rappresentato il segnale d'ingresso lentamente variabile  $V_s$ . Supponiamo che l'interruttore  $S1$  venga pilotato alternativamente nella condizione di APERTO e di CHIUSO. Il segnale  $V_i$  all'ingresso dell'amplificatore avrà allora l'andamento indicato in Fig. 13.2-7c. Quando  $S1$  è APERTO,  $V_i = V_s$ ; quando  $S1$  è CHIUSO,  $V_i = 0$  V. Si noti che il segnale  $V_i$  è il segnale  $V_s$  «tagliato a fette» (*chopped*), per cui il circuito costituito dal resistore  $R$  e dall'interruttore  $S1$  prende il nome di *chopper*.

In Fig. 13.2-7c si nota che quando l'interruttore è APERTO il segnale  $V_i$  riproduce il segnale d'ingresso  $V_s$ . Dai disegni si vede che  $V_s$  cambia sensibilmente di valore nell'intervallo di apertura di  $S1$ . Così il valore di  $V_i$  all'inizio dell'intervallo di apertura di  $S1$  non coincide con il valore di  $V_i$  alla fine dell'intervallo; e ciò per tutti gli intervalli di apertura, sia con  $V_s$  positivo che con  $V_s$  negativo. Ciò non è però essenziale al funzionamento del circuito. Di solito tuttavia la frequenza con cui viene fatto funzionare  $S1$  è molto più alta (tipicamente 100 volte) della massima frequenza del segnale  $V_s$ . Pertanto nell'intervallo in cui  $S1$  è aperto non si verificano in pratica variazioni apprezzabili del valore di  $V_i$ . Per questo motivo si può vedere la tensione  $V_i$  come un'onda quadra di ampiezza proporzionale a  $V_s$  e di valore medio (segnato in tratteggio) anch'esso proporzionale a  $V_s$ . In altri termini, il segnale  $V_i$  è un'onda quadra di frequenza pari a quella con cui lavora l'interruttore, modulata in ampiezza dal segnale di ingresso e sovrapposta ad un segnale proporzionale al segnale di ingresso  $V_s$ . Si lascia come esercizio dimostrare che  $V_i(t)$  è data da

$$V_i(t) = \frac{1}{2}V_s(t) + V_s(t) \sum_{n=1}^{\infty} \left[ \frac{\sin(n\pi/2)}{n\pi/2} \right] \cos \frac{2\pi n t}{T} \quad (13.2-5)$$

La frequenza di taglio inferiore dell'amplificatore in alternata di Fig. 13.2-7 è tale da lasciar passare, con modesta distorsione, il segnale modulato in ampiezza, di frequenza relativamente elevata, e da tagliare invece il segnale  $\frac{1}{2}V_s(t)$ . Pertanto all'uscita dell'amplificatore il segnale  $V_o$  è dato da

$$V_o(t) = A V_s(t) \sum_{n=1}^{\infty} \left[ \frac{\sin(n\pi/2)}{n\pi/2} \right] \cos \frac{2\pi n t}{T} \quad (13.2-6)$$

dove  $A$  è il guadagno dell'amplificatore. Questo segnale è mostrato in Fig. 13.2-7d, in cui si nota che è rimasto soltanto il segnale modulato. Per questo processo di modulazione, il chopper (o il chopper insieme con l'amplificatore in alternata) viene spesso chiamato *modulatore*.

Il segnale viene ripristinato nella sua forma originaria mediante il condensatore  $C$  e l'interruttore  $S2$ . L'interruttore  $S2$  si apre e si chiude in sincronismo con  $S1$ , per cui nell'intervallo  $T_1$  la semionda negativa di  $V_o$  viene mantenuta a zero, mentre nell'intervallo  $T_2$  viene mantenuta a zero la se-

mionda positiva. Il risultato è che il segnale  $V_f$  ai capi di  $S2$  assume di nuovo, a meno del valore dell'ampiezza, che è aumentata, la forma del segnale  $V_i$ . Se ora questo segnale  $V_f$  viene fatto passare attraverso un filtro passa-basso che tagli le frequenze dell'onda quadra e trasmetta solo le frequenze del segnale  $V_s(t)$ , all'uscita del filtro ritroveremo il segnale di partenza  $V_s$  amplificato. Se  $S2$  lavora in opposizione di fase rispetto a  $S1$ , ( $S2$  CHIUSO quando  $S1$  è APERTO e viceversa), allora il segnale d'uscita viene ad avere la polarità invertita rispetto a quello d'ingresso. In entrambi i casi, l'insieme del condensatore  $C$ , dell'interruttore  $S2$  e del filtro viene a costituire un *demodulatore sincrono*. L'amplificatore di Fig. 13.2-7a è detto anche *amplificatore stabilizzato a chopper*. Si noti che non è che il chopper stabilizzi; il chopper elimina solo la necessità di usare un amplificatore stabilizzato ad accoppiamento diretto.

Gli amplificatori operazionali integrati presentano di solito una deriva della tensione di offset di ingresso dell'ordine di  $5 \mu\text{V}/^\circ\text{C}$ . Per certe applicazioni questa dipendenza dalla temperatura è eccessiva. In questi casi si impiega la stabilizzazione a chopper. Supponiamo per esempio di usare un op-amp per amplificare la tensione d'uscita, variabile in modo molto lento, di una termocoppia e che l'op-amp debba essere collocato nelle immediate vicinanze della termocoppia. Una termocoppia ha un'uscita che varia tipicamente di circa  $30 \mu\text{V}$  per  $1^\circ\text{C}$ . Per avere una risoluzione inferiore al grado, occorrerebbe che la deriva complessiva dell'amplificatore fosse inferiore a  $10 \mu\text{V}$ . Se il campo della temperatura da misurare è ad esempio di  $100^\circ\text{C}$ , si dovrà ammettere una deriva di non più di  $0,1 \mu\text{V}/^\circ\text{C}$ ; questa deriva è di ben 50 volte inferiore a quella normalmente presentata da un op-amp.

**Controllo di parametri** Come ultimo esempio di applicazione, ricordiamo che gli interruttori analogici possono venire efficacemente impiegati per controllare il funzionamento e i parametri di circuiti usati per l'elaborazione di segnali analogici. Così in Fig. 13.2-8, a seconda degli interruttori che vengo-

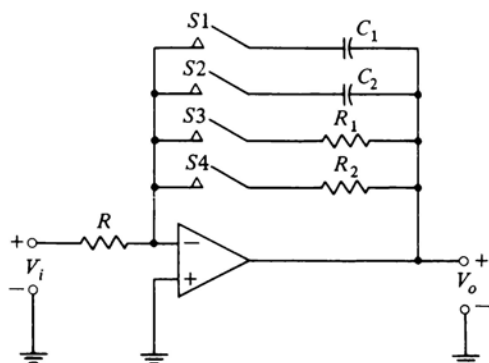


Figura 13.2-8 Filtro attivo la cui funzione di trasferimento è determinata dagli interruttori.

no chiusi, si può ottenere un amplificatore a guadagno variabile, un integratore con costante di tempo variabile oppure un filtro di tipo più complesso.

### 13.3 PORTE DI TRASMISSIONE A DIODI

Come interruttori analogici si possono impiegare diodi, transistori bipolari e transistori ad effetto di campo (sia a giunzione che a gate isolato). Gli interruttori a diodi sono più veloci di quelli a transistori grazie al tempo di immagazzinamento più breve ed alle capacità parassite più piccole. Ciò in particolare vale per i diodi Schottky (o diodi *a portatori caldi*). I diodi però, essendo dispositivi a due terminali, non hanno un elettrodo di controllo e quindi necessitano in genere di circuiti più complessi che non i transistori. Tuttavia quando occorre privilegiare la velocità, è giocoforza utilizzare i diodi. Prenderemo ora in esame alcuni tipi di porte analogiche a diodi.

**Porta ad un diodo** In Fig. 13.3-1a è illustrata una porta ad un solo diodo. Una tensione di controllo  $V_c$ , indicata in Fig. 13.3-1b, apre e chiude la porta controllando la trasmissione del segnale analogico  $V_a$ . La tensione d'uscita  $V_o$  corrispondente al segnale analogico di Fig. 13.3-1c, presenta la forma d'onda di Fig. 13.3-1d. Si noti che il segnale analogico, una volta trasmesso attraverso la porta, appare sovrapposto ad un *pedestallo*, cioè la linea di base della forma d'onda di uscita cambia a seconda che la porta sia aperta o chiusa.

Questa porta (come del resto tutte le porte) può lavorare solo con valori di  $V_a$  compresi in un campo ben definito. Con  $V_c = -V_2$ , il diodo  $D$  è normalmente interdetto. Se però la semionda positiva del segnale analogico presenta escursioni troppo ampie, la porta può passare in conduzione e trasmettere il segnale analogico. Analogamente con  $V_c = V_1$ , un'escursione negativa del segnale analogico troppo ampia può provocare l'interdizione del diodo. Il campo di variabilità del segnale di ingresso e la sua attenuazione all'uscita dipendono dai valori dei componenti del circuito e si possono facilmente calcolare (Prob. da 13.3-1 a 13.3-3).

Infine in Fig. 13.3-1e è illustrato un secondo schema di porta utilizzando un solo diodo, in cui però il diodo interruttore è disposto in parallelo. Lo studio del funzionamento di questo dispositivo viene lasciato come esercizio.

**Porte a due diodi** Il principale inconveniente della porta ad un diodo è costituito dalla presenza del piedestallo indicato in Fig. 13.3-1d. Questo piedestallo scompare nella porta a due diodi di Fig. 13.3-2. Si noti che questa è una combinazione di due porte ad un solo diodo del tipo di quella di Fig. 13.3-1a. Sono necessarie due tensioni di controllo simmetriche  $V_c$  e  $-V_c$ . Quando le tensioni di controllo sono rispettivamente ai livelli  $V_1$  e  $-V_1$ , i diodi conducono ed il segnale analogico  $V_a$  viene trasmesso all'uscita. Quando le tensioni di controllo sono rispettivamente a  $V_2$  e  $-V_2$ , i diodi non conducono e la porta interdice la trasmissione.

Come risultato della simmetria del circuito e della simmetria dei segnali di controllo, il segnale d'uscita non presenta più il piedestallo. Possiamo inoltre notare che proprio a causa di questa simmetria, attraverso il generatore del segnale analogico non passa alcuna corrente dovuta ai generatori delle tensioni di controllo. Si è supposto che le forme d'onda dei segnali di controllo siano rettangolari. Però, a meno che non sia necessario che l'apertura e la

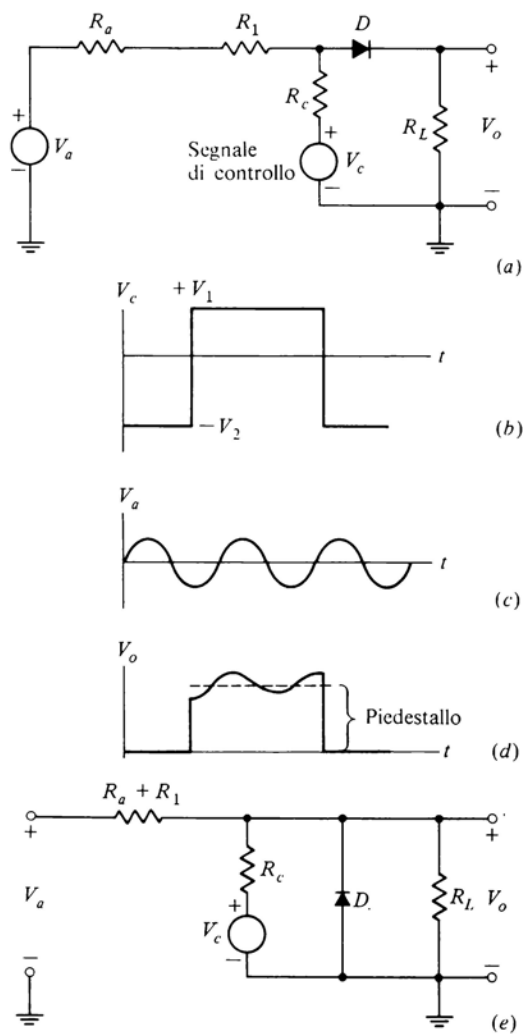


Figura 13.3-1 (a) Porta ad un diodo. (b) La tensione di controllo. (c) Segnale di ingresso. (d) La tensione di uscita. (e) Porta ad un diodo con disposizione in parallelo.

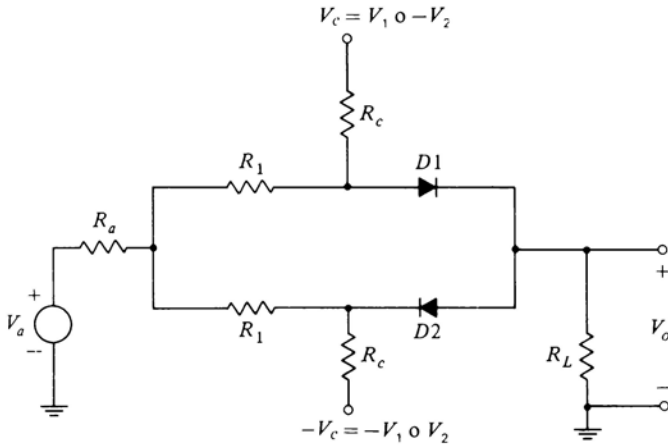


Figura 13.3-2 Porta di trasmissione a due diodi.

chiusura della porta avvengano rapidamente, non è indispensabile che il segnale di controllo compia transizioni brusche tra i due livelli. Analogamente, purché i livelli della tensione di controllo siano tali da mantenere i diodi o in conduzione o in interdizione indipendentemente da  $V_a$ , non è indispensabile che tali livelli si mantengano costanti. È invece essenziale ai fini del bilanciamento che, qualunque sia la forma dei segnali di controllo, essi siano assolutamente *identici*, a meno naturalmente della polarità. Se per esempio le due tensioni di controllo hanno tempi di salita diversi, all'uscita compariranno dei picchi (chiamati *glitch*) in corrispondenza dell'apertura e della chiusura della porta. Un modo per avere tensioni di controllo identiche è di prelevarle da due avvolgimenti di secondario identici di un trasformatore di impulsi.

Per avere un bilanciamento perfetto, occorre inoltre che i diodi abbiano caratteristiche identiche. Proprio per soddisfare questa esigenza diversi costruttori producono *serie di diodi assemblati* in un'unica struttura. Questi diodi sono selezionati in modo da presentare le stesse caratteristiche per quanto riguarda la corrente diretta, la corrente inversa, la sensibilità alla temperatura, e, in alcuni casi, anche la risposta in frequenza. Gli assemblaggi disponibili sono a due o a quattro o anche a sei diodi; come vedremo più avanti esistono infatti anche porte a quattro e a sei diodi. Queste strutture a più diodi possono essere costituite da diodi singoli opportunamente collegati oppure da diodi incapsulati in un unico contenitore o realizzati in circuito integrato onde garantire la stessa dipendenza dalla temperatura.

Nella porta di Fig. 13.3-2, come già in quella di Fig. 13.3-1, i valori dei componenti circuitali ed il campo di escursione del segnale analogico deter-

minano i livelli  $V_1$  e  $V_2$  richiesti per la tensione di controllo. Quando la porta è in trasmissione,  $V_c = V_1$  deve essere sufficientemente positivo ( $-V_c = -V_1$  sufficientemente negativo) da mantenere i diodi in conduzione per tutto il campo di variazione della tensione analogica. Analogamente quando la porta è interdetta  $V_c = -V_2$  deve essere tale da mantenere i diodi in interdizione per tutto il campo di escursione della tensione analogica. Nei Prob. 13.3-7 e 13.3-8 vengono calcolati questi livelli della tensione di controllo ed il guadagno  $V_o/V_a$  della porta, dove

$$\frac{V_o}{V_a} \approx \frac{R_L \parallel \frac{R_c}{2}}{R_a + \frac{R_1}{2} + \left(R_L \parallel \frac{R_c}{2}\right)} \quad (13.3-1)$$

Per arrivare all'Eq. (13.3-1) abbiamo supposto  $V_c = V_1$  ed i diodi ideali.

Un inconveniente della porta di Fig. 13.3-2 è dovuto al fatto che i due resistori  $R_1$  disposti fra il generatore del segnale analogico e l'uscita riducono il guadagno della porta. Tuttavia se si riduce la resistenza di  $R_1$ , si viene ad influenzare il livello  $V_2$  della tensione di controllo, cioè il livello a cui deve essere portata  $V_c$  per mantenere interdetti i diodi. Se  $R_1$  diminuisce, il valore richiesto per  $V_2$  aumenta. In generale (assumendo la tensione di interdizione del diodo  $V_\gamma = 0$ ) il minimo valore consentito per  $V_2$  è (Prob. 13.3-8):

$$V_2(\min) = \frac{(R_c/R_1)V_a(\max)}{1 + 2R_a/(R_1 + R_c)} \quad (13.3-2)$$

dove  $V_a(\max)$  è il massimo valore positivo di  $V_a$ . Nel caso, abbastanza normale, di  $R_a$  molto piccolo rispetto alla somma di  $R_1$  e  $R_c$ , l'Eq. (13.3-2) diviene

$$V_2(\min) = \frac{R_c}{R_1} V_a(\max) \quad (13.3-3)$$

Anche nel caso generale, cioè con l'Eq. (13.3-2), si vede che  $V_2 \rightarrow \infty$  quando  $R_1 \rightarrow 0$ . Pertanto il massimo guadagno possibile della porta è limitato da  $R_1$  attraverso  $V_2(\min)$ .

**Porta a quattro diodi** In Fig. 13.3-3 è illustrata una porta a quattro diodi, che rappresenta un miglioramento rispetto alle porte precedenti. Si noti che ai resistori  $R_c$  sono applicate due tensioni  *fisse*  ed uguali in valore assoluto, mentre le tensioni di controllo  $+V_c$  e  $-V_c$  sono applicate mediante due diodi  $D3$  e  $D4$ .

Durante la trasmissione, con  $V_c = V_1$ , i diodi  $D3$  e  $D4$  sono interdetti. La porta è allora identica a quella a due diodi di Fig. 13.3-2, con la differenza che ora la corrente che attraversa i diodi  $D1$  e  $D2$  è fornita dalle tensioni di



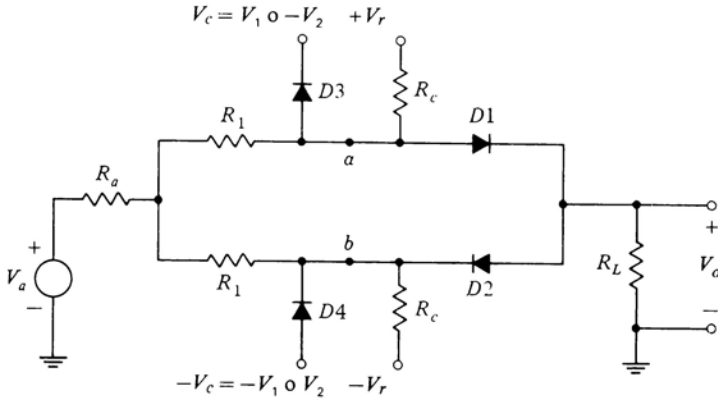


Figura 13.3-3 Porta a quattro diodi.

riferimento fisse  $+V_r$  e  $-V_r$  anzichè dalla tensione di controllo. Si vede inoltre, riferendosi alla Fig. 13.3-3, che la tensione d'uscita non può mai superare  $\pm V_1$ . Infatti se  $V_a$  dovesse arrivare ad un valore tale da portare  $V_o$  oltre  $V_1$ , il diodo  $D3$  entrerebbe in conduzione, fissando il punto  $a$  alla tensione  $V_1 + 0,7$ . Analogamente il punto  $b$  verrebbe fissato a  $-V_1 - 0,7$  se  $V_a$  dovesse diventare troppo negativa.

Durante la fase di non trasmissione, con  $V_c = -V_2$ , i punti  $a$  e  $b$  sono tenuti fissi dai diodi  $D3$  e  $D4$  a  $-V_2 + 0,7$  e  $V_2 - 0,7$  rispettivamente. I diodi  $D1$  e  $D2$  risultano perciò interdetti e rimangono tali per tutti i valori di  $V_a$ .

In questa porta a quattro diodi i resistori  $R_1$  devono presentare una resistenza piccola per non abbassare il guadagno della porta. Queste resistenze devono però essere grandi a sufficienza da consentire una efficace azione di fissaggio della tensione in modo che, quando  $V_c = -V_2$ , la tensione al punto  $a$  sia negativa e quella al punto  $b$  positiva. Cioè le resistenze  $R_1$  e  $R_c$  devono soltanto presentare un valore elevato rispetto alle resistenze dirette dei diodi  $D3$  e  $D4$ . Si può verificare immediatamente che il guadagno della porta a quattro diodi è ancora dato dall'Eq. (13.3-1), in cui però  $R_1$  può assumere valori notevolmente minori di prima.

Come si può notare, un primo vantaggio della porta a quattro diodi consiste nel fatto che con essa è possibile rendere il guadagno prossimo all'unità (poichè  $R_1$  può essere reso molto piccolo) senza che  $V_2$  debba aumentare eccessivamente. Un secondo vantaggio consiste nel fatto che, nella fase di non-trasmissione, l'isolamento fra ingresso e uscita risulta migliore che nelle porte precedenti. Questo perchè non solo i diodi  $D1$  e  $D2$  sono interdetti, ma i punti  $a$  e  $b$  sono tenuti fissi a due tensioni costanti tramite i diodi  $D3$  e  $D4$ . Un terzo vantaggio infine sta nel fatto che per eliminare il piedestallo d'uscita non è

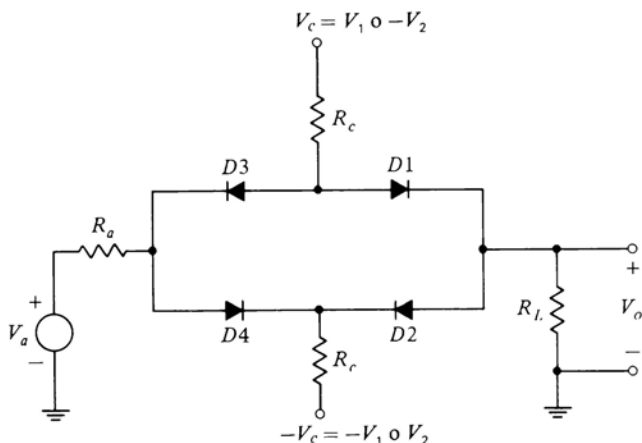


Figura 13.3-4 Un'altra porta a quattro diodi.

necessario che le tensioni di controllo  $+V_c$  e  $-V_c$  siano uguali in ampiezza. La soppressione del piedestallo in questo caso dipende infatti principalmente dalla simmetria dei componenti del circuito e dall'uguaglianza dei valori assoluti delle tensioni fisse  $+V_r$  e  $-V_r$ .

**Altro tipo di porta a quattro diodi** In Fig. 13.3-4 è illustrato un secondo tipo di porta a quattro diodi. In questa configurazione non vengono utilizzate le tensioni fisse  $+V_r$  e  $-V_r$ . Quando  $V_c = V_1$ , tutti e quattro i diodi conducono e la porta trasmette. Quando  $V_c = -V_2$ , i diodi sono interdetti e la porta interdice la trasmissione. Durante la trasmissione il collegamento fra ingresso e uscita avviene attraverso l'equivalente di un unico diodo polarizzato direttamente (in realtà attraverso due rami in parallelo, ciascuno formato da due diodi in serie polarizzati direttamente). Durante la non-trasmissione, quando tutti i diodi sono interdetti, l'isolamento fra il generatore ed il carico è certamente migliore che non nella porta a due diodi di Fig. 13.3-2. Confrontando questa porta con quella di Fig. 13.3-3, si vede che in Fig. 13.3-3, lavorando con bassi valori della resistenza  $R_1$  per mantenere il guadagno della porta prossimo all'unità, si limita l'efficacia del fissaggio della tensione da parte dei diodi  $D3$  e  $D4$ ; pertanto l'isolamento della porta di Fig. 13.3-4 risulta essere di nuovo superiore.

Riferendosi alla Fig. 13.3-4 si vede che se il segnale analogico  $V_a$  raggiunge il valore di picco  $V_a$  (max), per mantenere chiusa la porta è necessaria una tensione  $V_2 = V_a$  (max). Durante la trasmissione invece

occorre mantenere in conduzione tutti e quattro i diodi; per far ciò occorre che il livello  $V_1$  sia approssimativamente (Prob. 13.3-9)

$$V_1 \approx \frac{R_c V_a(\max)}{R_a + \left(R_L \parallel \frac{R_c}{2}\right)} = \frac{R_c V_a(\max)}{R_a + \frac{R_c R_L}{R_c + 2R_L}} \quad (13.3-4)$$

Se, ad esempio,  $R_a$  è piccolo rispetto a  $R_c$  e  $R_L$ , l'Eq. (13.3-4) diviene

$$V_1 = \left(2 + \frac{R_c}{R_L}\right) V_a(\max) \quad (13.3-5)$$

e per  $R_c \approx R_L$ ,  $V_1 = 3V_a(\max)$ . In ciò sta un possibile inconveniente di questa porta a quattro diodi. Cioè il valore di  $V_1$  può diventare eccessivamente alto. Questa situazione può peggiorare se i diodi non sono identici (vedi Prob. 13.3-11). Supponiamo invece che l'uscita della porta sia collegata al terminale invertente di un op-amp. In questo caso il carico  $R_L$  è costituito dal corto-circuito virtuale visto all'ingresso dell'op-amp. Allora  $V_1 \approx R_c V_a(\max)/R_a$  e  $V_1$  può anche essere reso più piccolo di  $V_a(\max)$ .

**Porta a sei diodi** In Fig. 13.3-5 è illustrata una porta a sei diodi che riunisce le caratteristiche delle porte a quattro diodi di Fig. 13.3-3 e di Fig. 13.3-4. Quando la porta interdice la trasmissione, i diodi  $D5$  e  $D6$  sono in conduzione e funzionano da fissatori, polarizzando inversamente tutti gli altri diodi. Durante la trasmissione i diodi  $D5$  e  $D6$  sono interdetti mentre gli altri sono in conduzione.

Durante la trasmissione, quando i diodi  $D5$  e  $D6$  sono polarizzati inversamente, la porta a sei diodi è equivalente alla porta a quattro diodi di Fig. 13.3-4, ad eccezione del fatto che le tensioni fisse  $+V_r$  e  $-V_r$  sostituiscono i

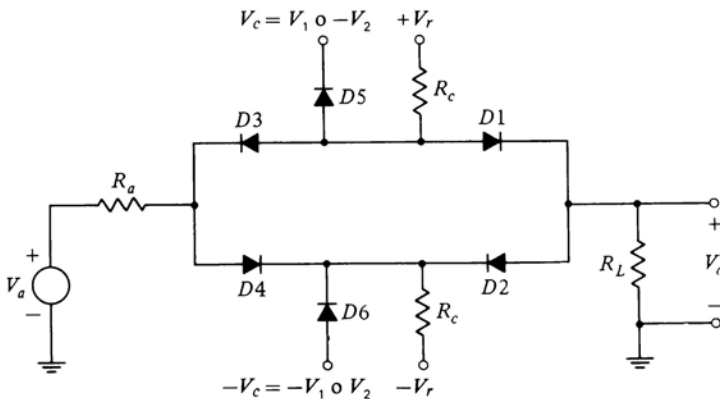


Figura 13.3-5 Porta a sei diodi.

livelli della tensione di controllo  $V_1$  e  $-V_1$ . Valgono pertanto ancora le Eq. (13.3-4) e (13.3-5) con  $V_r$  al posto di  $V_1$ . Si era notato, a proposito della porta a quattro diodi di Fig. 13.3-4, che il valore richiesto per  $V_1$  poteva diventare eccessivamente elevato. Nella porta a sei diodi si ha invece un evidente vantaggio; infatti deve essere elevato soltanto il valore della tensione fissa e non quello della tensione di controllo.

Come nella porta di Fig. 13.3-3, anche in questo caso non occorre che i segnali di controllo siano bilanciati. Dalla Fig. 13.3-5 risulta che se i diodi di fissaggio  $D5$  e  $D6$  devono restare polarizzati inversamente con un segnale analogico di ampiezza  $V_a$  (max),  $V_1$  deve essere almeno uguale a  $V_a$  (max). D'altra parte in fase di non-trasmissione, quando  $V_c = -V_2$ , i diodi  $D1$  e  $D2$  rimangono interdetti per tutti i valori di  $V_a$ . Così  $V_2$  può essere una qualsiasi tensione non negativa. In conclusione, si deve avere

$$V_1 = V_a \text{ (max)}, \quad V_2 \geq 0$$

**Porte a diodi disponibili in commercio** Il circuito integrato della RCA CA3019 è costituito da sei diodi, quattro dei quali collegati internamente in modo da formare la porta a quattro diodi di Fig. 13.3-4 e altri due disponibili singolarmente. I sei diodi vengono realizzati contemporaneamente su di un unico chip di silicio e presentano pertanto caratteristiche pressochè identiche.

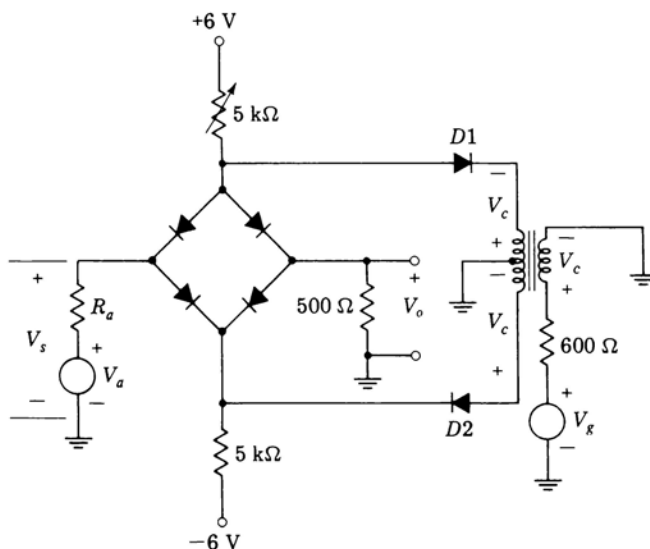


Figura 13.3-6 Porta a sei diodi realizzata con il circuito integrato RCA 3019.

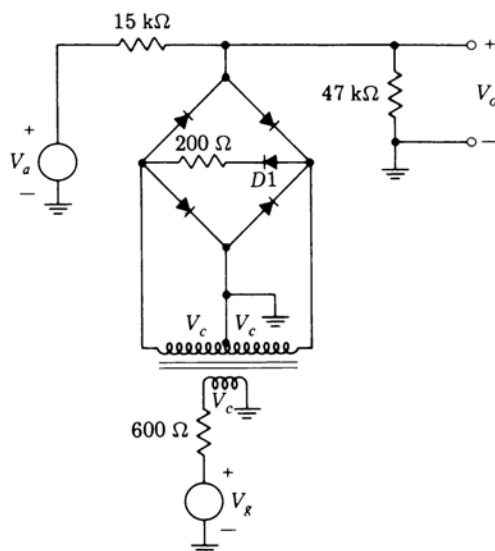


Figura 13.3-7 Porta a quattro diodi in configurazione parallelo.

Anche i loro parametri variano con la temperatura in modo sostanzialmente identico, sia per la vicinanza dei diodi stessi sia per la relativamente buona conducibilità termica del silicio. In Fig. 13.3-6 è illustrata una tipica porta a sei diodi utilizzando questo circuito integrato. Lavora con segnali analogici fino a 0,5 V efficaci e con frequenze fino a circa 170 MHz. L'ampiezza del segnale di controllo deve essere compresa fra 1 e 3 V efficaci, a seconda dell'ampiezza del segnale analogico, e può arrivare fino a 500 kHz. Una delle caratteristiche più importanti di una porta di trasmissione è naturalmente l'assenza del piedestallo in uscita. Il piedestallo in uscita può venire misurato applicando un segnale di controllo e misurando l'ampiezza corrispondente dell'uscita in assenza di segnale analogico all'ingresso. In questo circuito si trova che con  $V_g$  uguale a 2 V eff., a 500 kHz, e con il resistore variabile di 5 kΩ regolato per un'uscita minima, il piedestallo arriva a 100 mV eff.

Fino ad ora si è parlato delle porte a diodi disposte in configurazione serie. È possibile però utilizzarle anche in configurazione parallelo. Un esempio<sup>2</sup> di configurazione parallelo, utilizzando ancora lo stesso circuito integrato della RCA di cui si è detto, è illustrata in Fig. 13.3-7. Il diodo  $D1$ , con il suo resistore serie, non fa propriamente parte della porta e non è essenziale al suo funzionamento. Il suo scopo è quello di mantenere il più possibile costante per l'intero ciclo di funzionamento il carico visto dal generatore del segnale di controllo  $V_g$ . Infatti se non ci fosse questo diodo, quando la polarità della

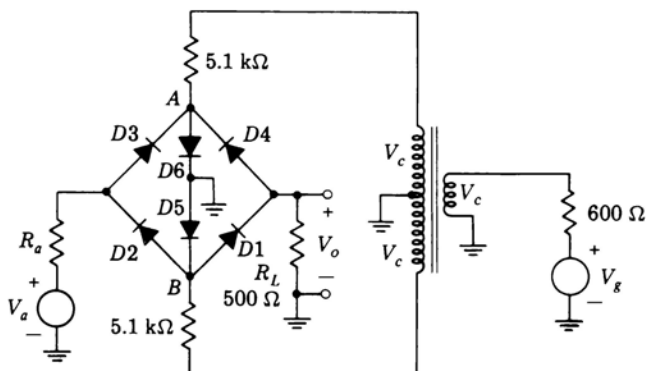


Figura 13.3-8 Porta serie-parallelo.

tensione di controllo interdice i quattro diodi, il generatore del segnale di controllo vedrebbe nominalmente un circuito aperto. A causa del valore più elevato dei resistori impiegati, questa porta può lavorare con segnali analogici di frequenza massima solo fino a 500 kHz e con segnali di controllo di frequenza fino a circa 100 kHz.

Infine in Fig. 13.3-8 è illustrata una porta a sei diodi simile, anche se non del tutto identica, a quella di Fig. 13.3-6. In essa non ci sono tensioni fisse. Questa porta combina la disposizione serie con quella parallelo. Durante la trasmissione il segnale di controllo mantiene il punto *B* positivo rispetto al punto *A*. I diodi *D1*, *D2*, *D3* e *D4* conducono realizzando così un collegamento serie fra ingresso analogico e uscita. I diodi *D5* e *D6* sono polarizzati inversamente. Quando la porta è chiusa, non solo i quattro diodi del ponte sono polarizzati inversamente, ma i diodi *D5* e *D6* conducono, fornendo un collegamento verso massa che migliora l'interdizione della trasmissione.

**Circuito S/H ad altissima velocità** Nella porta a quattro diodi di Fig. 13.3-4 il segnale di controllo  $V_c$  è costituito da due segnali aventi stessa forma e polarità opposta e simmetrici rispetto a massa. È possibile però evitare l'uso di due segnali, impiegando un solo segnale di controllo, come si è fatto nelle figure da 13.3-6 a 13.3-8. L'impiego del segnale di controllo unico è illustrato in Fig. 13.3-9a, in cui la tensione di controllo è stata spostata all'interno del ponte. In Fig. 13.3-9a si vede che durante la trasmissione la tensione di controllo deve essere mantenuta ad un livello positivo onde mantenere in conduzione i diodi. In questo caso è necessaria la presenza del resistore  $r$  per limitare la corrente nei diodi. Durante la non-trasmissione il livello di  $V_c$  deve essere negativo per mantenere i diodi OFF. È possibile anche impiegare il generatore di tensione  $V_c$  di Fig. 13.3-9a soltanto per mantenere i diodi in

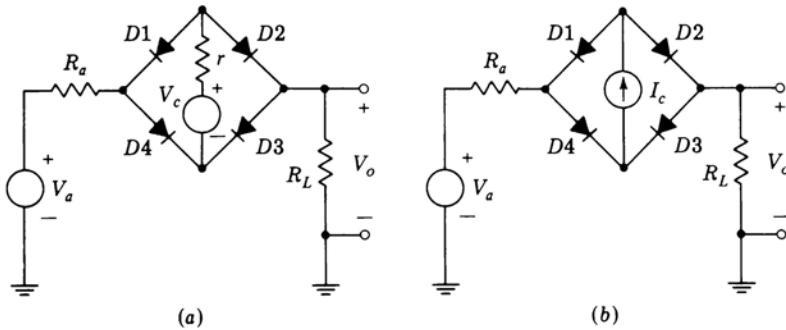


Figura 13.3-9 Porta a quattro diodi con il generatore del segnale di controllo non collegato a massa: (a) controllo mediante generatore di tensione; (b) controllo mediante generatore di corrente.

interdizione (nel qual caso si può omettere il resistore  $r$ ) ed usare un generatore di corrente, come in Fig. 13.3-9b, per portare i diodi in conduzione.

I circuiti di Fig. 13.3-9a e 13.3-9b sono impiegati nel circuito *sample-and-hold*<sup>8</sup> (circuito di campionamento e di mantenimento) ad alta velocità di Fig. 13.3-10. Questo circuito è progettato per funzionare con un *tempo di carica* dell'ordine di soli 15 ns. Il tempo di carica rappresenta l'intervallo durante il quale la porta consente la trasmissione, permettendo al condensatore  $C$  di caricarsi al valore presentato dal segnale analogico in questo intervallo. Per rendere possibile una velocità di quest'ordine, i diodi impiegati sono del tipo Schottky. Per semplicità grafica si è preferito non usare il simbolo del diodo Schottky ma usare il simbolo del diodo normale.

In Fig. 13.3-10 una corrente  $I$  viene deviata dai transistori  $T1$  e  $T2$  nell'una o nell'altra delle due metà del primario di un trasformatore. Così durante l'intervallo di carica una corrente nominalmente costante scorre attraverso i diodi  $D3i$  e  $D4i$  ed attraverso i diodi del ponte. Durante questo intervallo di carica i diodi  $D1$  e  $D2$  sono polarizzati inversamente. Con i diodi del ponte polarizzati direttamente, la tensione analogica d'ingresso viene portata ai capi del condensatore  $C$  che costituisce il carico. Si noti che in questo modo il ponte è tenuto ON da una sorgente di corrente, come in Fig. 13.3-9b.

È interessante calcolare l'induttanza di magnetizzazione che deve presentare il trasformatore per mantenere la corrente nell'avvolgimento secondario nominalmente costante per tutto il tempo di carica, condizione questa necessaria per garantire la completa conduzione dei diodi del ponte. Un circuito che può essere utilizzato per calcolare l'andamento della corrente è quello di Fig. 13.3-11. Nella Fig. 13.3-11a è indicata la corrente di secondario  $I_o$ .

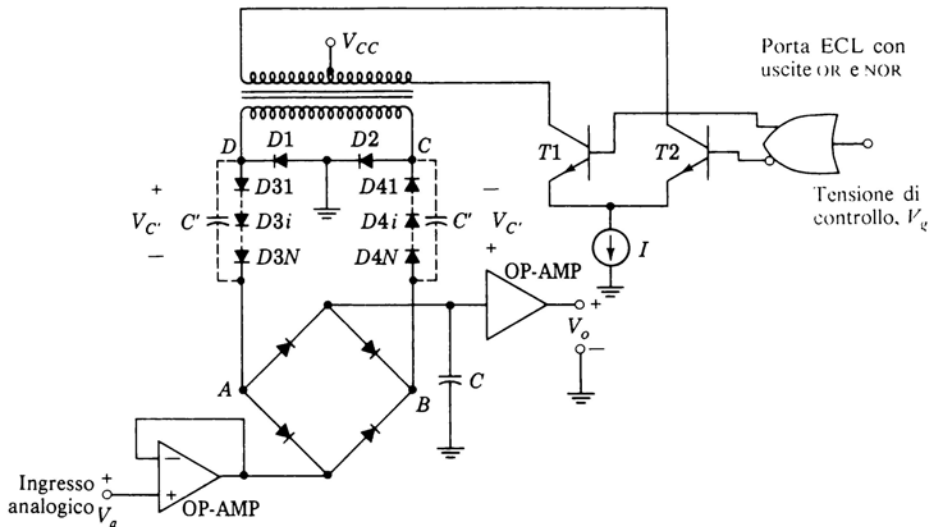


Figura 13.3-10 Porta a quattro diodi ad alta velocità per impiego in circuiti sample-and-hold.

impressa al circuito costituito dall'induttanza di magnetizzazione  $L_m$ , dalle due serie di diodi e dal ponte. Assumendo pari a 0,7 V la caduta su ogni diodo in conduzione, il circuito risultante, semplificato con una sola batteria che tiene conto di tutte le cadute sui diodi, è indicato in Fig. 13.3-11b. Supponiamo che all'istante  $t = 0$  venga applicata una corrente diretta  $I_o$  che porti i diodi in conduzione. Inizialmente tutta la corrente  $I_o$  scorre attraverso i diodi; poichè però questa corrente provoca una caduta di tensione  $V_{L_m}(t) = 2(N + 1)(0,7)$  ai capi dell'induttanza  $L_m$ , la corrente attraverso  $L_m$  tende ad aumentare, poichè

$$I_{L_m}(t) = \frac{1}{L_m} \int V_{L_m}(t) dt$$

Quindi

$$I_{L_m}(t) \approx \frac{2(N + 1)0,7}{L_m} t \quad (13.3-6)$$

Pertanto la corrente  $I_D(t)$  attraverso i diodi (Fig. 13.3-11b) decresce col tempo secondo la relazione

$$I_D(t) \approx I_o - \frac{1,4(N + 1)t}{L_m} \quad (13.3-7)$$



Affinché la corrente attraverso i diodi rimanga sostanzialmente costante per il tempo di carica  $T_c$ , si deve scegliere  $L_m$  in modo che la diminuzione di  $I_D(t)$  sia dell'1%. Allora per  $t = T_c$  abbiamo

$$L_m \approx \frac{140(N+1)T_c}{I_o} \quad (13.3-8)$$

Per esempio, se  $I_o = 10 \text{ mA}$ ,  $T_c = 10 \text{ ns}$  e  $N = 5$ , allora  $L_m = 840 \text{ } \mu\text{H}$ .

**Scelta del numero  $N$  di diodi** Durante l'intervallo di carica i diodi  $D1$  e  $D2$  (Fig. 13.3-10) devono essere polarizzati inversamente. La tensione al nodo  $C$  delle Fig. 13.3-10 e 13.3-11a deve essere allora inferiore a  $0,65 \text{ V}$  e la tensio-

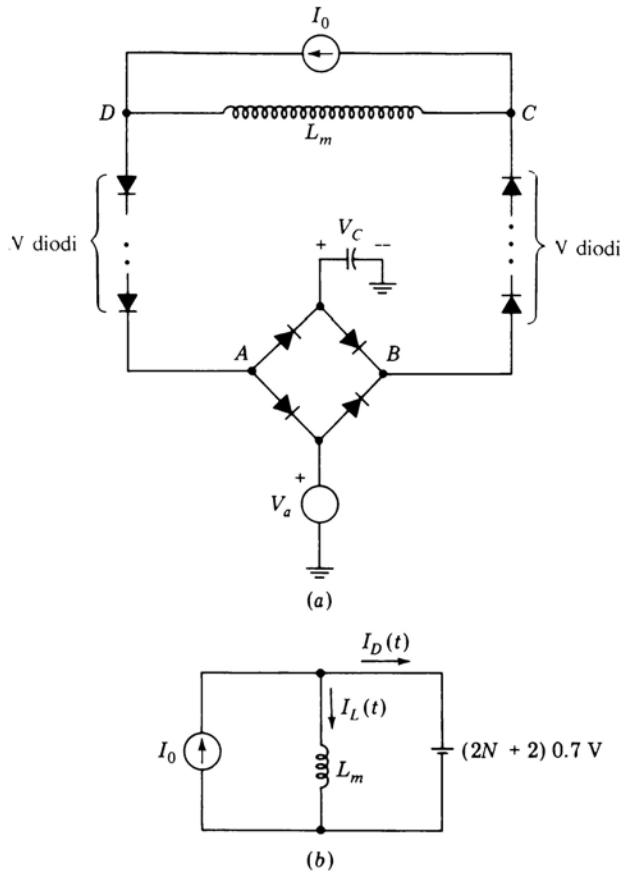


Figura 13.3-11 (a) Circuito per il calcolo dell'andamento della corrente diretta dei diodi. (b) Circuito equivalente con i diodi raggruppati insieme.

ne al nodo  $D$  superiore a  $-0,65$  V, indipendentemente dal valore di  $V_a$ . Se il valore massimo di  $V_a$  è  $V_a(\text{max})$ , allora dalla Fig. 13.3-11a si ha che

$$0,65 \geq V(\text{al nodo } C) = V_a - 0,7(N + 1)$$

Risolviendo in  $N$  si ha

$$N \geq 1.43V_a(\text{max}) - 1.93 \quad (13.3-9)$$

Ad esempio, se  $|V_a| \leq 5$  V,  $N \geq 6$ .

**Funzionamento durante l'intervallo di mantenimento** Per isolare il condensatore di carico  $C$  dal generatore del segnale analogico, occorre invertire la corrente nel trasformatore. I diodi  $D1$  e  $D2$  di Fig. 13.3-10 vengono allora polarizzati direttamente. Poiché la tensione  $V_C$  ai capi delle capacità parassite degli  $N$  diodi di ogni ramo (che abbiamo rappresentato con  $C'$ ) non può variare istantaneamente, la tensione nel punto  $B$  del ponte sale istantaneamente a  $V_C' + V_{D2}$ , mentre la tensione nel punto  $A$  scende a  $-(V_C' + V_{D1})$ . Essendoci  $N$  diodi,  $V_{BA} = (2N + 2) 0,7$  V, per cui il ponte viene istantaneamente polarizzato inversamente.

La caduta di tensione  $V_C'$  ai capi delle capacità parassite  $C'$  decresce rapidamente a zero attraverso i diodi  $D3i$  e  $D4i$ . Quando la scarica è completa,  $V_{BA} = 1,4$  V ed il ponte viene mantenuto in interdizione. Si può facilmente verificare che il ponte rimane interdetto, indipendentemente da  $V_a$ , finché la corrente del trasformatore non viene nuovamente invertita.

Si noti che il ponte è mantenuto all'interdizione da un generatore di tensione come in Fig. 13.3-9a; tale generatore è costituito, a transitorio concluso, dalla caduta di tensione ai capi dei diodi  $D1$  e  $D2$ .

### 13.4 PORTE A TRANSISTORI BIPOLARI

I circuiti di porta a diodi sono veloci, specialmente quando vengono impiegati diodi *Schottky*. I diodi però, essendo dispositivi a due soli terminali, e quindi privi di elettrodo di controllo, non sono in grado di fornire guadagno e comportano l'impiego di circuiti piuttosto complessi. Prendiamo allora in considerazione i circuiti di porta a transistori (sia bipolari che FET).

Una semplice porta a transistore è illustrata in Fig. 13.4-1a, in cui al transistore bipolare si può benissimo sostituire un FET. La tensione di controllo  $V_c$  può portare il transistore nella sua regione attiva, rendendolo così atto a trasmettere all'uscita il segnale analogico  $V_a$ , oppure può portare il transistore all'interdizione, bloccando così la porta. Questo semplice circuito soffre però dell'inconveniente di presentare in uscita un piedestallo di tensione. In Fig. 13.4-1b è illustrata una prima soluzione per eliminare il piedestallo. Vengono impiegati due transistori. Le due tensioni di controllo di polarità opposta vengono scelte in modo da mantenere costante la corrente di carico a riposo sia quando  $T1$  è ON e  $T2$  OFF (porta APERTA) che quando  $T1$  è OFF e  $T2$

ON (porta CHIUSA). Questo circuito è però valido solo in teoria. Come indicato in Fig. 13.4-1c, possono comparire, anche con segnali assolutamente simmetrici, picchi di disturbo all'istante di apertura e di chiusura della porta. Questo fenomeno è causato dalla impossibilità pratica di portare uno dei due transistori in ON nello stesso preciso istante in cui l'altro viene portato in OFF. Nei circuiti a diodi la situazione è differente perchè la tensione di controllo fa passare simultaneamente in ON o in OFF tutti i diodi che il segnale incontra nel suo percorso verso l'uscita.

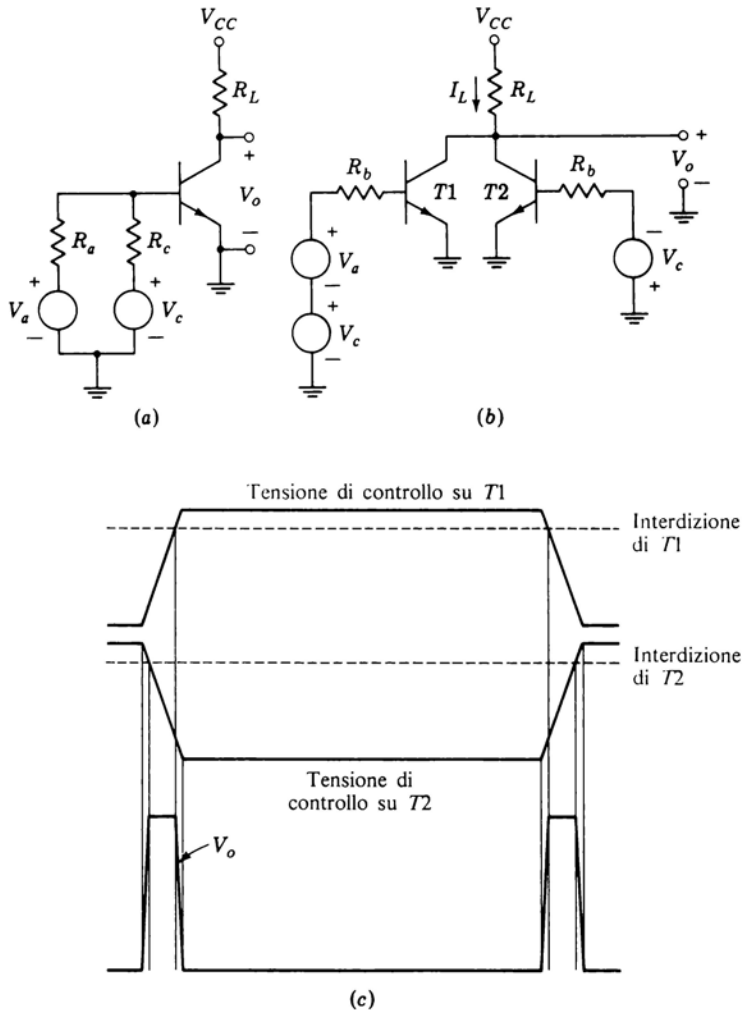


Figura 13.4-1 (a) Transistore bipolare usato come porta. (b) L'impiego di due transistori per sopprimere il piedestallo. (c) L'origine degli impulsi all'uscita della porta del punto (b).

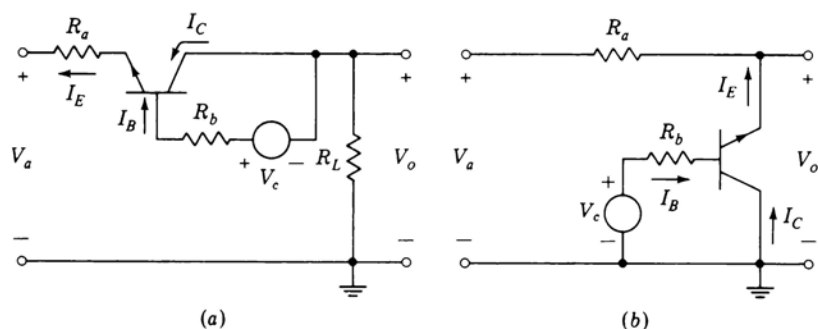


Figura 13.4-2 Transistore usato (a) come elemento serie e (b) come elemento parallelo.

Se i tempi di salita e di discesa delle tensioni di controllo sono sufficientemente brevi rispetto agli intervalli di APERTURA e di CHIUSURA della porta, allora i picchi di disturbo possono essere sufficientemente brevi da non provocare inconvenienti. Nondimeno, sia a causa di questi picchi che a causa della difficoltà di selezionare due transistori tanto uguali da eliminare il piedestallo, le porte che impiegano transistori funzionanti da amplificatori trovano limitata applicazione. Pertanto i transistori, quando sono usati come interruttori, seguono le tre configurazioni base di Fig. 13.1-1. Con i transistori bipolari i terminali dell'interruttore sono costituiti dal collettore e dall'emettitore, mentre la tensione di controllo è applicata alla base. Con i FET i terminali dell'interruttore sono il source ed il drain e la tensione di controllo è applicata al gate.

Nelle porte di trasmissione di Fig. 13.4-1 i transistori sono impiegati come amplificatori. Il segnale analogico è applicato alla base e l'uscita è presa sul collettore. In Fig. 13.4-2 sono illustrate porte a transistori di altro tipo. In esse i transistori sono usati come elementi ad impedenza variabile. In Fig. 13.4-2a il transistore, quando deve consentire la trasmissione, viene pilotato in saturazione dal generatore di controllo  $V_c$ ; quando deve bloccare la trasmissione, viene pilotato all'interdizione. In Fig. 13.4-2b la trasmissione è consentita quando il transistore è in interdizione e non è consentita quando il transistore è in saturazione. Il circuito di Fig. 13.4-2b ha il pregio di avere un terminale del generatore di controllo collegato a massa insieme con un terminale del generatore del segnale analogico. In Fig. 13.4-2a il segnale di controllo viene generalmente applicato mediante un trasformatore.

Nel Par. 1.10 avevamo visto che quando un transistore è portato in saturazione ( $\sigma \ll 1$ ), la sua tensione di saturazione collettore-emettitore è diversa a seconda che il transistore lavori in modo *normale* o in modo *inverso*. Nel

modo normale il generatore che pilota la base è collegato fra base ed emettitore e, come si è visto,

$$V_{CE}(\text{sat}) \approx V_T \ln \frac{1}{\alpha_I} \quad (13.4-1)$$

Con  $\alpha_I \approx 0,1$ , si trova  $V_{CE}(\text{sat}) \approx 60 \text{ mV}$ . Nel modo inverso, in cui il generatore pilota è collegato fra base e collettore, si trova che

$$V_{CE}(\text{sat}) = -V_T \ln \frac{1}{\alpha_N} \quad (13.4-2)$$

Con  $\alpha_N \approx 0,98$ , si ha  $V_{CE}(\text{sat}) = -1 \text{ mV}$ . Il transistor saturato usato nel modo inverso si avvicina chiaramente di più all'interruttore chiuso ideale che non il transistor saturato usato nel modo normale. È per questa ragione che i transistori nelle porte di Fig. 13.4-2 sono fatti lavorare in modo inverso.

La tensione che si stabilisce ai capi dei transistori saturi nelle porte analogiche viene indicata col termine *tensione di offset*. In Fig. 13.4-2a, supponendo  $R_a \ll R_L$ , l'uscita  $V_o$ , quando la porta è in fase di trasmissione, si scosta da  $V_a$  di un valore pari alla tensione di saturazione. Analogamente in Fig. 13.4-2b l'uscita  $V_o$  presenta uno scostamento dal valore nominale (massa, 0 V) quando la porta interdice la trasmissione. Normalmente la presenza della tensione di offset costituisce un inconveniente poichè provoca la formazione del piedestallo d'uscita. Questo inconveniente è particolarmente grave quando la porta viene impiegata come chopper con tensioni di ingresso molto piccole. In un circuito chopper ideale si cerca di avere all'uscita della porta un'onda quadra di ampiezza pari all'ampiezza dell'ingresso  $V_a$ . Supponiamo che nei circuiti di Fig. 13.4-2 sia  $V_a = 0 \text{ V}$ . Malgrado ciò in uscita sarà presente un'onda quadra di ampiezza pari alla tensione di offset. L'ampiezza minima della tensione di ingresso per cui il chopper può funzionare correttamente risulta pertanto determinata da questo residuo di onda quadra dovuto alla tensione di offset.

Proprio a causa della tensione di offset e della non-linearità nella regione di saturazione, le porte di trasmissione a transistori bipolari hanno perso importanza. Largamente impiegate sono viceversa le porte di trasmissione a FET.

### 13.5 PORTE A FET

In Fig. 13.5-1a e b sono illustrate due porte a FET, una del tipo serie ed una del tipo parallelo. I simboli usati sono quelli del MOS, possono però venir impiegati ugualmente bene i JFET; inoltre per ottenere una porta più efficiente si può combinare la configurazione serie con quella parallelo, come in Fig. 13.1-1c.

Un notevole pregio dell'interruttore a FET rispetto a quello bipolare sta nel fatto che il FET non presenta offset. Ciò può venire constatato in Fig. 1.11-3 che rappresenta la caratteristica tensione-corrente di drain di un JFET

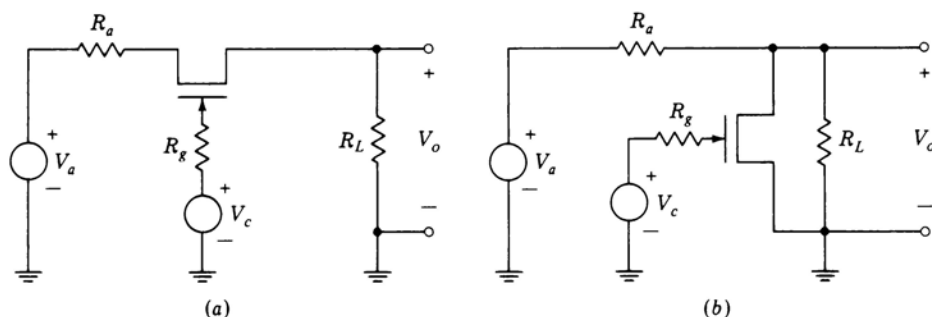


Figura 13.5-1 (a) Porta a FET in serie. (b) Porta a FET in parallelo.

tipico nell'intorno dell'origine. La caratteristica tensione-corrente di un MOSFET tipico è identica. Si noti come le curve passino esattamente per l'origine. Si può notare inoltre che se l'escursione di tensione e di corrente è limitata in un intorno dell'origine, le caratteristiche sono quelle di un «resistore lineare» con resistenza funzione della tensione gate-source.

Un secondo pregio dell'interruttore a FET consiste nel fatto che è simmetrico. Cioè il FET ha caratteristiche uguali sia nel funzionamento in modo diretto che nel funzionamento in modo inverso. La diversità fra FET e BJT appare evidente confrontando le Fig. 1.11-3 e 1.10-1. La Fig. 1.10-1 mostra la caratteristica tensione - corrente di un transistor bipolare quando  $I_B$  è costante.

### 13.6 AMPLIFICATORI OPERAZIONALI

Gli amplificatori operazionali sono stati trattati nel Cap. 2. Dal momento che dovremo impiegare gli op-amp nelle porte che tratteremo nei paragrafi seguenti, riassumeremo qui alcune delle caratteristiche più notevoli di tali amplificatori. In Fig. 13.6-1a è rappresentato un op-amp con il suo segnale di ingresso e con la resistenza di reazione  $R_2$  collegata all'ingresso invertente (—), mentre l'ingresso non-invertente (+) è collegato a massa. L'amplificatore è caratterizzato da un guadagno di anello aperto  $A$ , un'impedenza di ingresso  $R_i$  ed una impedenza di uscita ad anello aperto  $R_o$ , valori questi che vengono specificati dal costruttore. Per valori di  $A$  ed  $R_i$  elevati il guadagno  $A_f$  e l'impedenza di uscita  $Z_o$  sono dati con buona approssimazione da

$$A_f \approx -\frac{R_2}{R_1} \quad (13.6-1)$$

$$e \quad Z_o = \frac{R_o}{A} \left( 1 + \frac{R_2}{R_1} \right) \quad (13.6-2)$$

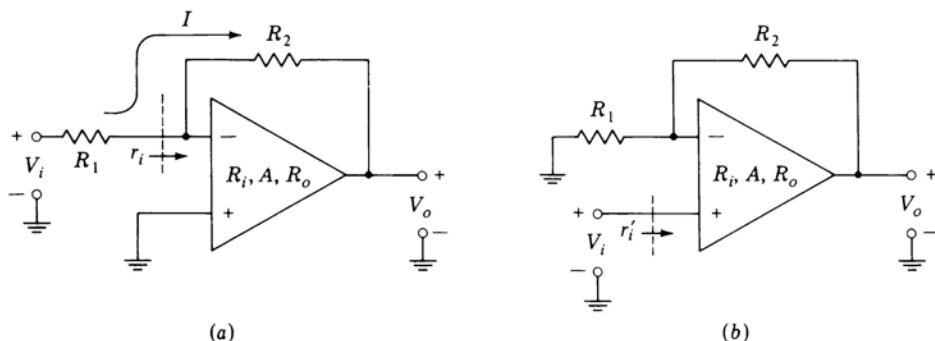


Figura 13.6-1 (a) Op-amp in configurazione invertente. (b) Op-amp in configurazione non-invertente.

Assumendo  $R_1 = R_2$ , troviamo che  $A_f = -1$ , ed assumendo  $R_o = 200 \, \Omega$  e  $A = 5 \times 10^4$ , troviamo che  $Z_o = 8 \, \text{m}\Omega$ . Si noti che, essendo l'impedenza di uscita estremamente bassa, l'op-amp è il dispositivo ideale per caricare o scaricare in tempi molto brevi dei condensatori, come ad esempio quelli impiegati nei circuiti di sample-and-hold.

Un secondo punto importante consiste nel fatto che, nel circuito di Fig. 13.6-1a, il terminale invertente si trova a massa virtuale, cioè l'impedenza  $r_i$  risulta estremamente bassa. Applicando l'Eq. (2.2-2), si trova

$$r_i \approx \frac{R_2 + R_o}{1 + A} \approx \frac{R_2}{A} \quad (13.6-3)$$

se, come accade,  $R_2 \gg R_o$ . Assumendo  $R_1 = R_2 = 10 \, \text{k}\Omega$ , troviamo  $r_i \approx 0,2 \, \Omega$ . Poiché  $r_i$  è molto piccola rispetto ad  $R_1$ , si può benissimo affermare che fra i due terminali dell'op-amp si ha un corto-circuito virtuale. Quindi una tensione di ingresso  $V_i$  genera una corrente di ingresso  $I = V_i / R_1$ . Poiché però il corto-circuito è solo virtuale, la corrente prosegue attraverso  $R_2$ . L'uscita vale perciò  $V_o = -IR_2/R_1$ , ed il guadagno vale  $A_f = V_o/V_i = -R_2/R_1$ , come risulta dall'Eq. (13.6-1). Per quanto concerne la nostra trattazione è più importante notare quanto segue. Supponiamo ad esempio che con  $R_1 = R_2$   $V_i$  compia un'escursione  $\pm M$ ; allora  $V_o$  compirà un'escursione uguale  $\pm M$ ; fra i terminali di ingresso dell'op-amp però l'escursione sarà solo di  $\pm M/A$ . Così con  $M = 10 \, \text{V}$  e  $|A| = 5 \times 10^4$ , si trova che all'ingresso dell'op-amp vero e proprio l'escursione è di soli  $\pm 10/(5 \times 10^4) = \pm 0,2 \, \text{mV}$ .

L'amplificatore operazionale può essere connesso anche come indicato in Fig. 13.6-1b, dove il segnale di ingresso è applicato al terminale non-invertente. Si noti che il resistore di reazione  $R_2$  è sempre connesso all'ingresso in-

vertente. In questo caso si trova che l'impedenza di uscita è data nuovamente dall'Eq. (13.6-2). Il guadagno vale [vedi Eq. (2.7-2)]

$$A_f = 1 + \frac{R_2}{R_1} \quad (13.6-4)$$

Un guadagno  $A_f = 1$  si ottiene ponendo  $R_2 = 0$ . In questo caso  $R_1$  non ha più ragion d'essere e può venir eliminato.

Se  $R_i$  è l'impedenza di ingresso dell'amplificatore vero e proprio, allora l'impedenza d'ingresso  $r'_i$  vale [vedi Eq. (2.8-5)]

$$r'_i = R_i \left( \frac{A}{1 + R_2/R_1} \right) \quad (13.6-5)$$

Quest'impedenza di ingresso è di solito molto elevata. Con  $R_2 = 0 \Omega$ ,  $A = 5 \times 10^4$  e  $R_i = 10^5 \Omega$ , l'impedenza di ingresso  $r'_i = 5.000 \text{ M}\Omega$ .

### 13.7 PORTA A FET CON UN OP-AMP COME CARICO

In Fig. 13.7-1 è illustrata una porta di tipo serie semplice e relativamente economica. Il segnale analogico di ingresso  $V_a$  viene trasmesso all'uscita quando il transistor  $T1$  conduce. Il segnale di controllo  $V_c$ , che comanda  $T1$  in ON e in OFF, è fornito da una porta pilota TTL. Di solito la tensione corrispondente all'1 logico all'uscita di una porta TTL è di circa 3,7 V (vedi Par. 6.6). In questo caso però è opportuno che l'1 logico corrisponda a tutta la tensione di alimentazione, cioè a 5 V. Per questa ragione abbiamo aggiunto un resistore di 2 k $\Omega$  che funge da pull-up passivo. (Questo resistore di solito si aggiunge quando, come in questo caso, non è richiesto che  $V_c$  salga da 3,7 a 5 V con la velocità tipica della TTL e quando inoltre il carico da pilotare è piuttosto basso.)

I transistori  $T1$  e  $T2$  sono dispositivi a canale  $p$  a svuotamento nominalmente identici. Si ricorda che i transistori a svuotamento conducono quando la tensione gate-source è zero (vedi Par. 1.12). Inoltre in un transistor a canale  $p$  la conduzione aumenta quanto più la tensione source-gate  $V_{SG}$  diviene positiva e diminuisce quanto più  $V_{SG}$  diviene negativa. Un valore tipico della tensione di soglia  $V_T$  è  $V_{SG} = -4 \text{ V}$ , valore che useremo nella seguente trattazione.

Supponiamo ora che  $V_c = +5 \text{ V}$  e che  $V_a$  sia positiva. In questo caso se in  $T1$  scorresse corrente, questa andrebbe da  $a$  a  $b$ , per cui  $a$  diventerebbe il source e  $b$  il drain. (Ricordiamo che il source è il terminale in cui i portatori mobili, in questo caso le lacune, entrano nel transistor.) Il diodo  $D$  mantiene la tensione in  $a$  fissa a 0,7 V. Quindi qualunque valore positivo assuma  $V_a$ ,  $V_{SG}$  non sarà mai maggiore di  $-5 + 0,7 = -4,3 \text{ V}$  e quindi  $T1$  rimarrà OFF con un margine di sicurezza di 0,3 V. Analogamente al caso delle porte logiche, questo margine di 0,3 V prende il nome di *margine di rumore*. Sia ora  $V_a$



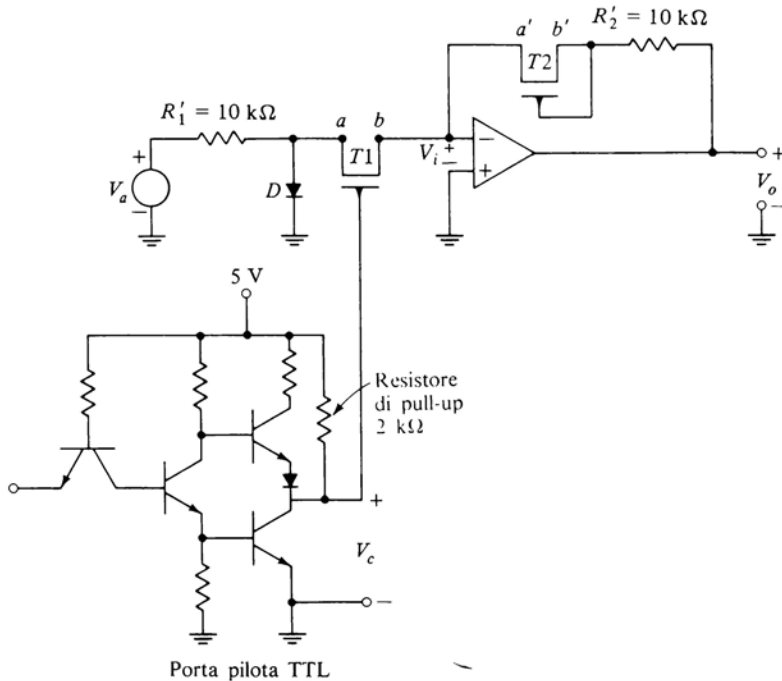


Figura 13.7-1 Interruttore in FET in serie con la sua porta pilota TTL.

negativa. In questo caso se  $T1$  conducesse, il terminale  $b$  sarebbe il source. Poiché il terminale di ingresso dell'amplificatore è a massa virtuale, i 5 V sul gate mantengono  $T1$  OFF con un margine di  $5 - 4 = 1$  V.

Il transistor  $T1$  è portato in ON quando la porta deve consentire la trasmissione; in questo caso il transistor  $T2$  serve a compensare la dipendenza dalla temperatura e la possibile non perfetta linearità di  $T1$ . Il guadagno incrementale (così come il guadagno assoluto) dello stadio è dato da

$$A = \frac{\Delta V_o}{\Delta V_i} = - \frac{R'_2 + R(T2)}{R'_1 + R(T1)} \quad (13.7-1)$$

Poiché, come si può vedere in Fig. 13.7-1,  $R'_2$  e  $R'_1$  sono state scelte uguali, se  $R(T2) = R(T1)$  avremo  $A = -1$ , indipendentemente da  $R(T1)$ .

L'affermazione secondo cui  $R(T2) = R(T1)$  si giustifica come segue. Quando  $V_c$  scende allo 0 logico per portare  $T1$  in ON, il gate di  $T1$  va circa a massa, poiché  $V_c \approx 0,1$  V o anche meno (invece del valore  $V_{CE}(\text{sat}) = 0,2$  V normalmente assunto) a causa del bassissimo valore del carico. Non si com-

mette pertanto un grave errore se si suppone che, così come il gate di  $T2$  è connesso a  $b'$ , il gate di  $T1$  sia connesso a  $b$ , dal momento che  $b$  è *virtualmente* a massa. Però  $b$  è collegato a massa solo *virtualmente* e non *realmente*, per cui nel terminale di ingresso dell'amplificatore non entra corrente alcuna ed i due transistori sono attraversati dalla stessa corrente nella stessa direzione. Dal momento che i due transistori sono collegati in maniera simile e sono percorsi dalla stessa corrente nello stesso verso, possiamo ragionevolmente attenderci che  $R(T2) = R(T1)$ .

Quando la porta è in trasmissione, il diodo  $D$  non conduce ed è inoperante. Infatti, assumendo per  $T1$  una resistenza di  $r_{ON}$  di  $150\ \Omega$  e per il segnale di ingresso un valore massimo di  $10\text{ V}$ , si può verificare che la tensione ai capi del diodo sarà  $10 [150/(10.000 + 150)] \approx 150\text{ mV}$ , valore inferiore a  $0,65\text{ V}$ , che è la tensione di soglia del diodo stesso.

In questo circuito il transistor interruttore  $T1$  è disposto fra il resistore serie di  $10\text{ k}\Omega$  e la massa virtuale. Teoricamente  $T1$  potrebbe anche essere disposto a monte del resistore. La disposizione dalla parte della massa virtuale è però più conveniente. Infatti, così facendo, nessuno dei due terminali dell'interruttore risulta soggetto a variazioni apprezzabili di tensione rispetto a massa, rendendo così più semplici le specifiche che devono essere soddisfatte dalla tensione di controllo (vedi Prob. 13.7-2). C'è da notare infine che in questo circuito i transistori lavorano in maniera bilaterale, cioè portano corrente in un verso o nell'altro a seconda della polarità dell'ingresso. Quando  $V_a$  è positivo, i terminali  $a$  e  $a'$  sono i source mentre  $b$  e  $b'$  i drain. Quando  $V_a$  è negativo, source e drain si invertono.

### 13.8 CIRCUITO DI CAMPIONAMENTO E MANTENIMENTO

La configurazione di Fig. 13.7-1 è presente di nuovo nel circuito di campionamento e mantenimento di Fig. 13.8-1. Quando il FET è  $ON$ , il circuito è un amplificatore con guadagno in continua pari a  $-R_2/R_1$  e con frequenza a  $-3\text{ dB}$  pari a  $f = 1/2\pi R_2 C$ . In questa espressione abbiamo trascurato l'impedenza del FET. Quando il FET è portato in  $OFF$ , la tensione di uscita dell'amplificatore viene «mantenuta» dal condensatore  $C$ . Il condensatore però non può conservare la sua carica indefinitamente; infatti, anche trascurando le perdite attraverso il FET, il condensatore tende a scaricarsi attraverso l'amplificatore con una velocità di scarica determinata dalla corrente di polarizzazione di ingresso dell'amplificatore stesso. Per minimizzare questa deriva dalla tensione del condensatore, conviene impiegare un condensatore  $C$  il più elevato possibile compatibilmente con la risposta in frequenza che si desidera ottenere dall'amplificatore. Conviene inoltre impiegare un amplificatore che presenti una bassa corrente di polarizzazione d'ingresso, come ad esempio un op-amp con stadio di ingresso a FET. Si noti infine che il resistore  $R_2$  non è posto direttamente in parallelo al condensatore  $C$ ; ciò viene fatto

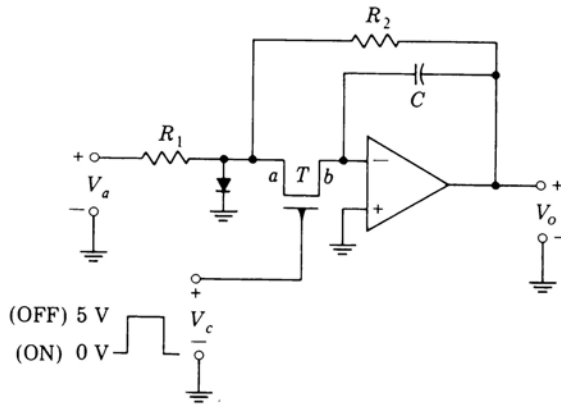


Figura 13.8-1 Circuito di campionamento e mantenimento.

per minimizzare la scarica del condensatore. Quando infatti il FET è aperto,  $R_2$  non è più in parallelo a  $C$ .

La Fig. 13.8-2a illustra un circuito che combina le caratteristiche dei circuiti di Fig. 13.7-1 e 13.8-1. Questo circuito è un sample-and-hold che consente la moltiplicazione dei tre segnali  $V_{a1}$ ,  $V_{a2}$ ,  $V_{a3}$ .

Nei circuiti di Fig. 13.8-1 e 13.8-2a, come in altri sample-and-hold, occorre talvolta tener conto della capacità presente nel dispositivo interruttore (in questo caso il JFET) fra il terminale di controllo e il terminale collegato alla capacità di immagazzinamento. Questa capacità (insieme con tutte le altre capacità parassite) provoca quello che è chiamato *errore di offset del sample-and-hold*. Per comprendere in che cosa consista questo errore, consideriamo la situazione che si verifica quando la tensione di controllo commuta dal livello ON al livello OFF. Dopo che è avvenuta la commutazione al livello OFF (inizio della fase di mantenimento), la carica sul condensatore di immagazzinamento non dovrebbe cambiare rispetto al valore che aveva alla fine dell'intervallo di campionamento, subito prima cioè della commutazione al livello OFF. Il brusco salto della tensione di controllo provoca però il trasferimento di una certa quantità di carica al/dal condensatore di immagazzinamento  $C$ , generando così l'*errore di offset*. Se  $C_d$  è la capacità del dispositivo interruttore (trascuriamo per semplicità l'eventualità che  $C_d$  sia non-lineare) e se la differenza fra i due livelli della tensione di controllo è  $V_g$ , allora, come si può facilmente verificare, l'errore di offset  $\Delta V$  del sample-and-hold è dato da

$$\Delta V = \frac{C_d}{C} V_g \quad (13.8-1)$$

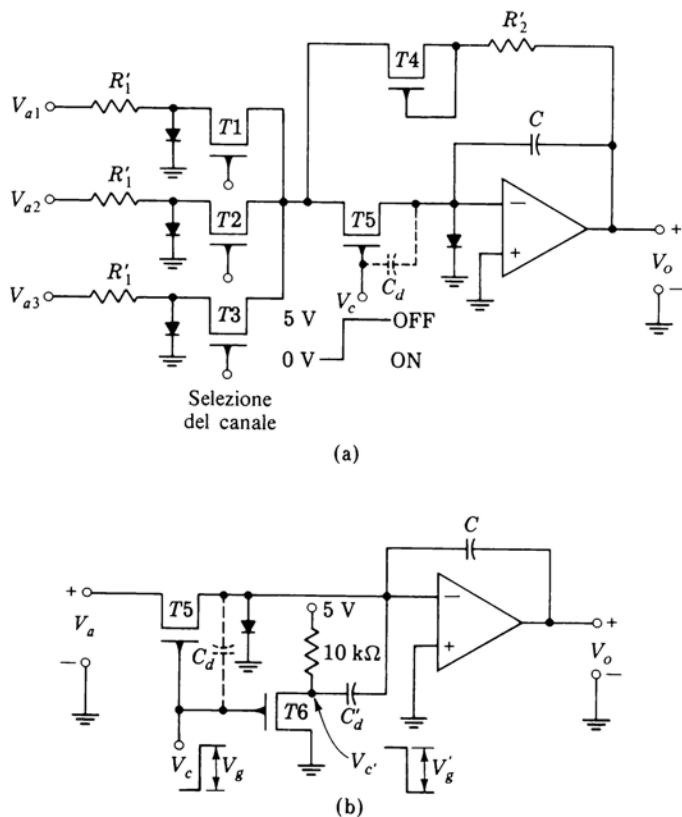


Figura 13.8-2 (a) Sample-and-hold in un moltiplicatore a tre canali. (b) Il transistor  $T6$  e il condensatore  $C_d$  sono usati per eliminare l'errore di offset.

Se  $V_g \approx 5$  V,  $C_d \approx 10$  pF e  $C \approx 0,01$   $\mu$ F, si trova che  $\Delta V = 10$  mV. Nei casi in cui non si possa accettare un errore di questo ordine, è necessario provvedere ad una forma di compensazione per neutralizzare questa *iniezione di carica*. Un metodo semplice e immediato di compensazione è quello di impiegare un segnale identico a quello di controllo ma con polarità opposta, come illustrato in Fig. 13.8-2b. Questo segnale di ampiezza  $V'_g$  viene applicato attraverso un condensatore  $C'_d$  all'ingresso del condensatore di immagazzinamento; si riesce ad ottenere una buona compensazione facendo  $C'_d V'_g = C_d V_g$  (vedi Prob. 13.8-1).

Nei casi in cui è richiesta la compensazione dell'errore di offset, i circuiti di

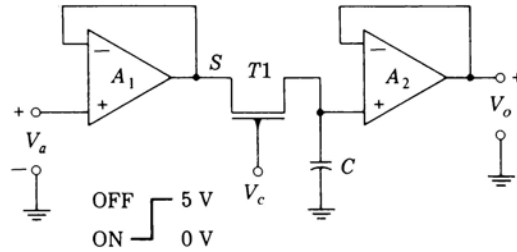


Figura 13.8-3 Circuito sample-and-hold a due op-amp.

Fig. 13.8-1 e 13.8-2 presentano un particolare pregio: la massa virtuale dell'op-amp mantiene il terminale del condensatore collegato all'ingresso ad una tensione fissa. Quindi l'errore di offset e la relativa compensazione risultano costanti e non dipendono dalla tensione del segnale analogico.

Il secondo tipo di errore, chiamato *glitching*, viene pur esso ridotto dalla presenza del condensatore  $C'_d$ . Il *glitch* è un guizzo che si manifesta all'ingresso dell'op-amp di Fig. 13.8-2a quando la tensione di controllo  $V_c$  passa dall'1 logico allo 0 logico. A causa della capacità parassita  $C'_d$ , questo salto di tensione negativo si presenta all'ingresso dell'op-amp. Poichè però l'interruttore  $T5$  è chiuso quando  $V_c$  è allo 0 logico, il gradino decade rapidamente (essendo la costante di tempo il prodotto di  $C_d$  per la resistenza dell'interruttore FET), assumendo la forma di un impulso negativo molto stretto. In Fig. 13.8-2b si vede che, per la presenza di  $T6$  e  $C'_d$ , all'ingresso dell'op-amp si presenta anche un impulso positivo. Il risultato è una significativa riduzione dell'ampiezza del glitch.

**Altri circuiti sample-and-hold<sup>4</sup>** Nel circuito di Fig. 13.8-3 l'amplificatore  $A_1$  presenta un'elevata impedenza di ingresso al segnale analogico ed una bassa impedenza di uscita per consentire una rapida carica e scarica del condensatore di immagazzinamento  $C$ . L'amplificatore  $A_2$  funge da adattatore tra il condensatore di immagazzinamento e l'uscita. Come nel circuito precedente, la *velocità di deriva*, cioè la velocità con cui la tensione sul condensatore di immagazzinamento varia durante l'intervallo di mantenimento, è determinata dal valore della capacità di immagazzinamento, dalla corrente di polarizzazione d'ingresso dell'amplificatore  $A_2$  e dalle perdite attraverso il FET. Si osservi che in questo caso la tensione rispetto massa dei terminali dell'interruttore può superare la massima ampiezza del segnale analogico e che perciò è necessaria una tensione di controllo di valore più elevato che nel caso in cui l'interruttore è collegato alla massa virtuale.

Il circuito di Fig. 13.8-3 è soggetto ad un errore di offset diverso da quello considerato precedentemente. Questo errore (che non è tipico dei soli circuiti

di sample-and-hold) è dovuto alle caratteristiche proprie degli amplificatori. Un amplificatore, anche dopo che è stato regolato per dare in uscita una tensione nulla con ingresso nullo, non può mantenere nel tempo questa regolazione. Infatti col tempo si genera nel funzionamento dell'amplificatore una deriva che porta ad un offset, cioè ad uno scostamento dell'uscita dallo zero iniziale. Analogamente negli amplificatori di Fig. 13.8-3, dove i guadagni dovrebbero mantenersi con grande precisione uguali a  $+1$ , quando si genera una tensione di offset l'uscita dei singoli amplificatori non è più esattamente uguale al rispettivo ingresso e ciò provoca evidentemente lo stesso errore fra uscita e ingresso del circuito complessivo.

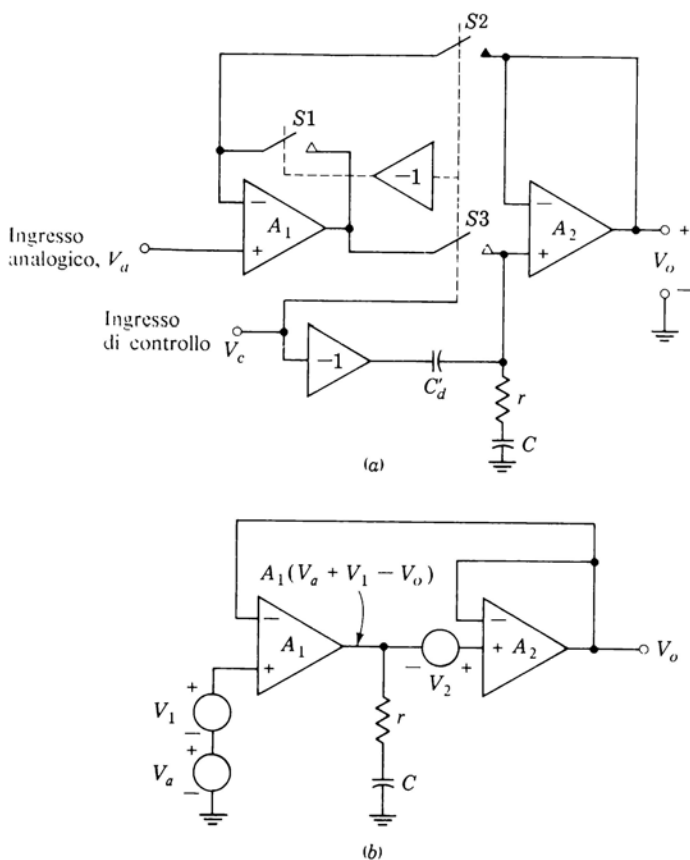


Figura 13.8-4 (a) Il circuito sample-and-hold Intersil 5110. (b) Circuito equivalente, quando  $S1$  è aperto ed  $S2$  ed  $S3$  sono chiusi, per mostrare l'effetto delle tensioni di offset  $V_1$  e  $V_2$ .

In Fig. 13.8-4a è illustrato un interessante circuito sample-and-hold basato sulla configurazione di Fig. 13.8-3 ma provvisto di un accorgimento per eliminare in parte gli errori di offset degli amplificatori. Il circuito è un sample-and-hold per uso generale, il 5110 della Intersil. Gli interruttori, indicati semplicemente col loro simbolo funzionale, sono CMOS (vedi Par. 13.10 sul funzionamento delle porte CMOS). Gli amplificatori  $A_1$  e  $A_2$  sono op-amp e gli invertitori sono di solito porte TTL, dal momento che l'ingresso di controllo proviene solitamente da una porta pilota TTL. In questo circuito il condensatore di immagazzinamento  $C$  (da 0,01 a 0,1  $\mu\text{F}$ ) è posto in serie ad un resistore  $r$  ( $\approx 50 \Omega$ ). La presenza di questo resistore, pur avendo l'effetto negativo di limitare la velocità di carica di  $C$ , serve a neutralizzare la tendenza di  $A_1$  ad entrare in oscillazione, caratteristica questa proprio degli amplificatori operazionali monolitici che pilotano grossi carichi capacitivi. Il condensatore  $C'$  è alimentato da un segnale di controllo con polarità invertita per ridurre l'errore di offset (vedi Fig. 13.8-2b). Questa compensazione può venire omessa nei casi in cui si possa accettare un errore di offset dell'ordine di 10 mV.

Il funzionamento di questa porta è il seguente. Durante il campionamento  $S2$  ed  $S3$  sono CHIUSI ed  $S1$  APERTO. In questa fase il circuito differisce dal circuito di Fig. 13.8-3 per il fatto che la reazione attorno ad  $A_1$  è eliminata e sostituita da una reazione fra l'uscita e l'ingresso della cascata dei due amplificatori. Questa reazione sulla coppia dei due amplificatori è illustrata in Fig. 13.8-4b, dove  $V_1$  e  $V_2$  rappresentano rispettivamente le tensioni di offset d'ingresso di  $A_1$  e di  $A_2$ . L'offset complessivo del circuito sarà ora costituito dal solo offset di  $A_1$  poiché, a causa della reazione, l'offset di  $A_2$  viene ridotto del guadagno di anello aperto  $A_1$  del primo amplificatore. La dimostrazione di quanto detto è la seguente. L'uscita dell'amplificatore  $A_1$  è  $A_1(V_a + V_1 - V_o)$  e l'uscita dell'amplificatore  $A_2$  è  $V_o$ , dove

$$V_o = A_2[A_1(V_a + V_1 - V_o) + V_2 - V_o] \quad (13.8-2)$$

Quindi

$$V_o = \frac{A_1 A_2 (V_a + V_1)}{1 + A_2 + A_1 A_2} + \frac{A_2 V_2}{1 + A_2 + A_1 A_2} \approx V_a + V_1 + \frac{1}{A_1} V_2 \quad (13.8-3)$$

La configurazione di Fig. 13.8-4a non solo presenta il vantaggio di ridurre l'errore di offset complessivo, ma consente anche di regolare l'offset del circuito con una sola manovra anziché con due. In pratica si porta  $V_o = 0$  regolando il livello d'ingresso dell'amplificatore  $A_1$  con  $V_a = 0$ .

La presenza dell'interruttore  $S1$  è giustificata da quanto segue. Durante la fase di campionamento, quando agisce la reazione, l'uscita di  $A_1$  segue fedelmente il segnale analogico. Durante la fase di mantenimento, quando  $S2$  e  $S3$  sono APERTI, se  $S1$  non fosse CHIUSO, non ci sarebbe reazione sull'amplificatore  $A_1$ , che, a causa del suo guadagno elevato e della capacità, potrebbe entrare in oscillazione. Anche trascurando l'eventualità dell'oscilla-

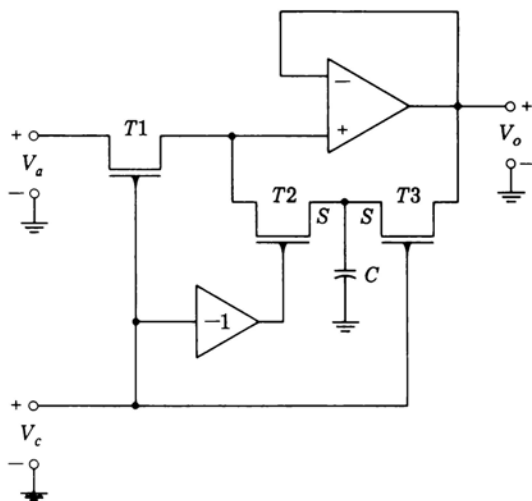


Figura 13.8-5 Circuito sample-and-hold ricavato dal circuito di Figura 13.8-4, ma con un solo op-amp.

zione, sussistono altri problemi. Infatti l'uscita dell'amplificatore  $A_1$  non varrebbe più  $V_a$ , ma  $A_1 V_a$ , almeno fino alla saturazione di  $A_1$ . Quindi alla fine dell'intervallo di mantenimento, quando  $S_2$  e  $S_3$  tornano ad essere nuovamente CHIUSI, dovrebbe intercorrere un certo tempo di ritardo prima che l'uscita di  $A_1$  passi da  $A_1 V_a$  (o esca dalla saturazione) a  $V_a$ . Tenendo invece l'interruttore  $S_1$  CHIUSO, si consente all'uscita di  $A_1$  di seguire  $V_a$  per tutto il periodo di mantenimento.

I circuiti di Fig. 13.8-3 e 13.8-4 impiegano una coppia di amplificatori, uno per presentare un'impedenza di ingresso elevata al segnale analogico, l'altro per isolare il condensatore di immagazzinamento  $C$ . Il circuito di Fig. 13.8-5 è interessante per il fatto che in esso queste due funzioni vengono svolte da un unico amplificatore. Durante il campionamento  $T_1$  e  $T_3$  sono ON, mentre  $T_2$  è OFF. L'amplificatore presenta un'alta impedenza di ingresso al segnale  $V_a$  e carica  $C$  con una bassa impedenza di uscita. Durante il mantenimento,  $T_1$  e  $T_3$  sono OFF e  $T_2$  ON. L'amplificatore funge allora da adattatore interposto fra l'uscita ed il condensatore.

Questo circuito presenta anche un vantaggio per quanto concerne l'offset del sample-and-hold. Le tensioni gate-source di  $T_2$  e  $T_3$  presentano lo stesso valore assoluto, poichè la tensione del condensatore è applicata sia al source di  $T_2$  che a quello di  $T_3$ ; poichè le tensioni di controllo sono di polarità opposta, le quantità di carica trasferite su  $C$  attraverso le capacità gate-source di  $T_2$  e  $T_3$  saranno uguali ma di segno opposto.



### 13.9 CIRCUITI PILOTA PER PORTE A FET

La tensione gate-source di un FET determina lo stato *ON* o *OFF* del dispositivo. (In un MOSFET l'interdizione dipende anche, sebbene in modo molto meno sensibile, dalla tensione substrato-source.) In molte porte di trasmissione la tensione di source varia con il segnale analogico per cui occorre tener conto di questo fatto per stabilire l'ampiezza massima del segnale analogico stesso. La situazione sarebbe diversa se la tensione di controllo venisse applicata direttamente fra gate e source. Per far questo sarebbe però necessario l'impiego di un trasformatore, con tutti i limiti che questo comporta. Come si è già fatto notare, il problema si semplifica quando l'interruttore FET viene disposto sull'ingresso di massa virtuale di op-amp. Viceversa il problema si complica quando l'interruttore è disposto, ad esempio, come in Fig. 13.5-1, dove l'escursione della tensione del source è comparabile con quella del segnale analogico stesso.

Per esaminare più da vicino il problema, consideriamo il semplice circuito di Fig. 13.9-1a utilizzando il JFET a canale *n* 3N126. Il FET è completamente *ON* quando la tensione gate-source è  $V_{GS} = 0$  V ed è completamente *OFF* quando  $V_{GS} = -4$  V. Supponiamo di far variare  $V_c$  fra i due livelli  $V_c = 0$  V e  $V_c = -4$  V. La massima escursione consentita del segnale di ingresso è allora determinata dalla situazione che si presenta quando l'interruttore è *ON*, con  $V_c = 0$  V. Infatti quando  $V_a$  diviene negativo il diodo *pn* costituito dal gate e dal source tende a polarizzarsi direttamente. Perciò la massima escursione negativa consentita deve essere inferiore a 0,6 V circa, ad esempio 0,4 V. Quando l'ingresso diviene positivo,  $V_{GS}$  diviene negativa e l'interruttore tende ad interdursi. È completamente *OFF* quando  $V_{GS} = -4$  V, però inizia ad interdursi già, diciamo, con  $V_{GS} = -2$  V. Quindi l'escursione consentita all'ingresso analogico va da circa +2 V a -0,4 V. (Si verifica facilmente che l'escursione consentita quando il FET è *OFF* è più ampia.)

Si può superare questa limitazione all'escursione del segnale di ingresso facendo in modo che la tensione di gate non rimanga fissa, ma segua la tensione di source. Ciò può venire realizzato in diversi modi (escludendo ovviamente l'applicazione diretta del segnale di controllo fra gate e source). Un metodo semplice ed efficace è illustrato in Fig. 13.9-1b. In questo circuito, come si può verificare, è consentita un'escursione della tensione di ingresso di circa  $\pm 10$  V. Quando il transistor bipolare *T1* è *OFF*, il diodo *D* è *OFF* poiché il suo terminale *n* si trova a 10 V. Se  $V_a$  è negativa, allora il terminale *a* costituisce il source e la tensione gate-source del FET è 0 V a causa del collegamento attraverso il resistore *r*. Se  $V_a$  è positiva la corrente scorre attraverso il FET in senso inverso e pertanto il source ed il drain sono scambiati. La tensione gate-source in questo caso risulta sempre leggermente positiva poiché il gate si trova allo stesso potenziale del drain. Supponendo  $R_a \ll R_L$ , il diodo rimane *OFF* ed il FET *ON* finché la tensione di ingresso diviene  $V_a = 10 + 0,65 = 10,65$  V, dove 0,65 V è la tensione di soglia del diodo. A questo punto il dio-

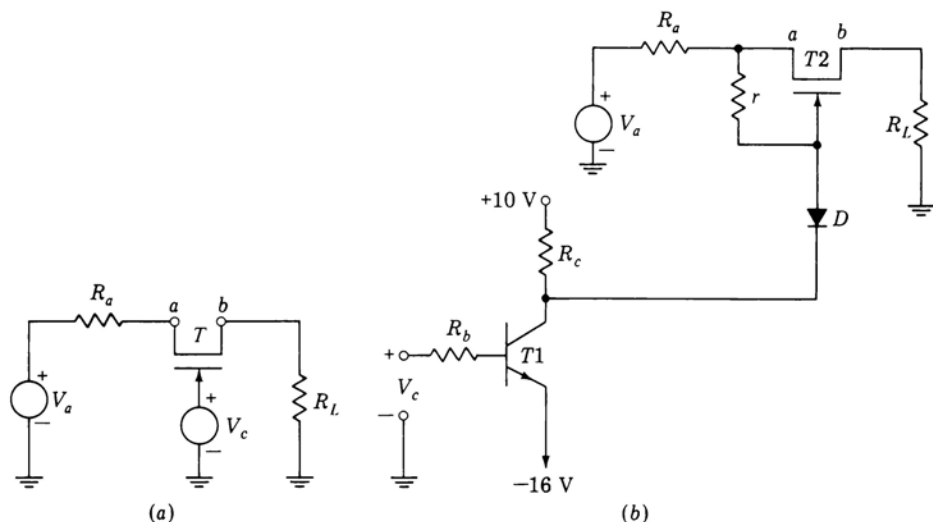


Figura 13.9-1 (a) Semplice interruttore a FET. (b) Interruttore a FET con tensione di controllo compensata.

do  $D$  conduce e (supponendo  $R_c \ll r$ ) all'aumentare di  $V_a$  il gate di  $T2$  viene tenuto fisso a  $V_a = 10 + 0,75 = 10,75\text{ V}$ , dove  $0,75\text{ V}$  è la tensione di conduzione del diodo. Un ulteriore aumento di  $V_a$  provocherà però un aumento della tensione in  $b$ , che ora costituisce il source. Pertanto alla fine il FET passerà in OFF. Se si trascura la caduta su  $T2$  quando è ON, rispetto alla caduta su  $R_L$  e se si suppone  $R_a \ll R_L$ , l'interdizione di  $T2$  avverrà per  $V_a = 10,75 + 4 = 14,75\text{ V}$ . Per avere un buon margine di sicurezza e per tenere  $T2$  lontano dall'interdizione, possiamo limitare  $V_a$  a  $V_a < +10\text{ V}$ .

Per interdire il FET, occorre portare in ON il transistor bipolare e saturarlo. Il terminale  $n$  del diodo si viene a trovare allora a circa  $-15,8\text{ V}$ . In questo caso, anche quando  $V_a$  va a  $V_a = -10\text{ V}$ , la tensione gate-source sale al massimo a  $-5,1\text{ V}$  (poiché ai capi del diodo c'è una caduta di  $0,7\text{ V}$ ) per cui il FET rimane OFF. I valori positivi di  $V_a$  spingono il FET ancor più in interdizione, poiché la tensione di gate rimane fissa a  $-15,1\text{ V}$  ed il drain si scambia con il source sicché quest'ultimo si viene a trovare al potenziale di massa ( $V_{R_L} = 0$ ). Il limite dell'escursione positiva è quindi costituito dalla tensione di breakdown drain-gate del FET.

**Circuito pilota per il MOSFET** I problemi che si incontrano nelle porte a MOSFET per ottenere un'escursione della tensione analogica simmetrica e relativamente ampia sono diversi da quelli relativi alle porte a JFET. Nel MOSFET il gate è isolato dal source e dal drain. Sono presenti però le giun-

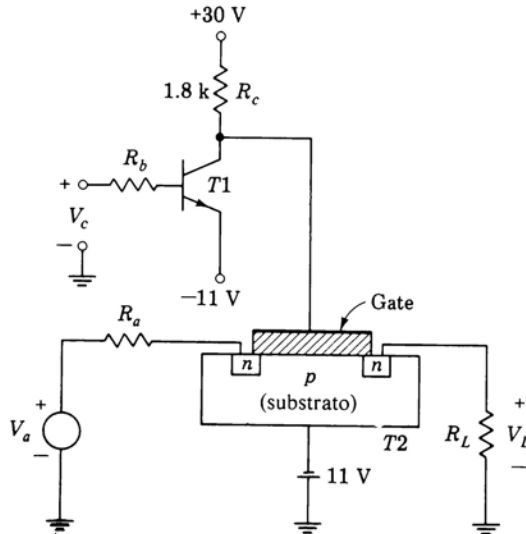


Figura 13.9-2 Il substrato è collegato ad una tensione che garantisce una giunzione *pn* polarizzata sempre inversamente.

zioni fra source e substrato e fra drain e substrato. Queste giunzioni non devono risultare mai polarizzate direttamente. Un modo per ottenere ciò è quello di lasciare il substrato *fluttuante*, cioè di non collegarlo ad alcun potenziale. Tuttavia nei circuiti integrati, dove il substrato è comune a più dispositivi, risulta impossibile lasciarlo fluttuare poiché potrebbe diventare una sorgente di accoppiamenti indesiderati fra i vari dispositivi contenuti nell'integrato. Coi componenti discreti viceversa questo metodo è applicabile, anche se discutibile. Infatti il substrato può essere connesso internamente al contenitore del dispositivo; in questo caso allora il substrato può trovarsi accoppiato, attraverso le capacità parassite, a quei segnali di disturbo dai quali invece doveva essere schermato.

Viceversa, come illustrato in Fig. 13.9-2, il substrato del MOSFET a canale *n* viene connesso al punto più negativo del circuito. Così, quando  $V_a = \pm 10$  V, il substrato rimane polarizzato inversamente rispetto sia al source che al drain.

### 13.10 PORTE A CMOS

Utilizzati come porte di trasmissione, i transistori CMOS presentano, come si vedrà più avanti, alcuni vantaggi rispetto ai dispositivi a MOS. Possiamo individuare alcuni dei limiti della porta a MOS esaminando lo schema di Fig.

13.10-1a. In esso un generatore di segnale analogico è collegato al carico attraverso un MOSFET a canale  $n$ . Il carico è costituito dal parallelo di  $R_L$  e  $C_L$ . Se si tratta di un circuito di sample-and-hold, il carico sarà costituito da un condensatore di valore relativamente elevato  $C_L$  e dalla resistenza  $R_L$  d'ingresso dell'op-amp collegato a  $V_o$  (vedi Fig. 13.8-3). Se viceversa si tratta di un interruttore per segnale analogico,  $R_L$  sarà la resistenza di carico e  $C_L$  rappresenterà la capacità parassita, sempre presente anche se di valore basso. Abbiamo trascurato l'impedenza d'uscita del generatore del segnale analogico dal momento che in questo contesto non riveste particolare importanza.

Per scendere in un caso pratico, supponiamo che il segnale analogico presenti un'escursione massima di  $\pm 5$  V. Come si è visto in Fig. 13.9-2, il substrato viene collegato a  $-5$  V per evitare che le giunzioni substrato-source e substrato-drain si polarizzino direttamente. Supponiamo inoltre che il FET sia ON quando la tensione gate-source è maggiore od uguale alla tensione di soglia  $V_T = +2$  V e che sia OFF in caso contrario. Allora, poichè la massima tensione che si può avere ai due terminali di interruttore del FET è di  $+5$  V, per avere la sicurezza che il FET sia ON occorrerà fornire una tensione di gate di almeno  $+7$  V, come indicato in figura. D'altra parte, per mantenere il FET OFF anche quando la tensione ad un terminale dell'interruttore è di  $-5$  V, è necessaria una tensione di gate inferiore a  $-3$  V, come indicato in figura. Teoricamente quindi per assicurare la chiusura e l'apertura del FET è sufficiente un'escursione della tensione di gate da  $+7$  V a  $-3$  V; in pratica conviene rendere un po' più ampia l'escursione della tensione di gate.

Facciamo ora qualche considerazione sulla tensione di alimentazione necessaria per far funzionare l'interruttore di Fig. 13.10-1a. La Fig. 13.10-1b mostra un semplice circuito pilota per porte analogiche in grado di fornire i livelli di tensione richiesti dal circuito di Fig. 13.10-1a. Quando il transistor bipolare è interdetto, si avrà  $V_c = +7$  V, mentre quando è in saturazione si

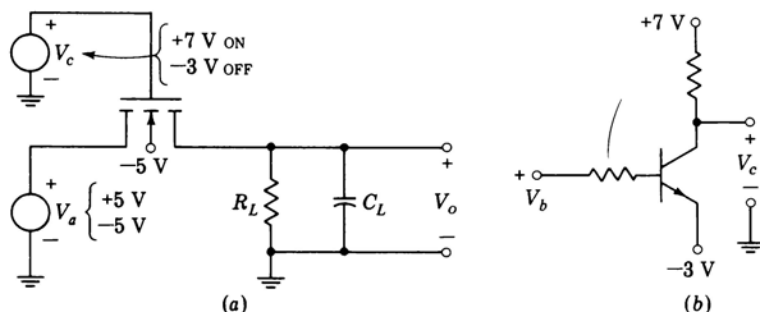


Figura 13.10-1 (a) Porta a MOS a canale  $n$ . (b) Transistore bipolare per il controllo della porta in (a).

avrà  $V_c \approx -3$  V. In Fig. 13.10-1a si nota che è necessaria una tensione di alimentazione di  $-5$  V per il substrato. Si può allora, in Fig. 13.10-1b, eliminare l'alimentazione di  $-3$  V e sostituirla con una da  $-5$  V, ottenendo così anche un certo margine di sicurezza quando il FET si trova nello stato OFF. Ci sono due importanti punti da notare: (1) per poter trattare un segnale analogico di escursione massima pari a 10 V, occorrono un'alimentazione di  $-3$  V ed una di  $+7$ , cioè una differenza fra le due alimentazioni di 10 V, e (2) il FET può trovarsi a lavorare, a seconda del valore di  $V_a$  e  $V_o$ , a volte in piena conduzione e altre volte in conduzione molto debole.

Anche portando la tensione di gate oltre  $+7$  e  $-3$  V per evitare di lavorare vicino alla zona di interdizione, la resistenza fra source e drain del FET continuerà a dipendere fortemente dai valori di  $V_a$  e di  $V_o$ . E ogni volta che la resistenza del FET viene ad assumere valori elevati, la velocità di carica e di scarica di  $C_L$  diminuisce notevolmente.

Consideriamo ora il circuito di Fig. 13.10-2, che impiega un MOSFET a simmetria complementare (CMOS). Si noti che i terminali di source e di drain dei due transistori sono invertiti. Cioè se  $a$  e  $b$  sono rispettivamente il source ed il drain di uno dei transistori, il source ed il drain dell'altro saranno rispettivamente  $b'$  e  $a'$ . Supponiamo, come prima, che  $V_a$  presenti una escursione massima di  $\pm 5$  V. Come prima, il substrato del dispositivo a canale  $n$  sia tenuto a  $-5$  V e, simmetricamente, il substrato del dispositivo a canale  $p$  sia tenuto a  $+5$  V. Sono necessari segnali di controllo di polarità opposta, come indicato in figura. Si supponga ancora che per portare in ON il dispositivo a canale  $n$  sia necessaria una tensione gate-source di  $+2$  V e per portare in ON il dispositivo a canale  $p$  sia necessaria una tensione di  $-2$  V.

Si noti che i livelli della tensione di controllo sono  $+5$  V e  $-5$  V. Quando  $V_c$  è  $V_c = -5$  V, cioè ci sono  $-5$  V sul gate del dispositivo a canale  $n$  e  $+5$  V

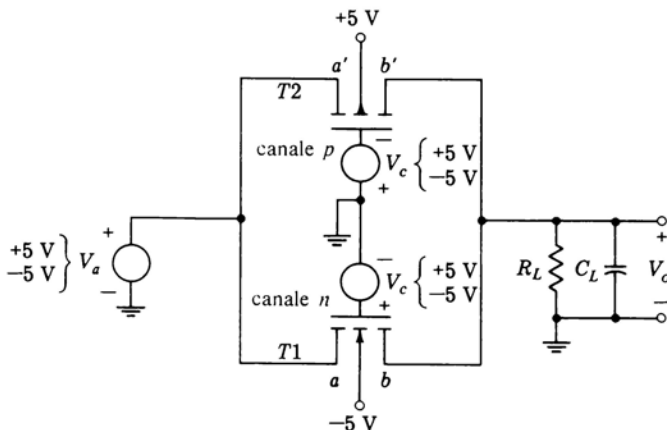


Figura 13.10-2 Porta a CMOS.

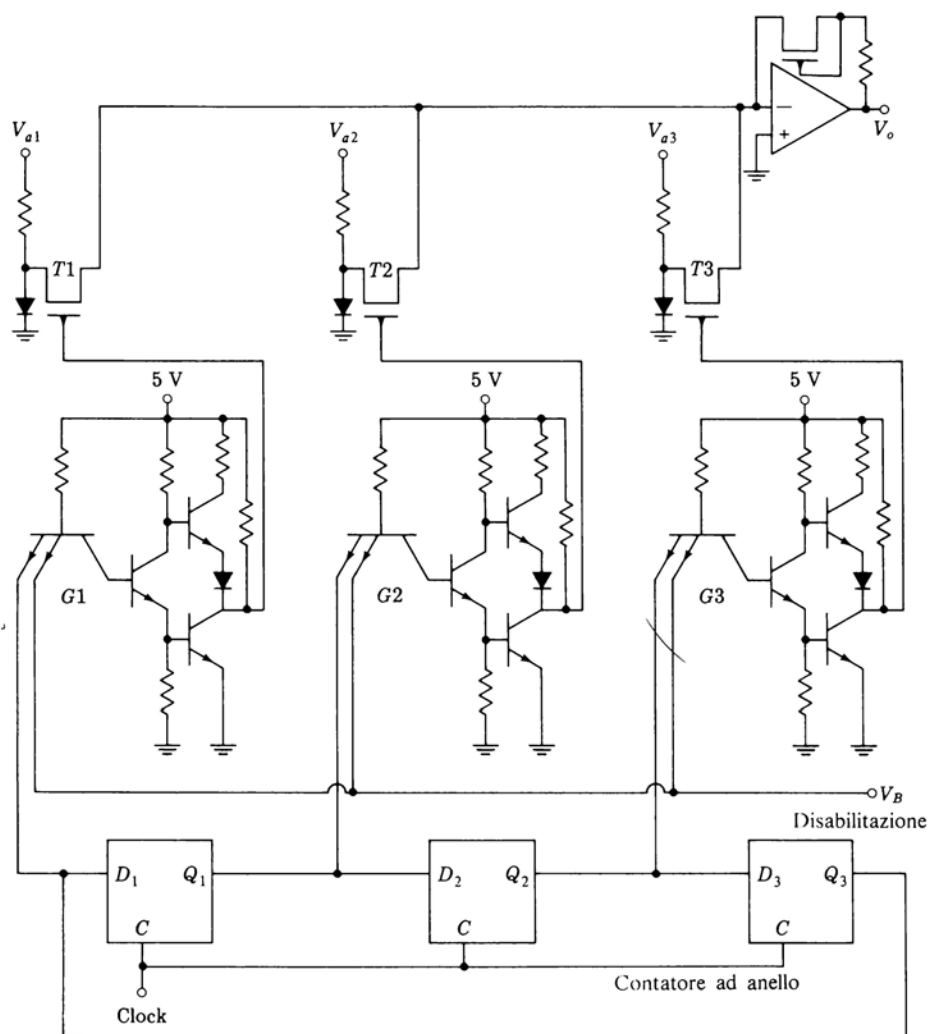


Figura 13.11-1 Multiplatore a tre canali.

sul gate del dispositivo a canale  $p$ , i due FET sono OFF, qualunque sia il valore di  $V_a$  entro il suo campo di variazione. ( $V_c = -3$  V è già sufficiente a portare il dispositivo in OFF nel caso peggiore.) Supponiamo ora che  $V_c = +5$  V e che  $V_a$  sia 0 V. I due FET sono ON e  $V_{GS}(T1) = V_{SG}(T2)$  è di 3 V superiore all'interdizione. Facciamo variare ora la tensione di ingresso. Uno dei due dispositivi verrà pilotato verso l'interdizione, ove si verrà a trovare quando la tensione di ingresso avrà subito una variazione di 3 V. Nello stesso tempo

l'altro transistor verrà portato in uno stato di conduzione ancora più spinto. Sull'intero campo di valori che la tensione di ingresso può assumere, ci sarà sempre almeno un FET in conduzione.

In questo circuito è notevole il fatto che la tensione di controllo richiesta presenta la stessa escursione del segnale analogico. Inoltre, rispetto al circuito impiegante un solo MOS, il circuito a CMOS presenta il vantaggio che la resistenza fra source e drain dell'interruttore rimane all'incirca costante. Infatti al variare della tensione di ingresso, la resistenza di uno dei due FET aumenta mentre quella dell'altro diminuisce, mantenendo pressoché invariata la resistenza parallela (vedi Prob. 13.10-2). Nell'interruttore ad un solo MOS la resistenza varia invece di molto. Un altro vantaggio delle porte a CMOS è stato analizzato in precedenza nel Par. 12.6.

### 13.11 APPLICAZIONI DEGLI INTERRUTTORI ANALOGICI

**Multiplicazione** I moltiplicatori (multiplexer) (vedi Par. 13.2) vengono impiegati nella maggior parte dei sistemi di comunicazione a PCM ed in molte altre applicazioni. La Fig. 13.11-1 illustra un moltiplicatore a tre canali con i relativi circuiti per il controllo di porta. Un contatore ad anello (Par. 10.6) provvede a far commutare in successione gli interruttori da  $T_1$  a  $T_3$ . Ciascuno dei quattro interruttori analogici dello schema è costituito da un JFET a svuotamento a canale  $p$ , come descritto nel Par. 13.7. Si possono impiegare altrettanto bene porte a MOS, a CMOS o a diodi. I circuiti di controllo delle porte sono costituiti da porte logiche TTL.

Ciascuno di questi circuiti di controllo di porta  $G_1$ ,  $G_2$ ,  $G_3$ , è pilotato da due segnali. Il primo,  $V_B$ , provvede a *disabilitare* il moltiplicatore. Quando cioè  $V_B$  è basso, tutti gli interruttori da  $T_1$  a  $T_3$  sono APERTI ed i segnali da  $V_{a1}$  a  $V_{a3}$  non possono venir trasmessi all'uscita. Il secondo ingresso è invece collegato ad una corrispondente uscita del contatore ad anello. Il contatore funziona in modo che ad ogni istante una soltanto delle sue uscite è alta. Quindi ad ogni istante uno soltanto degli interruttori risulta CHIUSO. L'uscita  $V_o$  è costituita così dai segnali  $V_{a1}(t)$ ,  $V_{a2}(t)$  e  $V_{a3}(t)$  campionati in successione.

**Selezione della tensione massima** In molti sistemi di comunicazione digitale risulta necessario selezionare ad intervalli regolari, separati da un periodo  $T_s$ , la tensione più alta fra un certo numero di tensioni di ingresso. Questa operazione, nel caso di quattro segnali di ingresso, può venire eseguita dal circuito di Fig. 13.11-2a. In questo circuito le tensioni di ingresso  $V_1$ ,  $V_2$ ,  $V_3$  e  $V_4$  vengono confrontate fra di loro e la più alta viene presentata all'uscita come  $V_o$ . Il procedimento consiste nel confrontare dapprima  $V_1$  con  $V_2$  e scegliere la più alta delle due, poi confrontare la tensione selezionata con  $V_3$ , ecc.

Per confrontare  $V_2$  con  $V_1$  si chiude dapprima l'interruttore  $S_1$  per un tempo da 0 a  $T$  (vedi Fig. 13.11-3b); durante questo intervallo il condensatore  $C_1$  si carica a  $V_1$ . Successivamente, durante l'intervallo da  $T$  a  $2T$ ,  $V_2$  viene confrontata con  $V_1$  nel comparatore 1. Se  $V_2$  è maggiore di  $V_{C_1} = V_1$ ,

l'uscita del comparatore è positiva, l'uscita della porta NAND  $N2$  va allo 0 logico, l'interruttore  $S2$  si chiude ed il condensatore  $C_1$  si carica a  $V_2$ . Se invece  $V_2 < V_1$ , l'interruttore  $S2$  rimane aperto ed il condensatore  $C_1$  rimane carico a  $V_1$ . Si noti che il confronto fra  $V_2$  e la tensione sul condensatore  $V_{C1}$  avviene per tutta la durata dell'intervallo  $T_s$  e non solo per l'intervallo da  $T$  a  $2T$ . Però soltanto nell'intervallo da  $T$  a  $2T$  l'interruttore  $S2$  viene chiuso, essendo in questo intervallo  $V_{g2} = 1$ .

Questo procedimento continua finché  $t = 4T$ . Allora  $S5$  si chiude ed il condensatore  $C_2$  si carica a  $V_{C1}$  (max). La tensione d'uscita mantiene questo valore fino a  $t = 9T$ , istante in cui la tensione su  $C_2$  cambia, portandosi al nuovo valore di  $V_{C1}$  (max).

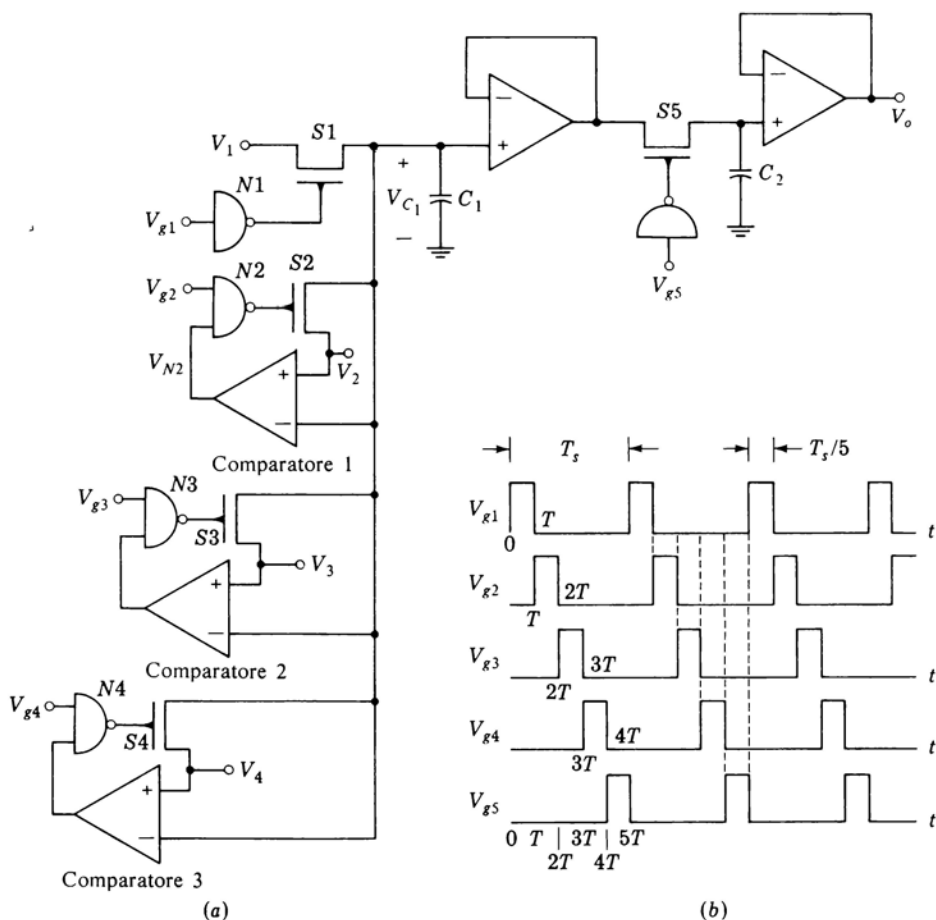


Figura 13.11-2 (a) Schema circuitale. (b) Diagrammi temporali.



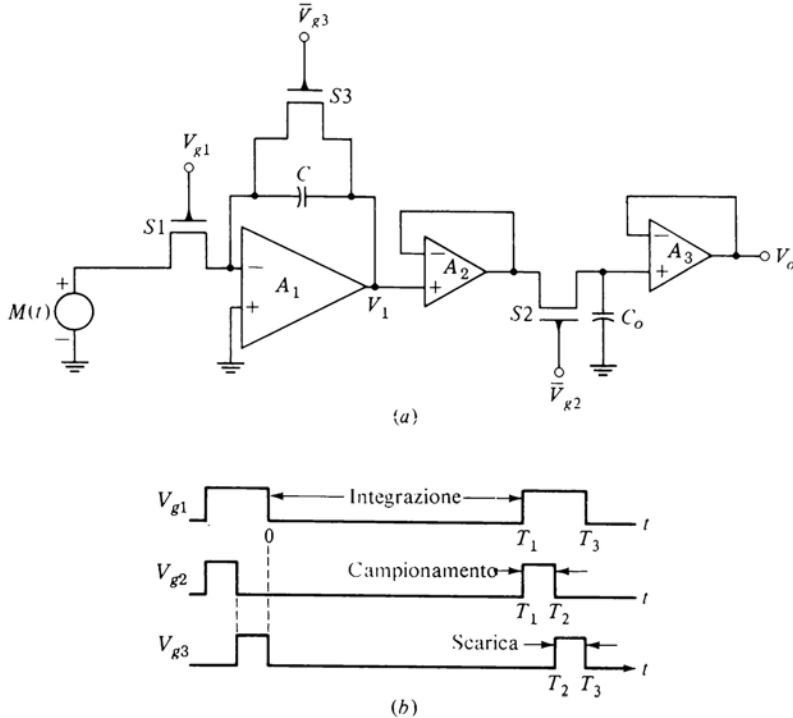


Figura 13.11-3 (a) Circuito di integrazione e scarica. (b) Diagrammi temporali.

Per generare gli impulsi di porta  $V_{g1}$ , ...,  $V_{g5}$  può essere impiegato un contatore ad anello a cinque stadi. Questo contatore non è stato però rappresentato in figura (vedi Par. 10.16). Estendendo il concetto illustrato nel circuito di Fig. 13.11-2a, risulta evidente che per confrontare  $N$  segnali sono necessari  $N - 1$  comparatori. Si può dimostrare che (Prob. 13.11-2) è sufficiente un solo comparatore se gli  $N$  segnali vengono multiplati in divisione di tempo.

**Circuiti di integrazione e scarica (integrate-and-dump circuit)** Un circuito di integrazione e scarica è illustrato in Fig. 13.11-3a. Come è già stato detto nel Par. 13.2, questo circuito viene impiegato per integrare il segnale di ingresso  $M(t)$  in un intervallo  $T_1$ , presentare successivamente la tensione integrata all'uscita e riprendere daccapo il procedimento. Prima di ogni integrazione è però necessario *scaricare* il condensatore su cui è immagazzinata la tensione integrata.

L'integratore ad op-amp di Fig. 13.11-3a è in grado di scaricare il conden-

satore C. Infatti quando l'interruttore  $S1$  è aperto ed  $S3$  è chiuso, il condensatore si scarica attraverso l'interruttore a FET. La tensione integrata  $V_1$  viene presentata all'uscita  $V_o$  quando l'interruttore  $S2$  è chiuso.

Le forme d'onda sono illustrate in Fig. 13.11-3b. Si noti che la tensione di ingresso viene integrata durante l'intervallo da  $t = 0$  a  $t = T_1$ ; da  $t = T_1$  a  $t = T_2$  l'uscita dell'integratore  $V_1$  viene campionata ed immagazzinata sul condensatore  $C_o$ . Si noti ancora che durante questo intervallo l'ingresso è sconnesso dall'op-amp  $A_1$ . Il condensatore  $C$  viene scaricato nell'intervallo da  $T_2$  a  $T_3$ . A partire da  $T3$  inizia un nuovo ciclo.

### 13.12 SPECIFICHE DEGLI AMPLIFICATORI S/H FORNITE DAI COSTRUTTORI

I costruttori di amplificatori sample-and-hold forniscono generalmente le seguenti informazioni concernenti i loro prodotti.

**Tensione di ingresso** L'escursione massima della tensione di ingresso; valori tipici  $\pm 5$  o  $\pm 10$  V.

**Impedenza di ingresso** Quando l'interruttore di campionamento è chiuso, cioè durante l'intervallo di carica  $T_c$ , l'ingresso presenta il valore tipico di  $1\text{ k}\Omega$  in serie con una capacità di  $100\text{ pF}$ . Quando l'interruttore è aperto (durante  $T_H$ ), l'ingresso presenta un'impedenza molto elevata, di solito  $> 1.000\text{ M}\Omega$ .

**Slew rate** Si definisce slew rate la massima variazione della tensione nell'unità di tempo ammissibile per l'amplificatore S/H. Questa grandezza è limitata di solito dal tempo di salita e di discesa dell'op-amp. Un valore tipico è dato da  $50\text{ V}/\mu\text{s}$ . Per essere sicuri che l'S/H segua il segnale di ingresso, lo slew rate deve essere superiore alla massima pendenza del segnale di ingresso. Si noti che se all'ingresso di un amplificatore S/H con slew rate di  $50\text{ V}/\mu\text{s}$  è applicato un gradino di  $10\text{ V}$ , il sistema raggiunge i  $10\text{ V}$  in  $10/50\text{ }\mu\text{s} = 200\text{ ns}$ . Questo intervallo, necessario affinché l'amplificatore acquisisca completamente un gradino di tensione pari al fondo scala, prende il nome di *tempo di acquisizione*.

**Tempo di assestamento o di carica** (*settling o charge time*)  $T_c$  Il tempo necessario affinché l'uscita si assesti entro una data percentuale (di solito  $0,01\%$ ) del valore finale, in risposta ad una tensione di ingresso a gradino pari al fondo scala ( $10\text{ V}$  se è consentito un ingresso di  $\pm 5\text{ V}$ ); un valore tipico è  $5\text{ }\mu\text{s}$ .

**Tempo di apertura** L'intervallo di incertezza fra l'istante in cui l'interruttore riceve il comando di apertura e l'istante in cui l'interruttore

re risulta effettivamente aperto. Questo intervallo di solito è inferiore a 10 ns.

**Decadimento o caduta di mantenimento (*hold decay*)** Durante l'intervallo di mantenimento la tensione sul condensatore diminuisce. Un valore tipico può essere 1 mV/ms.

**Segnale di commutazione o di controllo** Questa specifica riguarda il livello logico e la tensione necessari per portare in *ON* e in *OFF* l'interruttore. Questa specifica varia grandemente da casa costruttrice a casa costruttrice. Per esempio un dispositivo può effettuare il *campionamento* con un **1** logico ed il *mantenimento* con uno **0** logico mentre un altro dispositivo può fare esattamente l'opposto.

#### BIBLIOGRAFIA

- 1 Taub, H. and D. L. Schilling: "Principles of Communication Systems." McGraw-Hill, New York, 1971.
- 2 Theriault, G. E., and R. Tipping: Applications of the RC-CA 3019 Integrated-Circuit Diode Array, *RCA Appl. Note 1*, ICAN-5299.
- 3 Horna, O. A.: A 150 M bps A/D and D/A Conversion System, *COMSAT Tech. Rev.*, vol. 2, no. 1, pp. 39-72 (Spring 1972).
- 4 Burd, M., and B. Sear: High Performance Sample and Holds, *Electron. Eng.*, December 1967, p. 60.



## CONVERSIONE ANALOGICO-DIGITALE

### 14.1 INTRODUZIONE

I segnali digitali sono segnali la cui forma d'onda presenta, almeno idealmente, transizioni nette fra due valori distinti. I segnali che invece possono assumere qualsiasi valore in un dato campo continuo sono chiamati analogici. Quando si deve elaborare un segnale analogico conviene in molti casi convertirlo in segnale digitale, in modo che l'elaborazione possa venire effettuata in forma digitale.

Vediamo alcuni esempi. Il segnale analogico può essere una tensione continua e l'elaborazione richiesta può essere la determinazione del suo valore. Un voltmetro analogico indicherà il valore della tensione mediante la posizione di un indice su di una scala. Un voltmetro digitale viceversa è in grado di fornire una indicazione più comoda mediante la visualizzazione numerica del valore misurato. Oppure il segnale analogico può essere la tensione di uscita  $M(t)$ , variabile nel tempo, di un microfono. L'elaborazione richiesta può consistere in questo caso nella trasmissione di  $M(t)$  all'ingresso di un altoparlante situato a distanza; la trasmissione deve essere effettuata in modo da minimizzare l'effetto del rumore (disturbi casuali imprevedibili) che inevitabilmente si viene a sovrapporre al segnale. La tecnica più efficace per sopprimere il rumore è quella di trasmettere il segnale in forma digitale. Un sistema di trasmissione che opera secondo questa tecnica, che converte cioè il segnale analogico in segnale digitale e poi, in ricezione, ricostruisce il segnale analogico, viene chiamato *sistema a modulazione ad impulsi codificati* (PCM: *pulse-code modulation*). Oppure ancora, dato un segnale analogico di ingresso  $M_i(t)$ , l'elaborazione può consistere in una serie di operazioni digitali tali che il segnale analogico d'uscita  $M_o(t)$ , che si ottiene alla fine dell'elaborazione, risulti legato al segnale d'ingresso  $M_i(t)$  dalla funzione di trasferimento di un *filtro digitale*.

Nella sezione di ingresso di questi sistemi di elaborazione il processo di conversione complessivo del segnale analogico in segnale digitale implica la successione di quattro processi distinti, ovvero: *campionamento*, *mantenimento*, *quantizzazione* e *codificazione*. Questi processi non vengono necessa-

riamente effettuati come operazioni separate. Il campionamento ed il mantenimento, come spiegato nel Cap. 13, vengono effettuati insieme in un circuito chiamato *sample-and-hold* (S/H), e così pure la quantizzazione e la codificazione vengono eseguite insieme in un circuito chiamato *convertitore analogico-digitale* (*analog-to-digital converter*: A/D converter). Completata l'elaborazione digitale, la ricostruzione del segnale d'uscita analogico viene effettuata mediante un'operazione di *conversione digitale-analogica* (*digital-to-analog conversion*: D/A conversion) seguita da un'operazione di *filtraggio*. In questo capitolo esamineremo i circuiti impiegati per realizzare ciascuna di queste operazioni.

## 14.2 TEOREMA DEL CAMPIONAMENTO<sup>1</sup>

La validità dell'intero processo di conversione si basa sul *teorema del campionamento*, che ora verrà enunciato. Questo teorema è molto noto ed è ampiamente trattato nei testi di teoria delle comunicazioni e di analisi dei sistemi, per cui in questa sede verrà omessa la sua dimostrazione.

Sia  $M(t)$  un segnale a banda di frequenza limitata, la cui frequenza componente più elevata sia  $f_m$ . I valori di  $M(t)$  vengano campionati ad intervalli regolari  $T_s \leq 1/2f_m$ ; cioè il segnale venga campionato regolarmente con periodo  $T_s$  o con frequenza superiore. In questo caso i valori campionati determinano univocamente il segnale, che può essere correttamente ricostruito partendo da questi campioni. Il segnale  $M(t)$  può essere ricostruito fedelmente facendo passare i campioni attraverso un filtro ideale passa-basso, la cui risposta sia piatta almeno fino alla frequenza  $f_m$  e si annulli per una frequenza minore od uguale a  $f_s - f_m$ , dove  $f_s = 1/T_s$ .

L'intervallo  $T_s$  è chiamato *periodo di campionamento*. Si noti che il teorema richiede che la *frequenza di campionamento*  $f_s$  sia tale da consentire almeno due campionamenti durante il periodo corrispondente alla frequenza componente più elevata del segnale  $M(t)$ .

L'espressione del teorema del campionamento è illustrata in Fig. 14.2-1. In Fig. 14.2-1a il campionamento del segnale a banda limitata  $M(t)$  viene effettuato mediante un interruttore a FET pilotato da un segnale di campionamento. Il segnale di campionamento, che costituisce il segnale di controllo di porta del FET, consiste in una serie di impulsi di durata  $\tau$  e periodo  $T_s$ . La porta consente la trasmissione solo durante l'intervallo  $\tau$ . Il segnale viene ricostruito, a meno di una costante di proporzionalità  $\alpha$ , all'uscita del filtro passa-basso. In Fig. 14.2-1b è illustrato il segnale analogico; il segnale campionato è illustrato in Fig. 14.2-1c. Il segnale campionato  $M_s(t)$  è costituito da impulsi di durata pari all'intervallo in cui l'interruttore a FET è chiuso. In ciascun istante di campionamento  $M_s(t) = M(t)$ , cioè l'ampiezza di ciascun impulso segue l'andamento di  $M(t)$ . Al di fuori dell'istante di campionamento  $M_s(t) = 0$ .

La caratteristica del filtro, affinché  $M(t)$  possa venire ricostruito senza er-

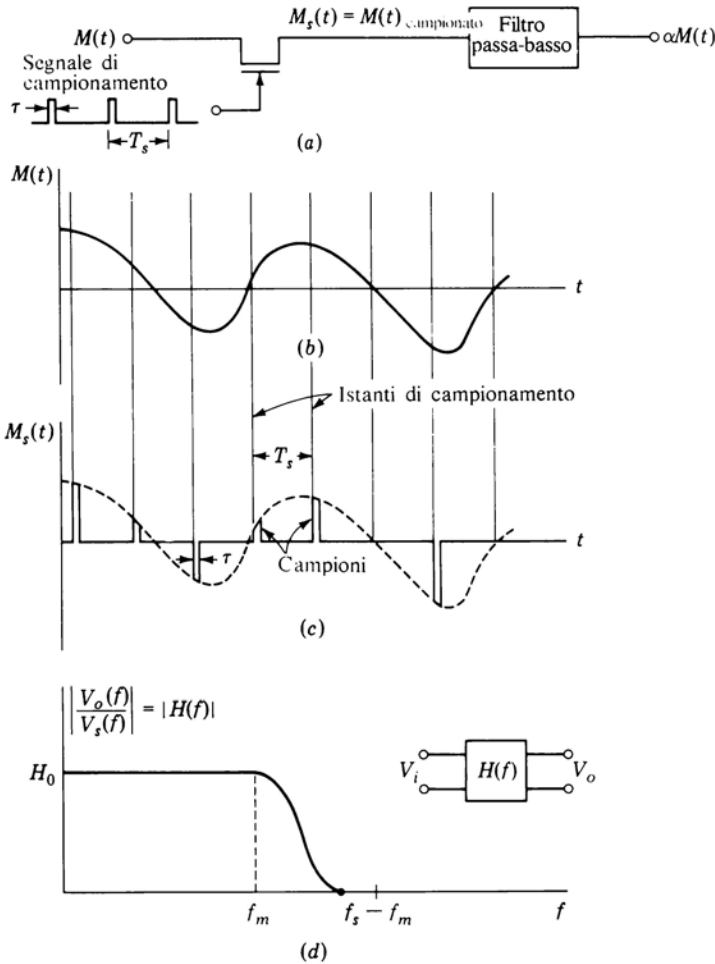


Figura 14.2-1 (a) Campionamento e ricostruzione di un segnale  $M(t)$ . (b) Il segnale  $M(t)$ . (c) Il segnale  $M(t)$  campionato. (d) La funzione di trasferimento richiesta per il filtro.

rori, è illustrata in Fig. 14.2-1d. Qui  $H(f)$  è la funzione di trasferimento del filtro, cioè  $H(f) = V_o(f)/V_i(f)$ . Si noti che  $H(f)$  deve avere un andamento piatto almeno fino alla frequenza  $f_m$ , che è la frequenza componente più elevata di  $M(t)$ , e deve scendere a zero prima della frequenza  $f_s - f_m$ . Per esempio, sia  $f_m = 1$  kHz; allora la minima frequenza di campionamento consentita sarà  $f_s = 2f_m = 2$  kHz. Per avere un certo margine, prendiamo  $f_s = 2,5$  kHz. Allora  $f_s - f_m = 2,5 - 1,0 = 1,5$  kHz. Pertanto  $[H(f)]$  dovrà

essere costante,  $|H(f)| = H_0$ , da 0 ad almeno 1 kHz per poi scendere a zero ad una frequenza  $\leq 1,5$  kHz. Se avessimo scelto  $f_s = 2f_m = 2$  kHz, avremmo avuto  $f_s - f_m = 2f_m - f_m = f_m$ . In questo caso dovrebbe essere  $|H(f)| = H_0$  fino a  $f_m$ , dopo di che  $|H(f)|$  dovrebbe scendere di colpo a zero.

Sebbene non si sia fatto esplicito riferimento all'andamento della fase del filtro, si tenga presente che nella banda passante (da 0 a  $f_m$ ) del filtro la curva caratteristica della fase deve mantenersi lineare. La linearità della fase nella banda passante è il requisito cui deve soddisfare un filtro per far passare senza distorsione tutte le frequenze comprese nella sua banda passante.

Supponiamo, con riferimento a Fig. 14.2-1c, di far in modo che  $\tau = T_s$ , cioè che la durata del campionamento coincida con il periodo di campionamento. In questo caso l'interruttore FET rimane *sempre* in fase di trasmissione e l'ampiezza del segnale ricostruito  $M_o(t)$  coincide con quella di  $M(t)$ , cioè il segnale di uscita *coincide* con il segnale di ingresso. In generale però l'interruttore FET trasmette solo per una frazione di tempo  $\tau/T_s$ . È ragionevole pensare allora che in questa situazione la frazione del segnale originario  $M(t)$  presente nel segnale ricostruito in uscita sia  $(\tau/T_s)M(t)$ . Allo stesso risultato si può giungere seguendo un'altra via. Un filtro passa-basso è un dispositivo che effettua una media temporale. Pertanto la frazione di  $M(t)$  che si ritrova nel segnale campionato sarà proporzionale alla larghezza  $\tau$  degli impulsi del segnale campionato e coinciderà con  $M(t)$  stesso quando  $\tau = T_s$ . Infine, tenendo conto del guadagno  $H_0$  del filtro passa-basso, il segnale ricostruito all'uscita sarà

$$M_o(t) = \frac{\tau}{T_s} H_0 M(t) \quad (14.2-1)$$

In Fig. 14.2-1a la distanza fra la sorgente del segnale  $M(t)$  ed il punto di arrivo del segnale stesso può essere anche molto elevata; è pertanto appropriato chiamare il collegamento fra la sorgente ed il punto di destinazione *canale di trasmissione*. Questo canale può essere costituito, ad esempio, da fili elettrici oppure da un ponte radio. I supporti fisici che costituiscono il canale di trasmissione sono di solito molto costosi, ragion per cui è necessario poterli sfruttare al massimo delle loro possibilità. Notando che nella trasmissione del segnale  $M(t)$  il canale viene utilizzato soltanto per una frazione  $\tau/T_s$  del tempo a disposizione, ci si può chiedere se non sia possibile utilizzare lo stesso canale per trasmettere anche altri segnali. La risposta a questo interrogativo è positiva; questa tecnica di trasmissione simultanea di segnali è chiamata *multiplazione a divisione di tempo (time-division multiplexing)*.

### 14.3 MULTIPLAZIONE A DIVISIONE DI TEMPO

In Fig. 14.3-1 è illustrata schematicamente una tecnica che permette di sfruttare il principio del campionamento ai fini della multiplazione a divisione di tempo. All'estremità di trasmissione, a sinistra, un certo numero di segnali a



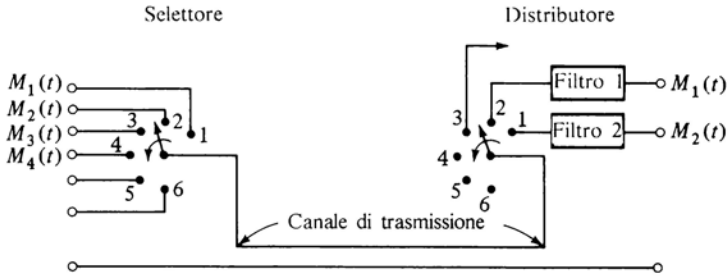


Figura 14.3-1 Trasmissione mediante campionamento di più segnali a banda limitata su di un unico canale di comunicazione.

banda limitata è inviato ai contatti fissi di un commutatore rotante. Supponiamo che i segnali presentino tutti la stessa banda di frequenza. Per esempio siano tutti segnali vocali limitati a 3,3 kHz. Il contatto rotante del commutatore, girando, campiona i segnali in maniera sequenziale. Il commutatore rotante disposto all'estremità di ricezione ruota in sincronismo con il commutatore di trasmissione. I due commutatori entrano in contatto istante per istante con i contatti fissi contrassegnati dallo stesso numero. Ad ogni giro completo del commutatore, un campione di ciascuno dei segnali di ingresso viene prelevato ed inviato al contatto contrassegnato dallo stesso numero del commutatore di ricezione. Il treno degli impulsi campione che giunge, ad esempio, al terminale 1 del ricevitore viene fatto passare attraverso il filtro passa-basso 1, all'uscita del quale compare il segnale originario  $M_1(t)$  ricostruito. Naturalmente se  $f_m$  è la più alta frequenza componente dei segnali d'ingresso, i commutatori devono compiere almeno  $2f_m$  giri completi al secondo.

Quando i segnali da moltiplicare variano lentamente nel tempo, sicché si ha una bassa velocità di campionamento, è possibile utilizzare commutatori meccanici, come indicato in Fig. 14.3-1. Quando viceversa la velocità di commutazione è superiore a quella consentita dai commutatori meccanici, è necessario impiegare sistemi di commutazione di tipo elettronico. Sia nell'uno che nell'altro caso, il dispositivo che campiona i segnali, cioè il dispositivo di sinistra in Fig. 14.3-1, è chiamato *selettore*.

Il dispositivo invece che realizza la funzione del commutatore di destra è chiamato *distributore*. Il selettore campiona e dispone in successione i valori campionati mentre il distributore separa i campioni a seconda del segnale a cui appartengono, in modo da rendere possibile la successiva ricostruzione dei segnali.

I campioni sono interallacciati come illustrato in Fig. 14.3-2, in cui per semplicità si sono considerati soltanto due segnali,  $M_1(t)$  e  $M_2(t)$ . Il segnale  $M_1(t)$  viene campionato regolarmente ad intervalli  $T_s$ , negli istanti indicati in

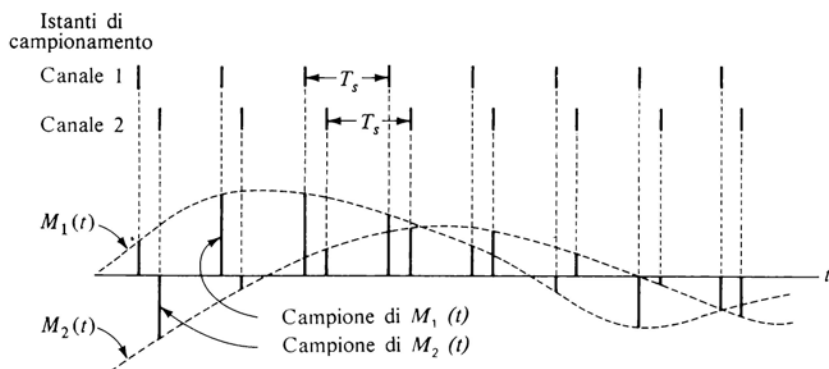


Figura 14.3-2 Interallacciamento fra due segnali campionati.

figura. Il campionamento di  $M_2(t)$  avviene in modo analogo, però i segnali campione sono prelevati in istanti diversi da quelli di  $M_1(t)$ . La forma d'onda che si presenta all'ingresso del filtro 1 in Fig. 14.3-1 è costituita dal treno dei segnali campione appartenenti ad  $M_1(t)$ , mentre all'ingresso del filtro 2 si presenta il treno dei segnali campione appartenenti ad  $M_2(t)$ . Il diagramma temporale di Fig. 14.3-2 è stato disegnato in modo da poter inserire campioni di altri segnali di ingresso.

Si osservi che il treno di impulsi corrispondente ad un certo segnale è modulato in ampiezza secondo il segnale stesso. Per questo motivo tale tecnica di campionamento è chiamata *modulazione ad ampiezza di impulsi* (PAM: *pulse-amplitude modulation*). Si noti però che l'ampiezza di questi impulsi può variare in maniera *continua*. Perciò il PAM è un sistema *analogico* e non *digitale*. Qui si è parlato del PAM solo per introdurre un altro sistema di modulazione, la *modulazione ad impulsi codificati*, che viceversa rientra nei sistemi digitali.

## 14.4 QUANTIZZAZIONE

Il teorema del campionamento rende possibile la trasmissione o l'elaborazione dei segnali analogici per via digitale. Dal momento che non è necessaria la conoscenza del segnale analogico istante per istante, ma è sufficiente la sua conoscenza nei soli istanti di campionamento, è possibile utilizzare i tempi fra un campionamento e l'altro per convertire in forma digitale le tensioni campionate. I campioni sono tensioni analogiche che variano con continuità. Nella forma digitale invece le variazioni non avvengono in modo continuo, poichè i valori campionati differiscono al minimo di una quantità pari al valore della cifra meno significativa della loro rappresentazione digitale. Quindi il processo di trasformazione dei campioni in forma digitale implica necessaria-

mente delle approssimazioni. Questo processo di approssimazione prende il nome di *quantizzazione*.

Il processo di quantizzazione è illustrato in Fig. 14.4-1. In Fig. 14.4-1a è illustrato un segnale  $M(t)$  che costituisce la forma d'onda  $V_i$  di ingresso del quantizzatore. L'uscita del quantizzatore è indicata con  $V_o$ . Il quantizzatore presenta una caratteristica ingresso-uscita avente l'andamento a gradini illustrato in Fig. 14.4-1b. Di conseguenza l'uscita  $V_o$ , illustrata in Fig. 14.4-1c, è la forma d'onda quantizzata  $M_q(t)$ . Si noti che mentre l'ingresso  $V_i = M(t)$  varia nel suo campo di valori in maniera continua, il segnale quantizzato  $V_o = M_q(t)$  varia passando dall'uno all'altro di un certo numero di livelli fissi  $\dots M_{-2}, M_{-1}, M_0, M_1, M_2, \dots$ . Il segnale  $M_q(t)$  quindi o si mantiene costante o cambia di colpo di un gradino  $S$ , chiamato *gradino* o *passo di quantizzazione*.

La forma d'onda  $M'(t)$  disegnata a tratteggio in Fig. 14.4-1c rappresenta il

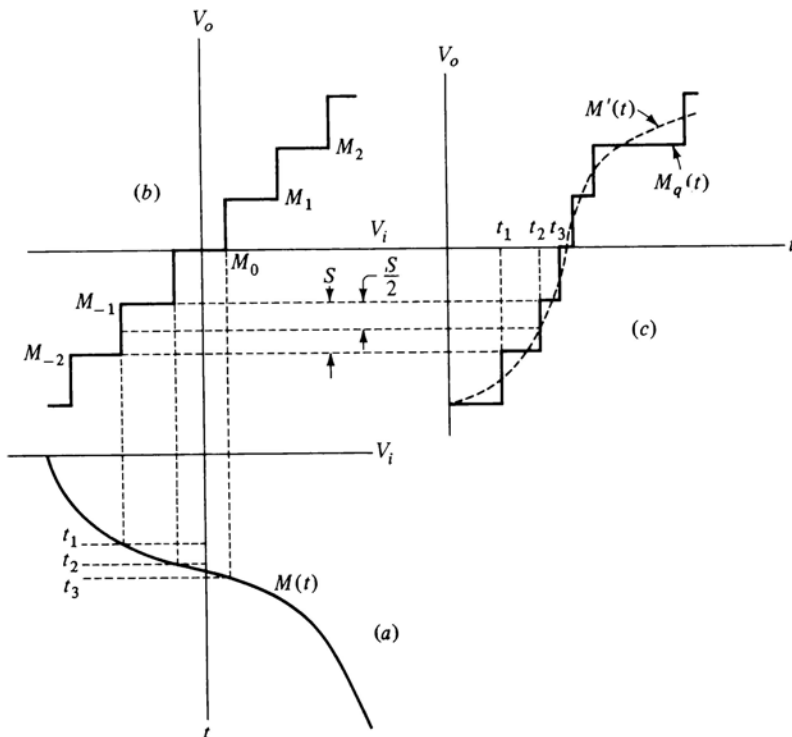


Figura 14.4-1 Il processo di quantizzazione. L'ampiezza del passo è  $S$ . (a) Il segnale  $M(t)$ . (b) La caratteristica ingresso-uscita di un quantizzatore. (c) L'uscita del quantizzatore (linea continua) in risposta a  $M(t)$ . La linea tratteggiata  $M'(t)$  rappresenta l'uscita per una caratteristica lineare.

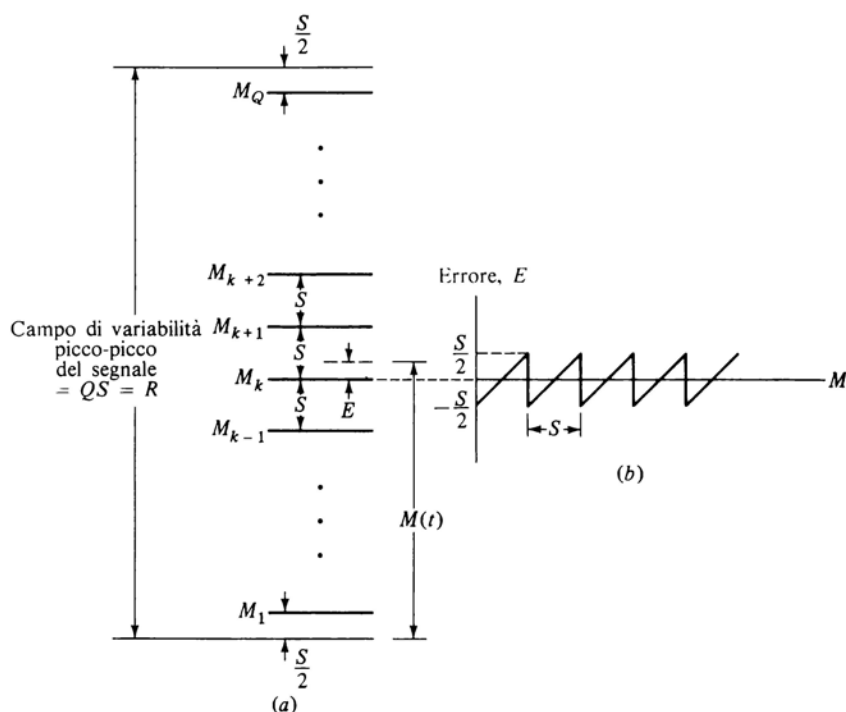


Figura 14.4-2 (a) Il campo di variabilità di un segnale  $M(t)$  viene suddiviso in  $Q$  intervalli di quantizzazione di ampiezza  $S$ . I livelli di quantizzazione sono posti al centro degli intervalli. (b) La tensione di errore  $E(t)$  in funzione dei valori di  $M(t)$ .

segnale d'uscita, supponendo l'uscita e l'ingresso legati fra di loro da una relazione di linearità. Se la costante di proporzionalità è unitaria,  $V_o = V_i$ , e  $M'(t) = M(t)$ . Si vede allora che il livello a cui si porta la forma d'onda  $M_q(t)$  è quello a cui  $M'(t)$  è più vicino. La transizione da un livello al successivo si verifica nell'istante in cui  $M'(t)$  passa per il valore medio fra due livelli successivi.

Come si può vedere, il segnale quantizzato è pertanto un'approssimazione del segnale originario. Il grado di approssimazione può essere migliorato riducendo l'ampiezza dei passi, col che si aumenta il numero dei livelli disponibili. Al limite, rendendo i passi sufficientemente piccoli, si può giungere al punto che né l'orecchio né l'occhio umano sono più in grado di distinguere il segnale originario dal segnale quantizzato. Per dare un'idea del numero di livelli di quantizzazione richiesti in un sistema reale, diciamo che un televisore

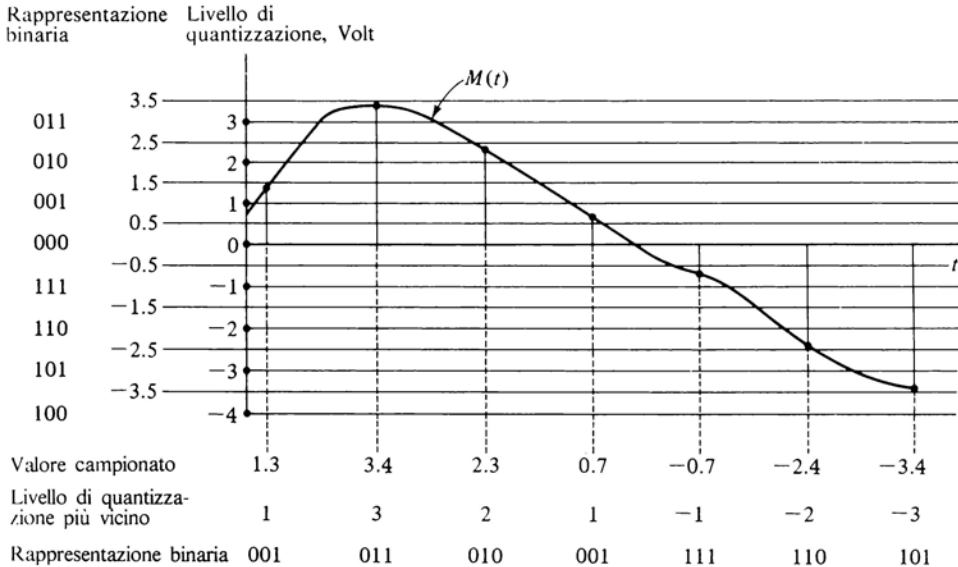


Figura 14.4-3 Campionamento di un segnale. Si sono indicati i livelli di quantizzazione. Per ciascun campione viene fornito sia il valore quantizzato che la sua rappresentazione binaria in complemento a due.

a colori di tipo commerciale impiega 512 livelli, mentre con 64 livelli si ottengono risultati appena accettabili.

Volendo quantizzare un segnale variabile in un campo di ampiezza piccolo  $R$  usando  $Q$  livelli di quantizzazione, avremo che il passo  $S$  sarà determinato dalla relazione  $QS = R$ . Disponiamo i livelli di quantizzazione come in Fig. 14.4-2a. In questo modo il massimo errore di quantizzazione istantaneo è  $S/2$ , come illustrato in Fig. 14.4-2b.

Il processo completo per convertire in forma digitale un segnale analogico è illustrato in Fig. 14.4-3. Il segnale  $M(t)$  viene campionato ad intervalli regolari negli istanti indicati con i puntini sulla forma d'onda. Il campo di variabilità picco-picco  $R$  è di 7 V, estendendosi da  $-3,5$  V a  $+3,5$  V. Ammettiamo otto livelli di quantizzazione disposti in modo che il massimo errore di quantizzazione possibile sia di 0,5 V. Assegniamo poi ad ogni livello una serie di cifre binarie, usando la rappresentazione in complemento a due (dal momento che i livelli sono otto, saranno necessari 3 bit).

Le cifre binarie a questo punto possono venire trasmesse o elaborate in forma seriale o parallelo. Con l'elaborazione seriale e con tre cifre, come in questo caso, l'elaborazione di ogni cifra può occupare nominalmente un ter-

zo dell'intervallo temporale compreso fra due istanti di campionamento successivi. Nell'elaborazione parallelo ciascun bit ha a disposizione l'intero intervallo compreso fra due istanti di campionamento successivi.

A cominciare dal prossimo paragrafo prenderemo in esame i circuiti che consentono la conversione dei segnali digitali in segnali analogici. Questo perchè i convertitori D/A sono più semplici dei convertitori A/D e perchè nei convertitori A/D vengono frequentemente impiegati convertitori D/A.

### 14.5 CONVERTITORE D/A A RESISTORI PESATI

La configurazione del convertitore D/A a resistori pesati è illustrata in Fig. 14.5-1. L'ingresso (non disegnato in figura) è costituito da un segnale binario di  $N$  cifre  $V = V_{N-1} V_{N-2} \dots V_0$ , in cui ciascuna  $V_k$  rappresenta una tensione il cui livello indica l'1 o lo 0 logico. Si suppone che tutte le  $V_k$  siano disponibili contemporaneamente, cioè in parallelo, su  $N$  linee. Se le  $V_k$  fossero disponibili in serie, dovrebbero prima essere inviate ad un registro a scorrimento per la conversione serie - parallelo. Le tensioni  $V_k$  normalmente disponibili per il pilotaggio del convertitore non devono essere necessariamente tensioni perfettamente costanti, ma è sufficiente che siano in grado di rappresentare con il loro valore uno o l'altro dei due livelli logici. Per questa ragione le  $V_k$  non vengono applicate direttamente al convertitore ma vengono invece utilizzate per azionare i commutatori (elettronici)  $S_0, S_1, \dots, S_{N-1}$ .

A seconda che  $V_k$  corrisponda all'1 logico oppure allo 0 logico, il

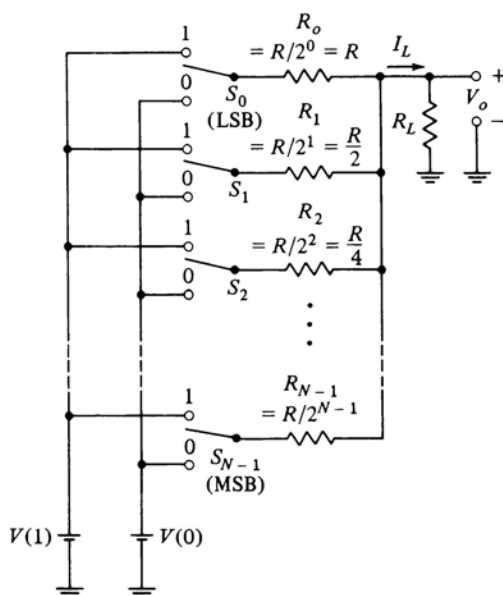


Figura 14.5-1 Convertitore D/A a resistori pesati.

commutatore  $S_k$  viene commutato nella posizione 1 oppure nella posizione 0, collegando così il resistore di resistenza  $R_k$  alla sorgente di tensione  $V(1)$  oppure alla sorgente di tensione  $V(0)$ , i cui valori sono controllati in maniera molto precisa. Il bit meno significativo (LSB)  $V_0$  aziona il commutatore  $S_0$ , connesso all'uscita tramite il resistore di più elevata resistenza  $R_0 = R$ . Il bit più significativo (MSB) aziona  $S_{N-1}$ . Si osservi che i resistori  $R_0, R_1, \dots, R_{N-1}$  sono *pesati* in modo che la loro resistenza sia inversamente proporzionale al peso numerico della corrispondente cifra binaria. Il principio di funzionamento del convertitore si basa sul fatto che il rapporto dei valori di due resistori successivi qualsiasi è pari a 2, indipendentemente dal valore assoluto dei resistori stessi. Quindi in Fig. 14.5-1 il parametro  $R$  è arbitrario.

Per semplicità supponiamo che:  $V(1) = V_R$ , tensione fissa di riferimento;  $V(0) = 0$ , cioè tutte le posizioni 0 dei commutatori siano connesse a massa; il carico  $R_L = 0$ , nel quale caso  $V_o = 0$ . La corrente d'uscita  $I_L$  può venire allora facilmente calcolata in funzione della posizione dei commutatori. Supponiamo che  $S_k = 1$  significhi che  $S_k$  si trova nella posizione 1, mentre  $S_k = 0$  significhi che  $S_k$  si trova nella posizione 0. Allora la corrente di carico  $I_L$  (che, essendo corrente di corto-circuito, indicheremo con  $I_{LS}$ ) è data da:

$$I_{LS} = V_R \left( \frac{S_{N-1}}{R_{N-1}} + \frac{S_{N-2}}{R_{N-2}} + \dots + \frac{S_0}{R_0} \right) \quad (14.5-1a)$$

$$= \frac{V_R}{R} (S_{N-1} 2^{N-1} + S_{N-2} 2^{N-2} + \dots + S_0 2^0) \quad (14.5-1b)$$

Si vede che il valore numerico di  $I_{LS}$  è direttamente proporzionale al valore del numero binario  $S = S_{N-1} S_{N-2} \dots S_0$ , essendo  $V_R/R$  il fattore di proporzionalità.

La proporzionalità continua a sussistere sebbene con un diverso fattore di proporzionalità, anche se  $R_L$  è diverso da zero. Lo si può vedere da Fig. 14.5-2. Qui abbiamo sostituito la rete di conversione (ad eccezione di  $R_L$ ) con il circuito equivalente di Norton, consistente in un generatore di corrente  $I_{LS}$  in parallelo ad un resistore  $r$ . Il resistore  $r$  rappresenta l'impedenza d'uscita del-

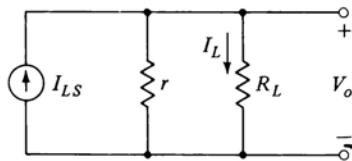


Figura 14.5-2 La rete di resistori del convertitore D/A di Fig. 14.5-1 rappresentata con il circuito equivalente di Norton.

la rete ed è costituito dal parallelo di tutti i resistori  $R_0, R_1, \dots, R_{N-1}$ . Come si può verificare (Prob. 14.5-1), l'impedenza di uscita vale

$$r = \frac{R}{2^N - 1} \quad (14.5-2)$$

Ora la nuova corrente di carico in  $R_L$  è

$$I_L = \frac{r}{r + R_L} I_{LS} \quad (14.5-3)$$

e la tensione d'uscita è, usando le Eq. (14.5-1), (14.5-2) e (14.5-3),

$$V_o = R_L I_L = \frac{R_L V_R}{R + (2^N - 1)R_L} (S_{N-1}2^{N-1} + S_{N-2}2^{N-2} + \dots + S_0 2^0) \quad (14.5-4)$$

Con  $V(1) = V_R$  e  $V(0) = 0$ , il campo di variabilità della tensione d'uscita  $V_o$  si estende da 0 V, quando  $S = 0\dots 00$  a  $V_o = R_L V_R / (r + R_L)$  quando  $S = 1\dots 11$ . Tuttavia scegliendo opportunamente  $V(1)$  e  $V(0)$  possiamo spostare il campo di variabilità di  $V_o$  come più risulta comodo. Così per esempio con  $V(1) = V_R$  e  $V(0) = -V_R$ , il campo di variabilità di  $V_o$  si estenderà sia in direzione positiva che in direzione negativa, simmetricamente rispetto a 0 V. Di solito si aggiunge alla rete di resistori un op-amp in funzione di buffer, come indicato in Fig. 14.5-3. Per semplicità i commutatori sono stati omessi, ma si intendono connessi al terminale di sinistra di  $R_0, R_1, \dots, R_{N-1}$ . A causa della massa virtuale presente al terminale invertente dell'op-amp, l'uscita varrà:

$$V_o = -\frac{R_f V_R}{R_{N-1}} S_{N-1} - \frac{R_f V_R}{R_{N-2}} S_{N-2} - \dots - \frac{R_f V_R}{R_0} S_0 \quad (14.5-5)$$

Tenendo conto, come indicato in Fig. 14.5-1, del fatto che  $R_{N-1} = R/2^{N-1}$  ecc, troviamo

$$V_o = -\frac{V_R R_f}{R} (S_{N-1}2^{N-1} + S_{N-2}2^{N-2} + \dots + S_0 2^0) \quad (14.5-6)$$

È interessante notare che se l'op-amp fosse ideale, non sarebbe necessario impiegare all'ingresso del convertitore dei commutatori a due vie. Sarebbero sufficienti dei semplici interruttori che, nella posizione  $S = 1$ , collegassero il corrispondente resistore al generatore di tensione  $V_R$  e, nella posizione  $S = 0$ , lasciassero il resistore *fluttuante*, cioè con il terminale di ingresso sconnesso. Questa configurazione circuitale è giustificata, almeno in linea teorica, dalla presenza della massa virtuale all'ingresso dell'op-amp. La massa virtuale fa sì che la corrente di ingresso dell'amplificatore dovuta alla chiusura di uno



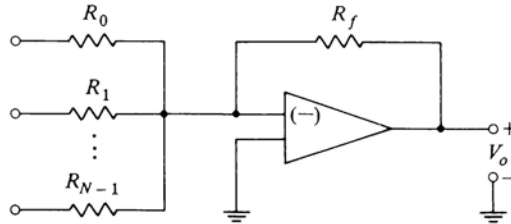


Figura 14.5-3 Op-amp impiegato come adattatore in un convertitore D/A a resistori pesati.

qualsiasi dei commutatori sia indipendente dalla posizione in cui si trovano gli altri commutatori. In pratica però un terminale di ingresso fluttuante di viene spesso sorgente di disturbi provocati da accoppiamenti indesiderati, ma spesso inevitabili; per questa ragione si preferisce di solito evitare questa configurazione.

Un problema inerente ai convertitori a resistori pesati è costituito dal fatto che i resistori da impiegare presentano valori estremamente disomogenei. Supponiamo ad esempio che il resistore corrispondente al MSB sia di  $2\text{ k}\Omega$  e che il convertitore sia a 13 bit. Il resistore corrispondente al bit meno significativo dovrà essere allora di  $2\text{ k}\Omega \times 2^{12} = 8,2\text{ M}\Omega$ . Resistori di valore così diverso che offrano la precisione richiesta e che si comportino nello stesso modo per ampie variazioni della temperatura sono di non facile realizzazione. Le difficoltà aumentano ancora con la tecnologia monolitica, con la tecnologia cioè impiegata nella fabbricazione dei circuiti integrati. Nel prossimo paragrafo prenderemo in considerazione un convertitore a resistori di tipo diverso, in grado di superare questo inconveniente.

## 14.6 CONVERTITORE D/A A SCALA $R - 2R$

Il convertitore formato dalla rete di resistori di Fig. 14.6-1a impiega resistori di due soli valori,  $R$  e  $2R$ . Nella figura sono indicati soltanto quattro bit, ma la rete può essere espansa ad un numero qualsivoglia di bit. Si noti che questa configurazione richiede il doppio dei resistori richiesti dalla configurazione a resistori pesati, a parità di bit di ingresso. Per semplicità in Fig. 14.6-1a omettiamo, come abbiamo già fatto precedentemente, i commutatori, sottintendendo che quando  $S_k = 0$  il corrispondente resistore è portato a massa e quando  $S_k = 1$  il resistore viene collegato ad una tensione  $V_R$ .

Per vedere nella maniera più semplice quale sia il peso relativo dei singoli commutatori sul segnale d'uscita, consideriamo la situazione di Fig. 14.6-1b, in cui  $S_0 = 1$  e  $S_1 = S_2 = S_3 = 0$ . In questo caso troviamo il generatore di tensione  $V_R$  in serie ad un resistore  $2R$ . Applicando il teorema di Thevenin in

$AA'$  veniamo ad avere, come illustrato in Fig. 14.6-1c, un generatore equivalente di tensione  $V_R/2$  in serie ad una resistenza equivalente  $R$ . Applicando di nuovo il teorema di Thevenin in  $BB'$ ,  $CC'$  e  $DD'$ , ogni volta il generatore equivalente viene diviso per 2, mentre la resistenza d'uscita equivalente rimane uguale ad  $R$ . Il circuito equivalente finale visto dall'uscita è illustrato in Fig. 14.6-1d. Se ripetiamo lo stesso procedimento partendo da  $S_1 = 1$ ,  $S_3 = S_2 = S_0 = 0$ , giungiamo ad un circuito equivalente uguale a quello di Fig. 14.6-1d,

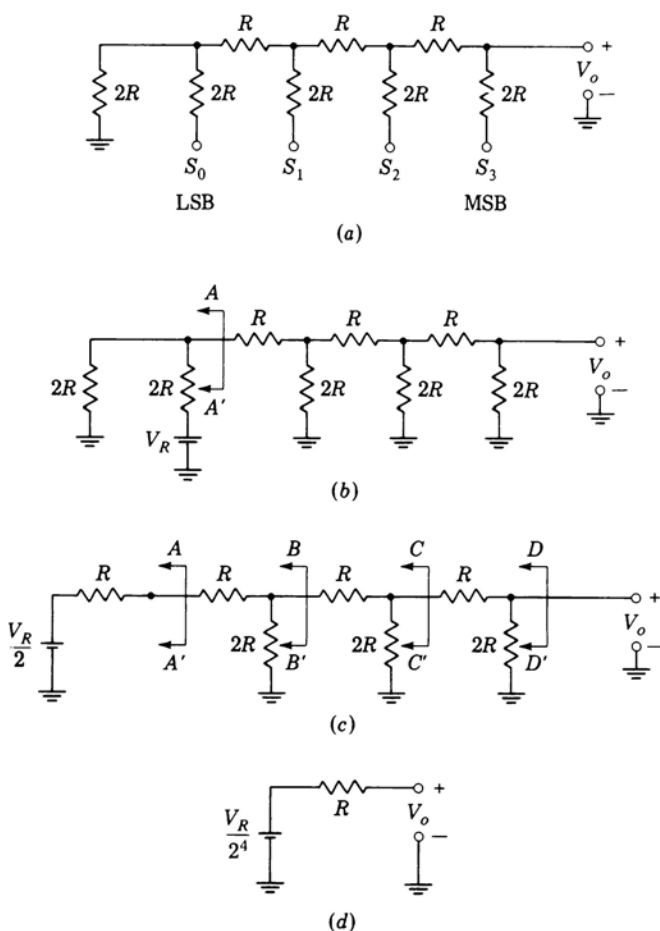


Figura 14.6-1 (a) Convertitore D/A a scala  $R-2R$ . (b) e (c) Applicazione del teorema di Thevenin per la determinazione della tensione d'uscita  $V_o$ . (d) Il circuito equivalente finale visto dall'uscita.

ad eccezione del generatore di tensione che sarà  $V_R/2^3$ , e così via in modo analogo per i commutatori  $S_2$  e  $S_3$ . Si vede pertanto che ogni commutatore fornisce al segnale d'uscita un contributo pari al proprio peso binario. Per la rete di Fig. 14.6-1a si ha allora

$$V_o = V_R \left( \frac{S_3}{2^1} + \frac{S_2}{2^2} + \frac{S_1}{2^3} + \frac{S_0}{2^4} \right) \quad (14.6-1a)$$

e

$$V_o = \frac{V_R}{2^4} (S_3 2^3 + S_2 2^2 + S_1 2^1 + S_0 2^0) \quad (14.6-1b)$$

o più generalmente, con  $N$  cifre d'ingresso e  $N$  commutatori, si ha

$$V_o = \frac{V_R}{2^N} (S_{N-1} 2^{N-1} + S_{N-2} 2^{N-2} + \dots + S_0 2^0) \quad (14.6-2)$$

L'equazione (14.6-2) non tiene conto di un possibile carico collegato all'uscita. Questo carico, pur facendo cambiare il valore assoluto dell'uscita, lascia inalterato, come nel convertitore a resistori pesati, il peso relativo dei singoli commutatori. Infatti supponiamo che il carico sia  $R_L$ . Allora, riferendoci alla Fig. 14.6-1d, l'uscita quando  $S_0 = 1$  sarà

$$V_o = \frac{V_R}{2^4} \frac{R_L}{R + R_L} \quad (14.6-3)$$

La posizione dei commutatori non ha però influenza alcuna sull'impedenza equivalente di Thevenin del convertitore, che resta sempre  $R$ ; pertanto l'effetto di un carico  $R_L$  è semplicemente quello di ridurre l'uscita del fattore  $R_L/(R_L + R)$ .

Di solito il convertitore a scala  $R - 2R$  è realizzato come in Fig. 14.6-2a. Si noti l'aggiunta di un resistore di carico  $2R$  a destra del commutatore corrispondente alla cifra più significativa. L'effetto di questo resistore è di far sì che l'impedenza vista guardando in ciascun ingresso sia sempre la stessa. Tale impedenza vale, come indicato,  $3R$ . In Fig. 14.6-2b è illustrato un convertitore D/A a scala  $R - 2R$  provvisto del suddetto resistore ed utilizzante come buffer un op-amp. Si può verificare che l'uscita  $V_o$  (a meno del segno) è data dall'Eq. (14.6-2).

Il convertitore a resistori pesati assegna i pesi ai bit d'ingresso mediante l'opportuno impiego di resistori pesati. Nel convertitore a scala  $R - 2R$  il diverso peso dei bit viene realizzato mediante opportuni percorsi che ripartiscono le correnti in modo da avere maggiore attenuazione per il bit di peso più basso. È possibile realizzare una soluzione di compromesso fra questi due schemi circuitali, come indicato in Fig. 14.6-3. Come prima,  $S_0$  è il bit meno significativo ed  $S_7$  il più significativo. Abbiamo disposto i bit in gruppi di quattro. In ciascun gruppo i bit vengono introdotti attraverso resistori pesati, le cui resistenze stanno fra di loro secondo potenze di 2. È necessaria però

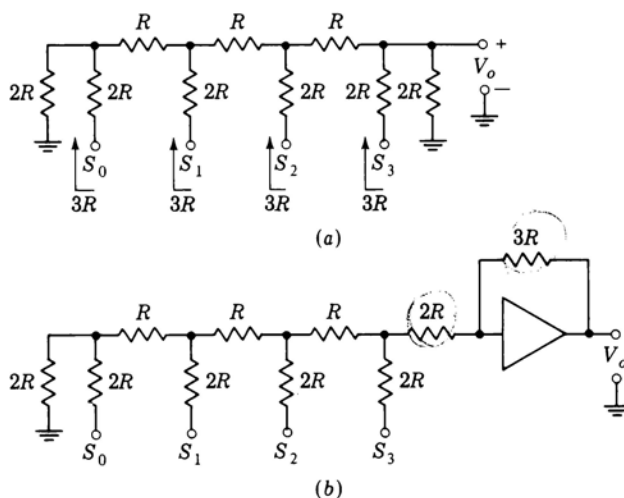


Figura 14.6-2 Connessione della rete a scala  $R$ - $2R$  ad un op-amp.

un'ulteriore attenuazione di 16 fra il gruppo  $S_0S_1S_2S_3$  ed il gruppo  $S_4S_5S_6S_7$ . In questo modo la corrente che fluisce nella massa virtuale dell'op-amp quando, ad esempio,  $S_3 = 1$  è la sedicesima parte della corrente dovuta ad  $S_7 = 1$ . Lo stesso rapporto deve essere mantenuto fra  $S_2$  e  $S_6$ , ecc. A questo scopo viene inserito il resistore  $r$  fra i due gruppi. Si può verificare che  $r = 8R$  riduce la corrente del fattore  $1/16$ , come richiesto per un formato di ingresso binario naturale.

La disposizione circuitale di Fig. 14.6-3 è anche adatta a ricevere un formato d'ingresso BCD. In questo formato i quattro bit  $S_3S_2S_1S_0$  rappresentano una cifra decimale da 0 a 9 delle unità, mentre  $S_7S_6S_5S_4$  una cifra decimale delle decine. In questo caso il resistore  $r$  deve fornire un'attenuazione di 10 anziché di 16. Si può verificare (Prob. 14.6-3) che per ottenere un'attenuazione di 10 occorre porre  $r = 4,8 R$ .

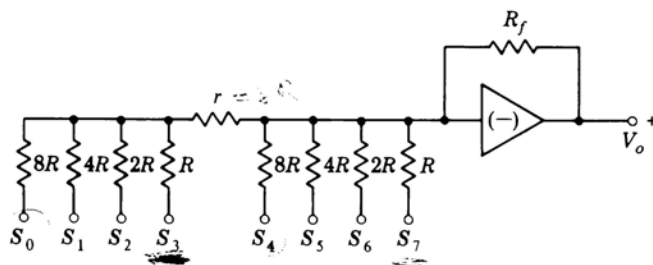


Figura 14.6-3 Convertitore D/A di tipo misto, a resistori pesati e a scala.

## 14.7 COMMUTATORI PER CONVERTITORI D/A

Nel Cap. 1 abbiamo esaminato il funzionamento dei diodi e dei transistori (sia bipolari che FET) come interruttori. L'utilizzazione di questi dispositivi negli interruttori analogici è stata trattata nel Cap. 13. Questi dispositivi possono essere convenientemente impiegati anche nei commutatori dei convertitori D/A.

I FET, nella condizione ON, si comportano come semplici resistori. Perciò quando si vuole usare questi dispositivi nei convertitori occorre o assumere i resistori dei convertitori sufficientemente elevati da poter trascurare rispetto ad essi la resistenza dei FET, oppure tener conto della resistenza stessa dei FET. In quest'ultimo caso può risultare necessario adottare alcune misure di compensazione termica (vedi Prob. 14.7-1), poichè la resistenza dei FET è sensibile alla temperatura. I transistori bipolari viceversa presentano, in saturazione, una resistenza trascurabile, ma, come è noto, presentano pure una tensione residua, cioè una tensione di offset. Dal momento che la tensione di offset è apprezzabilmente minore quando il transistor è usato nella configurazione inversa (vedi Fig. 1.10-1), nei convertitori si adotta generalmente quest'ultima configurazione.

L'impiego del transistor bipolare in configurazione inversa in un circuito convertitore comporta però un problema. Si consideri la situazione rappresentata in Fig. 14.7-1. Qui i due transistori costituiscono uno dei commutatori a due vie, ad esempio, del circuito di Fig. 14.5-1, in cui si è posto  $V(1) = V_R = 5 \text{ V}$  e  $V(0) = -V_R = -5 \text{ V}$ . Il resistore  $R_e$  è uno dei resistori del convertitore. Il terminale di  $R_e$  non collegato al commutatore viene considerato a massa poichè è collegato alla massa virtuale presente all'ingresso dell'op-amp. I due transistori vengono impiegati nella configurazione inversa, cioè con la giunzione di collettore che funge da giunzione di emettitore. Il transistor si interdice quando la tensione sulla giunzione base-collettore è portata a 0 V, mentre si satura quando la giunzione base-collettore viene polarizzata con circa 0,75 V. I valori di tensione indicati in figura per  $V_{B1}$  e  $V_{B2}$

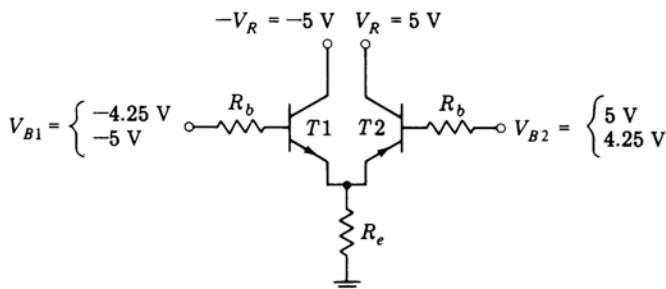


Figura 14.7-1 Transistori bipolari usati nel modo inverso come commutatori in un convertitore D/A.

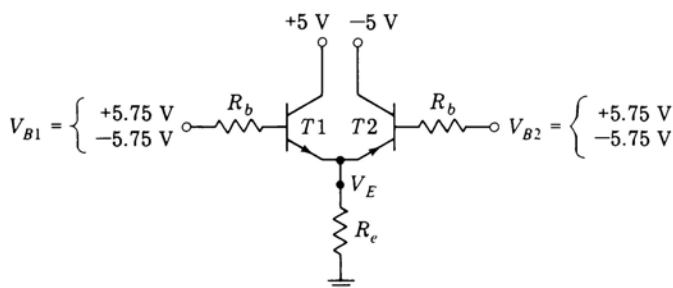


Figura 14.7-2 Inseguitori di emettitore sovra-pilotati impiegati come commutatori in un convertitore D/A.

sono quindi adatti a saturare uno dei due transistori, mantenendo l'altro OFF, e viceversa. In questo modo il terminale di  $R_e$  non collegato a massa viene connesso rispettivamente a  $-5$  o  $+5$  V.

Supponiamo ora che, per esempio,  $V_{B1} = -5$  V e  $V_{B2} = 4,25$  V, sicché  $T1$  sia OFF e  $T2$  ON. Allora la tensione fra la base e l'emettitore di  $T1$  è circa  $V_{BE1} = -9,25$  V. Questo valore di tensione fra base ed emettitore è superiore a quello che normalmente un transistor può sopportare. Per questa ragione la configurazione di Fig. 14.7-1 non è accettabile.

Una configurazione alternativa in grado di superare questo inconveniente è indicata in Fig. 14.7-2. In essa i transistori sono impiegati nel modo normale anziché in quello inverso; il circuito in cui sono inseriti però è un inseguitore di emettitore. Come abbiamo messo in evidenza nel Par. 1.10, un inseguitore di emettitore sovra-pilotato può presentare una tensione di offset di 0 V, poichè il fattore di saturazione  $\sigma$  è negativo. In Fig. 14.7-2 le basi sono pilotate fra  $+5,75$  e  $-5,75$  V circa. Nel primo caso  $T1$  è in saturazione e  $V_E \approx 5$  V, mentre  $T2$  è OFF. Le tensioni base-emettitore sono uguali, con  $V_{BE1} = V_{BE2} = 0,75$  V. Nel secondo caso  $T2$  è ON e  $T1$  OFF. La tensione di emettitore  $V_E$  vale ora  $V_E \approx -5$  V. Un possibile inconveniente di questo circuito consiste nell'ampia escursione richiesta per la tensione di base (11,5 V).

**Esempio di convertitore D/A** Come esempio di un convertitore D/A che utilizza il commutatore di Fig. 14.7-2 consideriamo il circuito di Fig. 14.7-3. Questo convertitore è del tipo a resistori pesati, però il discorso resta valido anche per convertitori del tipo a scala. Le tensioni di riferimento  $\pm V_R$  valgono  $\pm 5$  V. Allora, trascurando le tensioni di saturazione su  $T4$  o  $T3$ , le due tensioni di commutazione sono  $\pm 5$  V. Per verificare se la tensione emettitore-collettore di  $T4$  (e di  $T3$ ) è veramente trascurabile, supponiamo che  $T2$  sia interdetto. Allora  $T4$  è ON. La tensione di emettitore di  $T4$  è perciò intorno ai 5 V, e la tensione di base  $V_{B4}$  è circa 5,75 V. Allora la corrente di base è

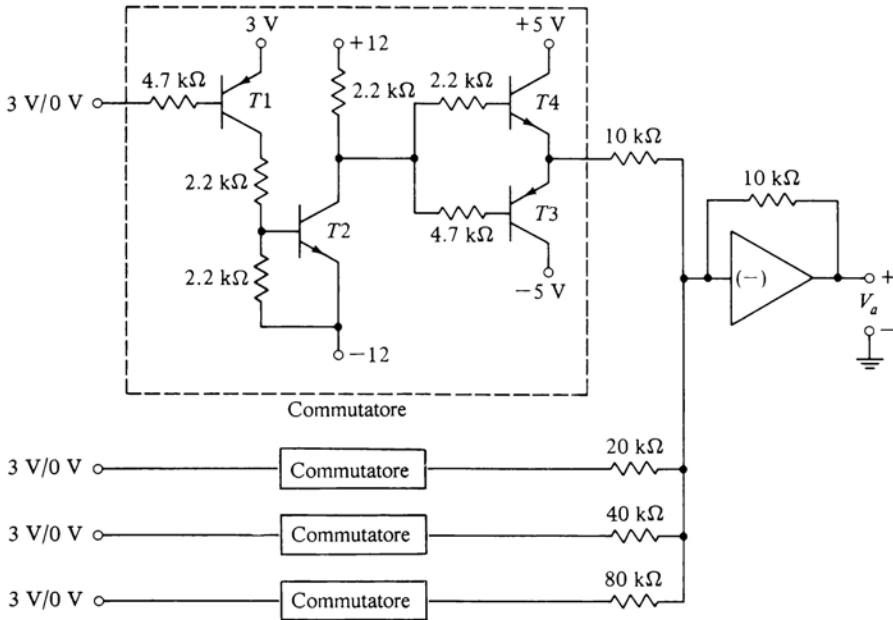


Figura 14.7-3 Esempio di convertitore D/A.

$I_{B4} \approx (12 - 5,75)/(4,4 \text{ k}\Omega) \approx 1,4 \text{ mA}$ , mentre la corrente di emettitore è  $I_{E4} \approx 5/(10 \text{ k}\Omega) = 0,5 \text{ mA}$ . Pertanto risulta che  $I_{C4} \approx -0,9 \text{ mA}$  e  $\sigma \equiv I_C/h_{FE}I_B \approx -0,6/h_{FE}$ . Dalla Eq. (1.10-3) si può vedere che se  $\sigma \approx -0,6/h_{FE}$ ,  $V_{CE} \approx V_T \ln(1 + 0,4/h_{FC})$ . Se assumiamo  $h_{FC} = 0,1$ , troviamo che  $V_{CE}$  è solo  $V_{CE} \approx 40 \text{ mV}$ .

La tensione di pilotaggio di ingresso ha un'escursione da circa 0 V a circa 3 V. Con l'ingresso a 3 V,  $T1$  e  $T2$  sono OFF, e  $T4$  è pilotato in saturazione dalla corrente di base che, erogata dal generatore +12 V, scorre attraverso il resistore di collettore da 2,2 kΩ di  $T2$  ed attraverso il resistore di base da 2,2 kΩ di  $T4$ . Mentre  $T4$  è ON,  $T3$  è OFF. Quando l'ingresso è a 0 V, sia  $T1$  che  $T2$  sono in saturazione, come si può verificare (Prob. 14.7-1). In questo caso  $T3$  è pilotato in saturazione dalla sua corrente di base che, erogata dall'alimentazione di -12 V, scorre attraverso il transistor saturato  $T2$  e la resistenza di base da 4,7 kΩ di  $T3$ . In questo caso, supponendo  $V_{CE2} \approx 0,2 \text{ V}$ , si trova  $I_{B3} \approx 1,3 \text{ mA}$  e quindi  $\sigma$  rimane  $\sigma \approx -0,6/h_{FE}$ . Anche in questo caso le tensioni di emettitore di  $T3$  e  $T4$  risultano essere molto prossime a -5 V.

## 14.8 CONVERTITORE D/A PILOTATO IN CORRENTE

In Fig. 14.8-1 è illustrato un convertitore D/A che impiega la configurazione

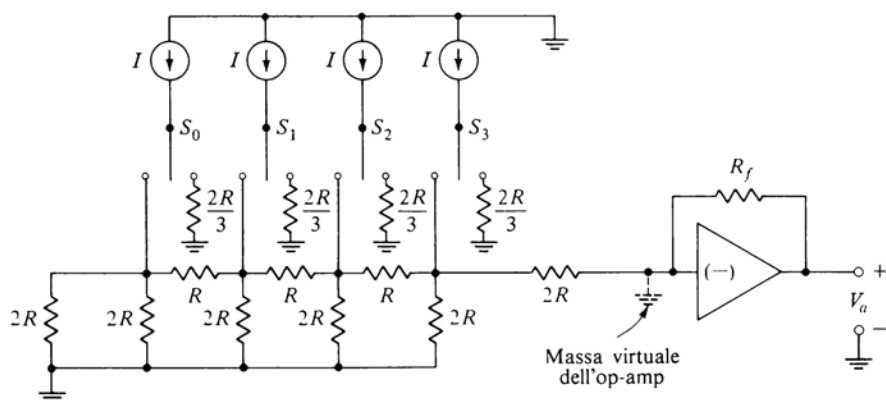


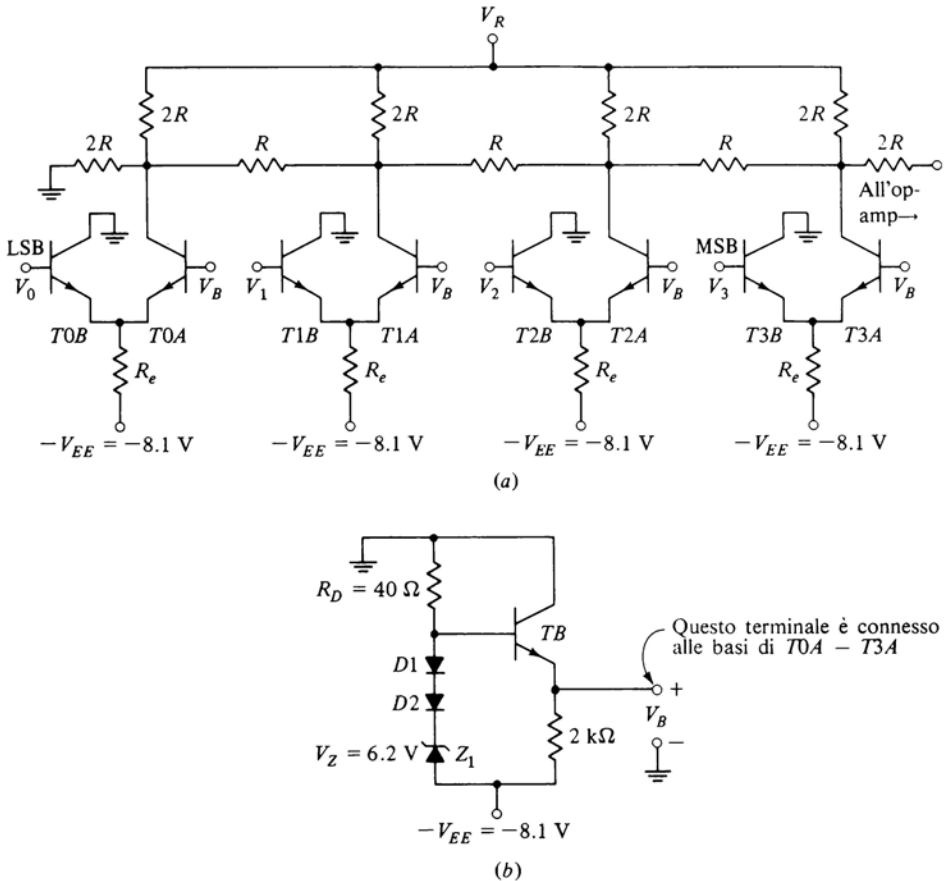
Figura 14.8-1 Convertitore D/A a scala pilotato in corrente.

di resistori a scala unitamente a generatori di corrente. Supponiamo che i commutatori siano tali da chiudere uno dei due contatti prima di aprire l'altro sicchè la corrente  $I$  non debba mai interrompersi. Questo circuito è equivalente al precedente di Fig. 14.6-2, in cui in serie ai resistori di resistenza  $2R$  veniva applicato un generatore di tensione. In quest'ultimo circuito invece i generatori di tensione sono sostituiti da generatori di corrente in parallelo ai resistori di resistenza  $2R$ .

Il convertitore pilotato in corrente presenta un vantaggio rispetto al convertitore pilotato in tensione. Infatti quest'ultimo richiede che i commutatori a transistori lavorino in saturazione. Il tempo di ritardo richiesto per portare un transistor fuori dalla saturazione costituisce un limite alla velocità di funzionamento di questi convertitori. Viceversa nel convertitore pilotato in corrente è possibile evitare di portare in saturazione i transistori dei commutatori; è possibile cioè impiegare dei commutatori nei quali i transistori vengono pilotati dalla loro zona attiva all'interdizione e viceversa. Abbiamo già incontrato questo tipo di commutatore nella logica ad accoppiamento di emettitore.

In Fig. 14.8-2 è illustrato un convertitore a scala pilotato in corrente utilizzando i commutatori ad amplificatore differenziale visti nella logica ad accoppiamento di emettitore. Le correnti vengono deviate nella rete a scala quando i transistori  $T0A$ ,  $T1A$ ,  $T2A$  o  $T3A$  sono in conduzione, mentre vengono deviate nei transistori  $T0B$ ,  $T1B$ ,  $T2B$  o  $T3B$  quando questi ultimi sono in conduzione. Il circuito di Fig. 14.8-2b fornisce la tensione di polarizzazione di base  $V_B$  per tutti i commutatori. Si intende che il convertitore deve essere impiegato con porte ECL. A temperatura ambiente queste porte (vedi Par.





**Figura 14.8-2** (a) Convertitore D/A pilotato in corrente per alta velocità di funzionamento. (b) Il circuito di polarizzazione delle basi.

7.4) presentano i livelli logici  $-0,76\text{ V}$  (**1** logico) e  $-1,58\text{ V}$  (**0** logico). Di conseguenza alla tensione di base  $V_B$  viene dato un valore nominalmente uguale alla media di questi due livelli, cioè  $V_B = -1,15\text{ V}$ . Così, quando ad esempio  $V_0 = -1,58\text{ V}$ ,  $T0B$  è OFF e  $T0A$  è ON, mentre quando  $V_0 = -0,76\text{ V}$ ,  $T0B$  è ON e  $T0A$  è OFF.

Supponiamo che a temperatura ambiente la tensione sui diodi  $D1$  e  $D2$  sia pari a quella presente sulla giunzione base-emettitore di un transistor in conduzione, cioè  $0,75\text{ V}$ . Si può facilmente verificare che, essendo la tensione di

alimentazione nel circuito di polarizzazione  $-V_{EE} = -8,1$  V, la polarizzazione di base  $V_B$  risulta essere  $V_B = -1,15$  V. Infatti si ha

$$V_B = -V_{EE} + V_Z + V_{D2} + V_{D1} - V_{BE}(TB) \quad (14.8-1)$$

dove  $V_Z$  = tensione ai capi del diodo zener  
 $V_{D1}, V_{D2}$  = tensioni ai capi dei diodi  $D1$  e  $D2$   
 $V_{BE}(TB)$  = tensione base-emettitore di  $TB$ .

Troviamo allora

$$V_B = -8.1 + 6.2 + 0.75 + 0.75 - 0.75 = -1.15 \text{ V} \quad (14.8-2)$$

Il circuito è anche in grado di fornire una compensazione alle variazioni di temperatura, dal momento che la corrente iniettata da ciascun interruttore nella rete a scala risulta indipendente dalla temperatura. Questa corrente è costituita dalla corrente di collettore del transistor corrispondente ed è a sua volta uguale, a meno della corrente di base, alla corrente di emettitore. La tensione ai capi del resistore di emettitore di  $T0$ , ad esempio, è

$$V_{R_e} = V_B - V_{BE}(T0A) + V_{EE} \quad (14.8-3)$$

Usando l'Eq. (14.8-1) ed assumendo  $V_{D1} = V_{D2} = V_{BE}(TB) = V_{BE}(T0A)$ , troviamo che  $V_{R_e}$  e la corrente  $I_{R_e}$  valgono

$$V_{R_e} = V_Z \quad (14.8-4)$$

$$e \quad I_{R_e} = \frac{V_Z}{R_e} \quad (14.8-5)$$

Nel Par. 1.4 si era messo in evidenza che per ogni diodo zener si può trovare una corrente in corrispondenza alla quale la tensione dello zener risulta indipendente dalla temperatura. Il diodo zener del circuito di polarizzazione viene scelto in base a questo criterio e di conseguenza l'Eq. (14.8-5) conferma che la corrente iniettata è relativamente indipendente dalla temperatura.

Prendiamo in esame ora alcuni aspetti del circuito di Fig. 14.8-2, grazie ai quali il circuito è in grado di raggiungere elevate velocità di funzionamento. Abbiamo già messo in evidenza che i transistori costituenti i commutatori non vengono spinti fino alla saturazione onde evitare il ritardo dovuto al tempo di immagazzinamento. Notiamo ora che, assumendo la tensione base-emettitore di un transistor in conduzione pari a  $0,75$  V, si può verificare facilmente che quando uno dei due transistori ( $T0A$  o  $T0B$ , per esempio) è OFF, esso lavora con una tensione base-emettitore di  $0,35$  V. Dal momento che la tensione di soglia è di  $0,65$  V, possiamo dedurre che il transistor non è mai fortemente interdettato, per cui il tempo richiesto per riportarlo dall'interdizione alla zona attiva non può essere eccessivamente elevato.

Quando un commutatore inietta la corrente in uno dei nodi della rete a

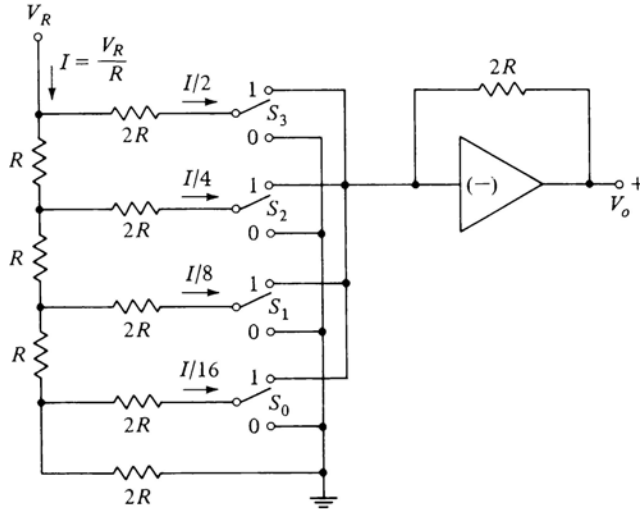


Figura 14.9-1 Convertitore D/A a scala invertita.

scala, la tensione in questo nodo (ed in minor misura in tutti gli altri) subisce una variazione. Le inevitabili capacità parassite presenti nella rete a scala si devono quindi caricare o scaricare in risposta alle variazioni di stato dei commutatori, rallentando così il funzionamento del convertitore. Per minimizzare questo inconveniente occorre che i circuiti interessati da queste capacità presentino basse costanti di tempo. Per questa ragione i resistori della rete a scala vengono scelti di valore basso. Valori di  $R = 50 \, \Omega$  e  $2R = 100 \, \Omega$  sono abbastanza usuali.

Nel circuito di Fig. 14.8-2a si presenta ancora un altro problema: la corrente iniettata da  $T0A$  impiega più tempo ad arrivare all'op-amp che non la corrente iniettata, ad esempio, da  $T3A$ ; questo poichè la rete a scala viene a costituire, a frequenze molto alte, una linea di trasmissione con perdite. Questa differenza nei tempi di propagazione può generare all'uscita dell'op-amp un impulso spurio: supponiamo infatti che per  $t = 0$  l'ingresso digitale sia **1000** (8 V) e che dopo un certo intervallo commuti a **0111** (7 V). Supponiamo anche che le commutazioni avvengano simultaneamente in tutto il circuito. A causa del tempo di propagazione della rete a scala però  $T3A$  fa sentire il suo effetto per primo sicchè il livello dell'uscita da 8 V cade subito a 0 V per poi risalire a 4, a 6 e finalmente a 7 V. Per ridurre la durata dell'impulso, nei convertitori D/A molto veloci si possono applicare le tensioni logiche di commutazione prima a  $T0B$ , poi a  $T1B$  e così via.

In un paragrafo successivo parleremo della necessità di spostare il livello dell'uscita del D/A per avere un campo di tensioni che comprenda valori sia

positivi che negativi. La tensione di riferimento  $V_R$  che compare in Fig. 14.8-2a viene utilizzata proprio per consentire tale spostamento.

## 14.9 CONVERTITORE D/A A SCALA INVERTITA

Abbiamo visto che il convertitore D/A di Fig. 14.8-2, durante la conversione, genera un impulso spurio a causa del ritardo di propagazione della rete a scala. Nella scala invertita di Fig. 14.9-1 i commutatori sono collegati direttamente all'op-amp, per cui viene eliminato il ritardo di propagazione.

Nella rete a scala invertita i commutatori sono collegati all'ingresso dell'op-amp anziché alla tensione di riferimento  $V_R$  come in Fig. 14.5-1. Nella figura è rappresentato un convertitore a 4 bit; l'estensione ad un numero di bit qualsivoglia è immediata. Tenendo presente che all'ingresso dell'op-amp si vede una massa virtuale, risulta chiaro che le correnti che scorrono nella rete a scala sono indipendenti dalla posizione dei commutatori. Sia nell'una che nell'altra posizione i resistori  $2R$  rimangono sempre collegati a massa. I commutatori sono tali da chiudere uno dei due contatti prima di aprire l'altro, sicché in ogni istante il contatto mobile risulta collegato o alla massa reale o alla massa virtuale. Si può facilmente verificare che la corrente erogata da  $V_R$  vale  $I = V_R/R$  e le correnti che scorrono nei singoli resistori  $2R$  sono legate fra di loro da potenze di 2, come indicato. I commutatori hanno il compito di deviare queste correnti o nell'op-amp o a massa. Si può verificare che l'uscita dell'amplificatore  $V_o$  è data da

$$V_o = \frac{V_R}{2^3} (S_3 2^3 + S_2 2^2 + S_1 2^1 + S_0 2^0) \quad (14.9-1)$$

Il vantaggio di questa configurazione a scala invertita consiste nel fatto che le correnti che scorrono attraverso i suoi resistori non cambiano con le commutazioni. Pertanto le tensioni ai capi dei resistori rimangono costanti e non creano ritardi dovuti alla carica e alla scarica delle capacità parassite. Questo circuito presenta inoltre un secondo vantaggio. Nella rete a scala normale i commutatori sono sottoposti all'intera tensione di riferimento. Nella rete a scala invertita invece i commutatori (grazie alla loro posizione) non sono mai sottoposti a tensioni apprezzabili.

Un esempio di convertitore a scala invertita è illustrato in Fig. 14.9-2. Anche qui è stato impiegato come commutatore l'amplificatore differenziale ECL, onde evitare il ritardo associato al passaggio del transistor dalla saturazione all'interdizione. Esaminiamo ora sia le corrispondenze che le leggere differenze fra i circuiti di Fig. 14.9-2 e 14.9-1. In Fig. 14.9-2 la tensione di riferimento è  $-V_R$  anziché  $V_R$  per il semplice motivo che si sono usati transistori *npn*. Inoltre l'ultimo resistore della rete a scala, che in Fig. 14.9-1 è connesso a massa, in questo circuito è connesso invece alla tensione  $V_B$ . Questa modifica ha due finalità. Innanzi tutto consente di collegare l'ultimo



in cui  $V_{BE}$  è la caduta di tensione fra base ed emettitore di ogni transistorore ( $T0A$ ,  $T1A$ ,  $T2A$  o  $T3A$ ). Si trova anche, riferendosi a  $TB$ , che

$$V'_B = V_B - V_{D3} \quad (14.9-3)$$

Se ora si suppone che la tensione  $V_{D3}$  ai capi del diodo sia pari a  $V_{BE}$ , risulta  $V_{E0} = V'_B$ , come richiesto. Pertanto le correnti attraverso i due resistori  $2R$  situati all'estrema sinistra della rete sono identiche e pari a  $I/16$ . Seguendo ora lo schema di Fig. 14.9-2, cioè notando che i circuiti visti da  $0-0'$ ,  $1-1'$ ,  $2-2'$ ,  $3-3'$  sono equivalenti ciascuno ad un generatore di tensione  $V'_B$  posto in serie ad un resistore  $R$ , risulta chiaro che i valori delle correnti attraverso i resistori della rete a scala sono esattamente quelli indicati in figura.

Possiamo anche verificare che le correnti nella rete a scala, e quindi le correnti iniettate nell'op-amp, sono indipendenti dalla temperatura. Queste correnti dipendono dalla tensione comune  $V'_B = V_{E0} = V_{E1} = V_{E2} = V_{E3}$ . Calcolando  $V'_B$  (ci riferiamo a  $TB$ ) troviamo

$$V'_B = -V_R + V_Z + V_{D1} + V_{D2} - V_{BE}(TB) - V_{D3} \quad (14.9-4)$$

Supponendo di nuovo che le tensioni dei diodi siano uguali a  $V_{BE}$ , troviamo

$$V'_B = -V_R + V_Z \quad (14.9-5)$$

che, come si è detto in relazione al circuito di Fig. 14.8-2, può essere resa indipendente dalla temperatura.

Nel circuito di Fig. 14.9-2 è insita una causa di errore, per individuare la quale supponiamo che inizialmente tutti i transistori  $A$  siano ON. Facciamo ora aumentare la tensione  $V_0$  in modo da deviare la corrente da  $T0A$  a  $T0B$ . Se  $T0A$  deve essere interdetto, la tensione di emettitore  $V_{E0}$  deve salire; di conseguenza la corrente nel resistore di emettitore  $2R$  di  $T0$  cambia e quindi tutte le altre correnti (eccetto quella nel resistore di emettitore di  $T3$ ) vengono alterate. Poichè per un corretto funzionamento queste correnti devono rimanere costanti, si viene a verificare un errore. In pratica comunque l'entità di questo errore non è tale da causare inconvenienti. Lasciamo come esercizio (vedi Prob. 14.9-2) il calcolo di questo errore in un caso tipico.

## 14.10 FORMATO DI INGRESSO E DI USCITA DI UN CONVERTITORE D/A

Nel circuito di Fig. 14.5-1 supponiamo di porre  $V(0) = 0$  V e di inviare la corrente  $I_L$  ad un amplificatore operazionale, come in Fig. 14.5-3. Allora quando  $S = S_{N-1} \dots S_0 = 0 \dots 0$ , cioè tutti zeri,  $V_o$  sarà  $V_o = 0$  e quando  $S = 1 \dots 1$ , cioè tutti uno,  $V_o$  sarà dato dall'Eq. (14.5-6). Se prendiamo  $V_R = 1$  V ed  $R = R_f$  e consideriamo, ad esempio, un convertitore a 3 bit, il campo di

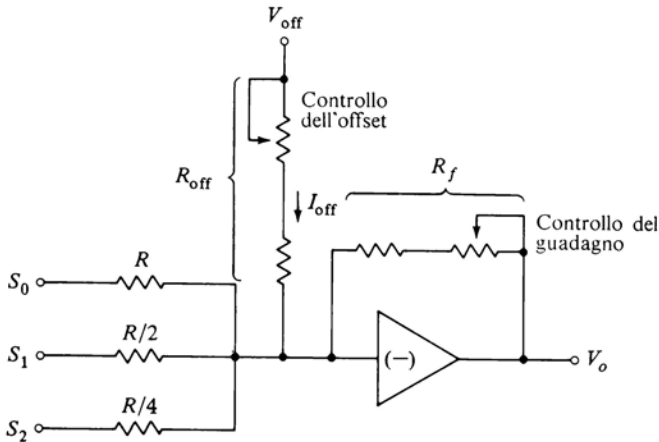


Figura 14.10-1 Circuito per l'offset della tensione di uscita di un convertitore D/A.

variazione dell'uscita si estenderà da 0 a  $-7$  V. Diciamo che l'uscita è *unipolare* poiché può variare in un solo verso rispetto a 0 V. Poiché i bit di ingresso esprimono numeri in binario naturale (ciascun bit ha il peso di una potenza di 2), si dice che il convertitore D/A lavora in *formato binario unipolare*. Se però  $V(0) \neq 0$ , possiamo *traslare* il campo dei valori assunti dall'uscita. Per esempio, se  $V(1) = \frac{1}{2}$  V e  $V(0) = -\frac{1}{2}$  V, il nuovo campo dell'uscita si estende simmetricamente intorno a 0 V da  $-3,5$  a  $+3,5$  V. In questo caso il formato si dice *binario bipolare* o *binario traslato* o *binario con offset*.

Un altro metodo per traslare il campo dei valori dell'uscita di un convertitore D/A è illustrato in Fig. 14.10-1. In questo schema si inietta una corrente di offset  $I_{off}$  nell'ingresso dell'amplificatore. Nel circuito è presente anche un sistema per la regolazione del guadagno dell'amplificatore. Si noti che, grazie alla massa virtuale all'ingresso dell'amplificatore, il controllo del guadagno ed il controllo dell'offset sono indipendenti l'uno dall'altro. Inoltre, sempre grazie alla massa virtuale, l'aggiunta del controllo dell'offset non produce effetto alcuno sulla corrente d'ingresso dell'amplificatore proveniente dai resistori del convertitore. L'offset prodotto sulla tensione d'uscita  $V_o$  vale  $V_o = -(R_f/R_{off}) V_{off}$ .

Purché non la si usi per effettuare operazioni aritmetiche, la rappresentazione dei numeri negativi con il metodo dell'offset può risultare utile e conveniente. Per esempio supponiamo, come prima, di avere un convertitore a 3 bit che dia  $V_o = 0$  V per un ingresso **000** e  $V_o = 7$  V per un ingresso **111** [con  $V(1) = -1$  V e  $V(0) = 0$ ]. Supponiamo ora di regolare la tensione di offset in modo da avere  $V_o = 0$  V per un ingresso **100**. L'ingresso digitale e l'uscita

analogica saranno allora correlati come indicato nella Tab. 14.10-1. In essa 000 rappresenta  $-4$ ; 001 rappresenta  $-3$ , e così via. Questa rappresentazione dei numeri negativi può diventare conveniente ed accettabile se, ad esempio, l'uscita analogica viene impiegata per spostare l'indice di uno strumento di misura da una parte o dall'altra a seconda del segno del numero presentato all'ingresso del convertitore D/A. Si noti che dati  $N$  bit,  $2^N$  è un numero pari. Quindi è impossibile far sì che il campo dell'uscita sia esattamente simmetrico rispetto a 0 V, se si vuole che l'uscita analogica 0 V corrisponda ad un ingresso digitale.

Tabella 14.10-1

Ingresso digitale	Uscita analogica $V_o$
111	+3
110	+2
101	+1
100	0
011	-1
010	-2
001	-3
000	-4

Tabella 14.10-2

Decimale	Rappresentazione in complemento a due	Formato binario con offset, con <b>100</b> corrispondente a 0 V
+3	011	111
+2	010	110
+1	001	101
0	000	100
-1	111	011
-2	110	010
-3	101	001
-4	100	000

Consideriamo ora invece una rappresentazione dei numeri negativi più adatta ai calcoli aritmetici, ad esempio la rappresentazione in complemento a due. Un procedimento che consente ad un convertitore D/A di leggere e convertire tale rappresentazione è riportato nella Tab. 14.10-2.

Come si può vedere dalla Tab. 14.10-2, tenendo presente la Tab. 14.10-1, per operare la conversione dal formato in complemento a due al segnale analogico, occorre applicare al convertitore D/A l'ingresso digitale con il bit più significativo complementato e regolare l'offset in modo che **100** corrisponda a 0 V.

Se l'ingresso digitale da convertire è presentato con un formato in comple-



mento ad uno, il procedimento di conversione risulta evidente dalla Tab. 14.10-3.

Si osservi che la rappresentazione in complemento ad uno dei numeri positivi da +0 a +3 è identica alla rappresentazione dei numeri binari unipolari. Perciò gli ingressi digitali corrispondenti ai numeri positivi vengono applicati direttamente al convertitore D/A predisposto con una tensione di offset zero.

Se la rappresentazione in complemento a uno dei numeri negativi da **111** a **100** fosse applicata direttamente al convertitore, la tensione analogica d'uscita varierebbe da +7 a 4 V. Per traslare queste tensioni applichiamo, ogni volta che il bit di segno nel formato in complemento a uno è **1**, una tensione di offset di -7 V all'op-amp. Per esempio, il numero **110** (in complemento a uno), applicato al convertitore senza offset verrebbe letto +6 V anziché -1 V. Introducendo un offset di -7 V si leggerà invece correttamente +6 - 7 V = -1 V.

Un metodo per operare correttamente sull'offset è indicato in Fig. 14.10-2. Qui vengono impiegate due tensioni di riferimento simmetriche  $V(1) = -\frac{1}{2}$  V e  $V(0) = +\frac{1}{2}$  V. Inoltre  $V(1)$  e  $V(0)$  vengono pure impiegate come tensioni di offset ( $V_{\text{off}}$  in Fig. 14.10-1) insieme con un commutatore  $S_{\text{off}}$ . Il resistore di offset  $R_{\text{off}}$  è scelto uguale al parallelo di  $R$ ,  $R/2$  e  $R/4$ ; infine si fa in modo che  $S_{\text{off}} = \overline{S}_2$ , sicché quando  $S_2$  - cioè il commutatore corrispondente al bit più significativo (il bit del segno) - è ad **1** logico,  $S_{\text{off}}$  è allo **0** logico e viceversa. Essendo le tensioni di riferimento simmetriche,  $V_o$  varierebbe fra  $3\frac{1}{2}$  e  $-3\frac{1}{2}$  V, non tenendo conto della tensione di offset applicabile tramite  $S_{\text{off}}$ . Già in partenza quindi si ha un offset di  $-3\frac{1}{2}$  V. Quando  $S_2 = 0$ ,  $S_{\text{off}} = 1$  e pertanto viene introdotto un ulteriore offset di  $+3\frac{1}{2}$  che porta l'offset totale a zero.

Quando  $S_2 = 1$ ,  $S_{\text{off}} = \overline{S}_2 = 0$  e le tensioni di offset si sommano portando l'offset totale a -7 V, come richiesto.

Tabella 14.10-3

Decimale	Rappresentazione in complemento a uno	Binario unipolare
+7		111
+6		110
+5		101
+4		100
+3	011	011
+2	010	010
+1	001	001
+0	000	000
-0	111	
-1	110	
-2	101	
-3	100	

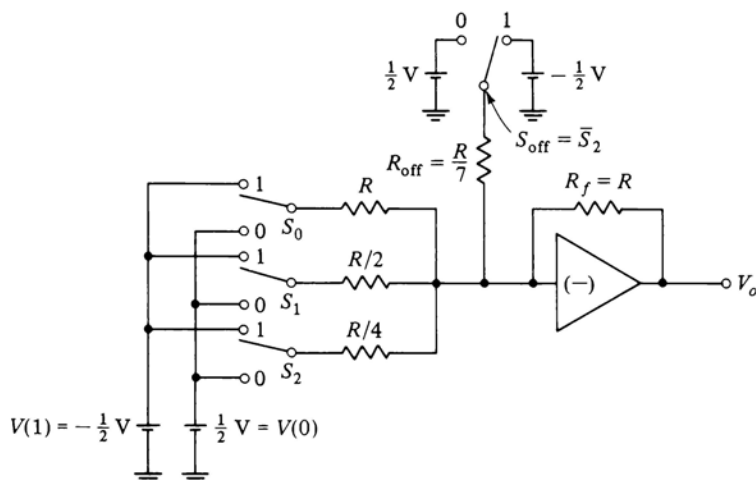


Figura 14.10-2 Convertitore D/A per ingresso digitale in complemento a uno.

Si lascia come esercizio dimostrare che il commutatore  $S_{\text{off}} = \bar{S}_2$  può venire eliminato sostituendo  $S_2$  con  $\bar{S}_2$  e la sua resistenza  $R/4$  con  $R/3$ .

## 14.11 SPECIFICHE DEI CONVERTITORI D/A

Prendiamo in esame ora i parametri che servono a descrivere le prestazioni di un convertitore D/A. Questi parametri vengono in genere specificati dai costruttori.

**Risoluzione** Questo parametro specifica il numero dei bit che il convertitore può ricevere in ingresso ed il corrispondente numero delle tensioni (o correnti) d'uscita. Ad esempio, un convertitore in grado di accettare in ingresso 10 bit è un convertitore con 10 bit di risoluzione. Il numero delle corrispondenti tensioni d'uscita è  $2^{10} = 1024$ . Quindi la minima variazione possibile nella tensione d'uscita è di  $1/1024$  dell'intero campo di variazione. Approssimando 1024 a 1000, si può dire quindi che la risoluzione è di una parte su 1000 oppure è dello 0,1%.

**Linearità** In un convertitore D/A ideale incrementi uguali dell'ingresso digitale devono produrre incrementi uguali dell'uscita analogica. La *linearità* di un convertitore fornisce una misura della precisione con cui viene soddisfatto tale requisito. La linearità viene misurata come indicato in Fig. 14.11-1. Assunto un formato di ingresso binario unipolare, disponiamo tutte le combinazioni dei bit di ingresso sull'asse orizzontale in ordine numerico crescente ed

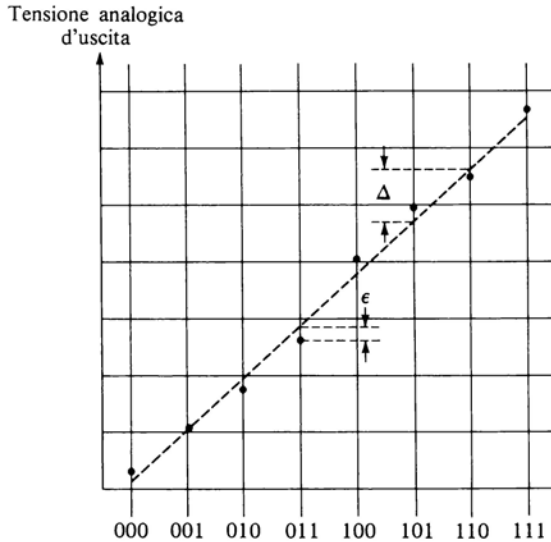


Figura 14.11-1 Misura della linearità.

uniformemente distanziate. Sulla verticale indichiamo con punti le corrispondenti tensioni analogiche d'uscita fornite dal convertitore in esame. Se il convertitore fosse ideale, i punti dovrebbero trovarsi allineati su di una retta. In Fig. 14.11-1 è stata tracciata la retta che interpola nel modo migliore i punti segnati e si è indicato in un caso l'errore di linearità  $\epsilon$ . La tensione  $\Delta$  indica la variazione nominale dell'uscita analogica corrispondente alla variazione nell'ingresso digitale del bit meno significativo (LSB).

La linearità di un convertitore viene generalmente specificata confrontando  $\epsilon$  con  $\Delta$ . Così quando troviamo che la linearità di un convertitore è «minore di  $\pm \frac{1}{2}\text{LSB}$ », significa che  $|\epsilon| < \frac{1}{2}\Delta$ . Questa indicazione è molto importante. Supponiamo infatti che, per un certo ingresso digitale,  $\epsilon$  sia positivo e  $> \frac{1}{2}\Delta$ , e che per l'ingresso digitale immediatamente successivo  $\epsilon$  sia negativo e  $|\epsilon| > \frac{1}{2}\Delta$ .

In questo caso il convertitore non sarebbe *monotono*, cioè un incremento dell'ingresso digitale produrrebbe un decremento dell'uscita analogica.

La linearità di un convertitore dipende essenzialmente dalla precisione dei resistori. Dipende anche dalla precisione delle cadute di tensione sui commutatori. Dal momento che sia le tensioni sui resistori che quelle sui commutatori dipendono dalla temperatura, la linearità può a sua volta dipendere dalle variazioni di temperatura.

**Precisione** La *precisione* di un convertitore fornisce la misura della diffe-

renza fra la tensione d'uscita analogica reale e quella ideale. La mancanza di linearità contribuisce a diminuire la precisione. Altre cause che limitano la precisione sono l'incertezza delle tensioni di riferimento, il guadagno dell'amplificatore, l'offset dell'amplificatore, ecc. Un valore tipico per un convertitore di media qualità potrebbe essere «0,2% di fondo scala  $\pm \frac{1}{2}\text{LSB}$ ».

**Tempo di assestamento** Quando l'ingresso digitale di un convertitore cambia, i commutatori, aprendosi o chiudendosi, provocano brusche variazioni di tensione. A causa delle inevitabili capacità e induttanze parassite presenti nel circuito passivo, i transitori che si creano possono persistere per intervalli di tempo non trascurabili. Si originano inoltre transitori dovuti alle caratteristiche dei dispositivi attivi (commutatori, transistori, ecc.). Una curva tipica della variazione della tensione d'uscita in funzione del tempo potrebbe essere quella di Fig. 14.11-2. Si noti che non solo deve passare un certo intervallo di tempo prima che l'uscita raggiunga il suo nuovo livello, ma può anche verificarsi l'innescarsi di un'oscillazione. L'intervallo fra l'istante in cui si verifica la variazione dell'ingresso e quello in cui l'uscita è *sufficientemente prossima* al suo valore finale prende il nome di *tempo di assestamento* (*settling time*). Questo tempo dipende fra l'altro dal significato quantitativo che si dà alla frase «sufficientemente prossima». Un convertitore comune può presentare un tempo di assestamento tipico espresso come «500 ns allo 0,2% del fondo scala».

Alcuni dei transitori più ampi (sebbene per fortuna generalmente più brevi) sono prodotti dai commutatori (Par. 14.8). Per esempio, supponiamo che in un convertitore unipolare a 4 bit i commutatori siano  $S_3S_2S_1S_0 = 0111$ , a cui corrisponde un'uscita di +7 V. Supponiamo ora che i commutatori commutino a  $S_3S_2S_1S_0 = 1000$ , corrispondente a 8 V. Supponiamo però che  $S_3$  commuti un istante prima degli altri commutatori; per un breve intervallo avremo pertanto  $S_3S_2S_1S_0 = 1111 = 15$  V. Se gli impulsi spuri generati nel convertitore D/A non sono accettabili si può pensare di trattare l'uscita del

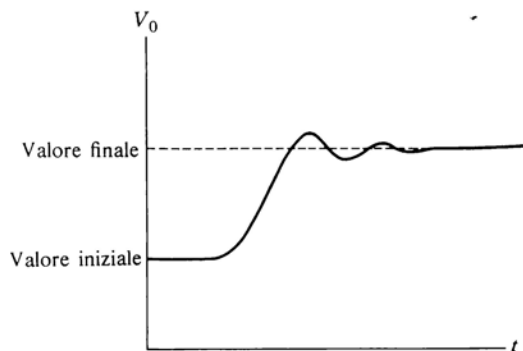


Figura 14.11-2 Tempo di assestamento di un D/A.

D/A con un circuito di sample-and-hold. La nuova uscita viene poi filtrata da un filtro passa-basso. In pratica si nota che i *glitch* generati dal circuito sample-and-hold hanno un'energia significativamente inferiore a quella degli impulsi spuri prodotti dal D/A. Di conseguenza il rumore presente nell'uscita filtrata del circuito S/H è molto minore del rumore presente nell'uscita filtrata del D/A.

**Sensibilità alla temperatura** Pur mantenendo fisso l'ingresso digitale, l'uscita analogica presenta delle variazioni con la temperatura. La sensibilità alla temperatura varia da circa  $\pm 50$  ppm/°C in un convertitore per uso generale a meno di  $\pm 1,5$  ppm/°C in un convertitore di alta qualità. La sensibilità del convertitore dipende dalla sensibilità alla temperatura delle tensioni di riferimento, dei resistori, dell'op-amp ed anche della tensione di offset dell'amplificatore.

## 14.12 CONVERTITORI A/D: CONVERTITORE A COMPARATORI IN PARALLELO

Passiamo ora ai sistemi impiegati per convertire un ingresso analogico in un'uscita digitale. Diciamo subito che in genere i convertitori A/D sono sistemi complessi e sofisticati. Quindi, a differenza di quanto abbiamo fatto per i convertitori D/A, non presentiamo schemi elettrici dettagliati. Descriveremo viceversa i convertitori A/D mediante blocchi digitali base e blocchi analogici base già trattati in precedenza. Con questi blocchi indicheremo porte, flip-flop, registri, contatori, convertitori D/A, comparatori, ecc. Diciamo ancora che esistono molti tipi di convertitori A/D e che ciascun tipo può presentare numerose varianti. L'elevato numero di tipi diversi di convertitori A/D descritti nella letteratura — un buon numero dei quali è disponibile sul mercato — è indice del notevole impegno con cui è stato affrontato il problema. In questo paragrafo e nei successivi verranno descritti alcuni dei sistemi di conversione più rappresentativi.

Il convertitore A/D a *comparatori* illustrato in Fig. 14.12-1 presenta un campo di variabilità dell'ingresso analogico da 0 a  $V_0$ , e fornisce un'uscita digitale a 3 bit.

La relazione che lega l'uscita digitale all'ingresso analogico è illustrata in Fig. 14.12-2. Il campo di variabilità dell'ingresso analogico viene suddiviso in otto fasce. Di queste otto fasce, sei hanno ciascuna un'ampiezza  $S = V_0/7$  e le altre due, la superiore e l'inferiore, un'ampiezza  $S/2 = V_0/14$ . Quando l'ingresso analogico viene a cadere entro la fascia più bassa, cioè fra 0 e  $V_0/14$ , l'uscita del convertitore deve valere **000**, come indicato. Nella figura si è pure indicato che, se l'uscita digitale dovesse venire riconvertita in una tensione analogica mediante un convertitore D/A, il valore di tale tensione analogica dovrebbe essere 0 V. Nella conversione A/D si è pertanto introdotto un errore, l'*errore di quantizzazione*. Nella fascia più bassa questo errore è uguale al

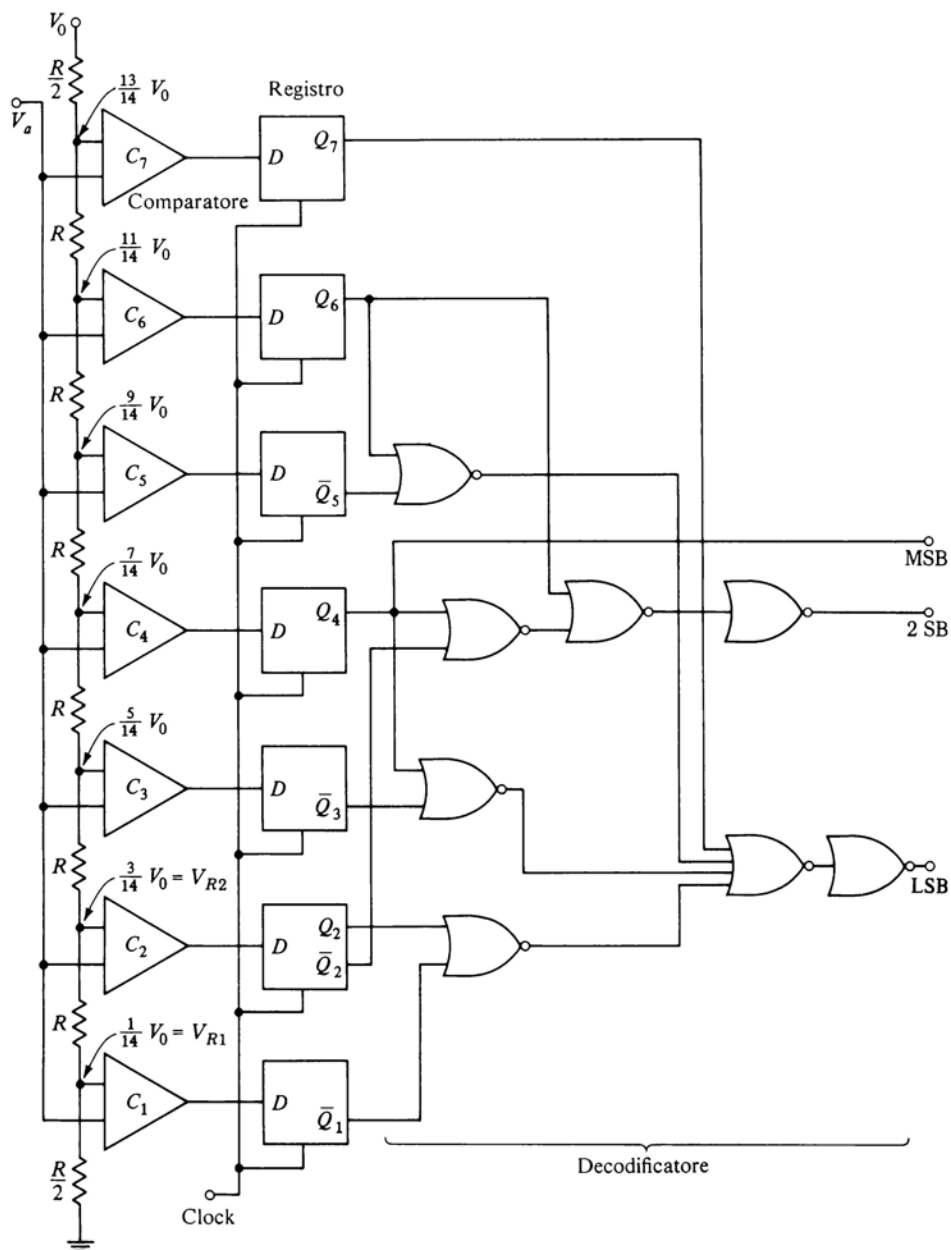
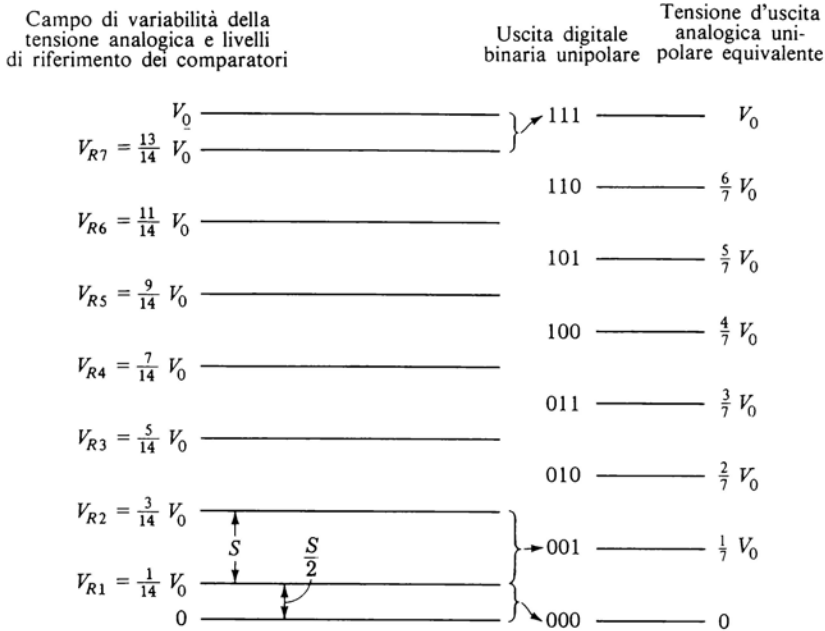


Figura 14.12-1 Convertitore A/D a comparatori.



**Figura 14.12-2** Il campo di variazione di una tensione analogica unipolare viene suddiviso in intervalli a cui vengono associati numeri digitali in modo da garantire un errore massimo di quantizzazione uniforme in tutto il campo.

massimo a  $S/2 = V_0/14$ . Analogamente quando l'ingresso viene a cadere nella fascia  $S$  che si estende da  $V_0/14$  a  $3V_0/14$ , l'uscita digitale corrispondente sarà **001**. Questo valore verrà preso come valore indicativo della tensione analogica  $V_0/7 = 2V_0/14$ . Anche in questo intervallo l'errore di quantizzazione non potrà essere mai superiore a  $S/2 = V_0/14$ . Risulta chiaro a questo punto che la ragione di aver disposto gli intervalli come in Fig. 14.12-2 è di far sì che da 0 a  $V_0$  l'errore di quantizzazione massimo sia sempre lo stesso.

Ricordiamo che un comparatore (vedi Par. 2.13) è un dispositivo a due ingressi (un ingresso di riferimento ed uno di segnale) con un'unica uscita. Quando l'ingresso di segnale si trova ad una tensione inferiore a quella dell'ingresso di riferimento, l'uscita del comparatore va allo **0** logico. Quando il segnale supera la tensione di riferimento, l'uscita va all'**1** logico. Un convertitore A/D a comparatori fornito di  $N$  uscite richiede  $2^N - 1$  comparatori. Per il convertitore a 3 bit di Fig. 14.12-1 sono pertanto necessari i sette comparatori da  $C_1$  a  $C_7$ .

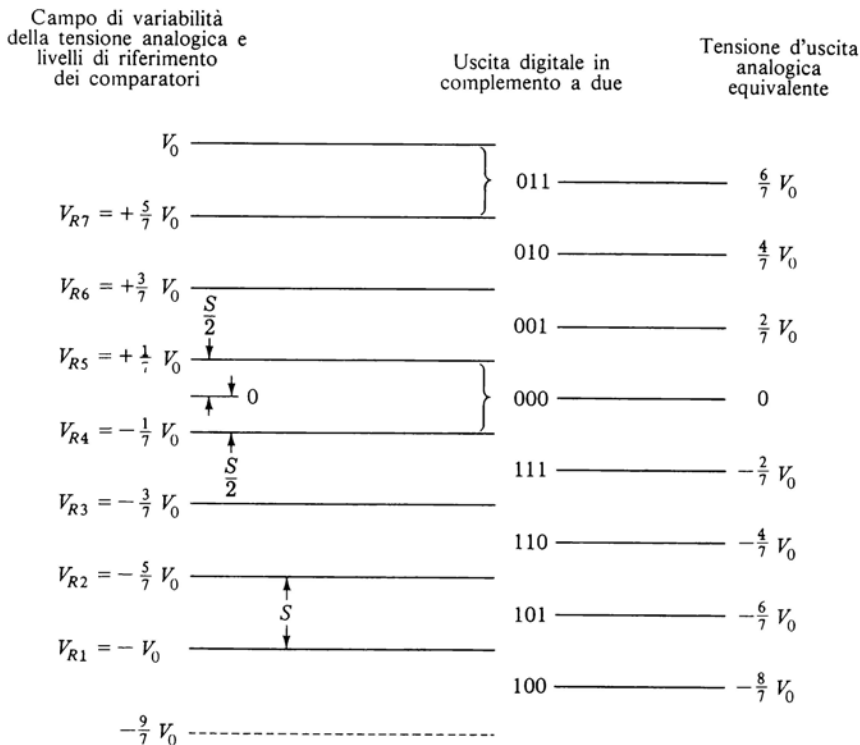


Figura 14.12-3 Livelli di riferimento ed uscite digitali di un convertitore A/D a comparatori che impiega la rappresentazione in complemento a due.

Se la tensione analogica  $V_a$  viene a cadere nella fascia da 0 a  $\frac{1}{14} V_0$ , tutti i comparatori avranno l'uscita allo **0** logico, cioè  $C_1 C_2 C_3 C_4 C_5 C_6 C_7 = 0000000$ . Se  $V_a$  cade nella fascia fra  $\frac{1}{14} V_0$  e  $\frac{3}{14} V_0$ , allora  $C_1 C_2 C_3 C_4 C_5 C_6 C_7 = 1000000$ , ecc. L'uscita dei comparatori viene trasferita con un comando di clock all'uscita dei sette flip-flop del registro. Il registro è seguito a sua volta da un decodificatore che converte l'indicazione del registro in un codice binario unipolare a 3 bit. Si può facilmente verificare (vedi Prob. 14.12-1) che il decodificatore indicato in Fig. 14.12-1 genera proprio il codice di uscita a 3 bit di Fig. 14.12-2.

**ESEMPIO 14.12-1** Se il convertitore A/D a comparatori di Fig. 14.12-1 deve essere in grado di convertire le tensioni analogiche comprese fra  $-V_0$  e  $+V_0$  in rappresentazione in complemento a 2, determinare le tensioni di riferimento di ciascun comparatore. Illustrare il risultato mediante un diagramma simile a quello di Fig. 14.12-2. Prevedere un'uscita a 3 bit.



**SOLUZIONE** L'uscita del convertitore A/D, quando vale **000**, dovrà essere letta 0 V. Quindi se l'errore di quantizzazione massimo deve essere  $S/2$  come in Fig. 14.12-2, l'indicazione d'uscita **000** dovrà essere assegnata alla fascia analogica  $0 \text{ V} \pm S/2$ , come indicato in Fig. 14.12-3. Nasce ora un piccolo problema consistente nel fatto che il campo analogico è simmetrico rispetto a 0 V, mentre nella rappresentazione in complemento a 2 i numeri negativi sono uno in più dei numeri positivi (vedi Par. 11.9). Se per il momento non teniamo conto del numero digitale più negativo (**100** = -4), rimangono sette uscite digitali. Pertanto il campo d'uscita da  $V_0$  a  $-V_0$  viene diviso in sette intervalli, ciascuno di ampiezza  $S = 2V_0/7$ , e, come illustrato in Fig. 14.12-3, ad ogni intervallo viene associata un'uscita digitale corrispondente.

Rimane ancora l'uscita digitale **100**, che servirà a rappresentare il campo  $-\frac{8}{7}V_0 \pm S/2 = -\frac{8}{7}V_0 \pm \frac{1}{7}V_0$ , cioè, il campo da  $-V_0$  a  $-\frac{9}{7}V_0$ . Se decidiamo di utilizzare anche questa uscita, il resistore situato più in basso nella colonna dei resistori di Fig. 14.12-1 dovrà essere riportato a  $-\frac{9}{7}V_0$  e si dovranno impiegare sette comparatori con tensioni di riferimento  $-V_0, -\frac{5}{7}V_0, \dots, -\frac{1}{7}V_0$ , ecc. fino a  $-\frac{9}{7}V_0$ . Se invece decidiamo di non utilizzare l'uscita **100**, la colonna di resistori dovrà essere riportata a  $-V_0$  e saranno necessari soltanto sei comparatori. La maggior parte dei costruttori sceglie la prima soluzione, specificando che i convertitori presentano un campo di tensioni asimmetrico.

Il convertitore A/D a comparatori è caratterizzato da una elevata velocità di funzionamento poichè l'intero processo di conversione avviene simultaneamente e non sequenzialmente. Il suo funzionamento è tanto veloce da giustificare l'impiego di flip-flop e di porte di decodifica ECL. La rappresentazione digitale della tensione analogica di ingresso risulta disponibile in uscita immediatamente dopo che è stata applicata la tensione in ingresso, a meno del leggero ritardo causato dai comparatori. Si può notare che il registro a flip-flop non è essenziale al funzionamento del convertitore, però la sua presenza è conveniente specialmente quando il segnale analogico di ingresso varia rapidamente. Il registro consente di mantenere in uscita la rappresentazione digitale finchè non si è pronti ad accettare in ingresso una nuova tensione analogica.

**Configurazione a cascata di convertitori A/D a comparatori** Il convertitore A/D a comparatori presenta l'inconveniente che i componenti circuitali raddoppiano per ogni bit in più in uscita. Così, mentre per un convertitore A/D a tre bit sono necessari sette comparatori e sette flip-flop, un convertitore A/D a 4 bit richiede 15 comparatori, 15 flip-flop ed una corrispondente espansione del blocco di decodifica. Sacrificando la velocità di funzionamento è possibile però disporre in cascata più convertitori a comparatori, con notevole risparmio di componenti. In Fig. 14.12-4 è illustrato un convertitore a cascata che fornisce 6 bit di uscita. Se questo convertitore fosse realizzato secondo lo schema di Fig. 14.12-1 richiederebbe  $2^6 - 1 = 63$  comparatori; realizzato invece secondo lo schema di Fig. 14.12-4, in cui si impiegano due convertitori a 3 bit, richiede soltanto  $2(2^3 - 1) = 14$  comparatori.

Il primo convertitore ADC-1 fornisce i 3 bit più significativi, mentre il secondo, ADC-2, genera i tre bit meno significativi. Supponiamo, per comodità, che la scala dell'intero convertitore a 6 bit sia tale da fornire l'uscita direttamente in volt (cioè ad esempio 001101 corrisponda a 13 V di ingresso). In questo caso il passo di quantizzazione di ADC-2 è  $S_2 = 1 \text{ V}$ , mentre quel-

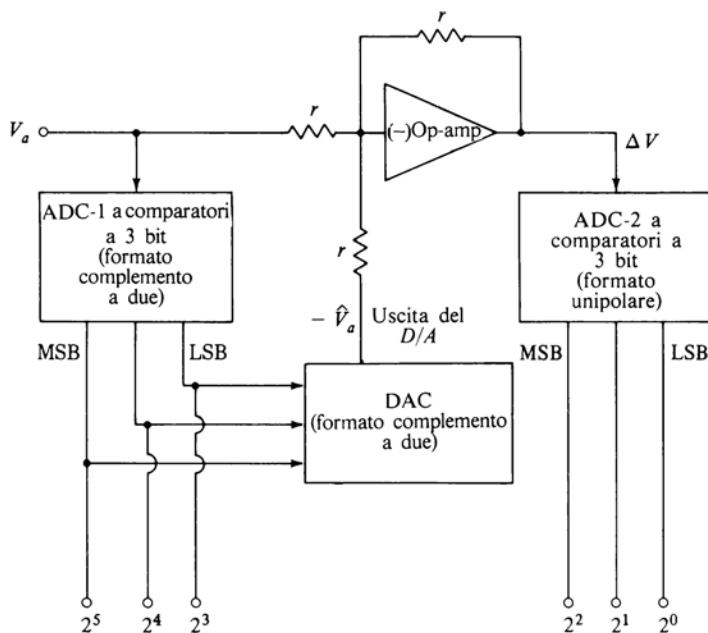


Figura 14.12-4 Convertitore A/D a 6 bit costituito da due convertitori A/D a comparatori in cascata.

lo di ADC-1 è 8 V. L'uscita digitale di ADC-1 è applicata ad un convertitore D/A che genera un'uscita analogica  $\hat{V}_a$ . La differenza  $\Delta V = V_a - \hat{V}_a$  rientra nell'errore di quantizzazione di ADC-1. Questa differenza fra tensioni analogiche viene convertita in forma digitale dal secondo convertitore ADC-2.

È importante notare che i bit forniti da ADC-2 possono soltanto *lasciare immutato od aumentare* il valore della rappresentazione complessiva finale a 6 bit. È chiaro allora che dobbiamo fare in modo che  $\Delta V$  sia sempre nullo o positivo, mai negativo. Per far ciò si possono fissare i livelli di riferimento dei comparatori di ADC-1 a ..., -8 V, 0 V, 8 V, 16 V .... Fatto ciò si decodifica in modo che quando  $V_a$  cade nella fascia da -8 a 0 V, l'uscita digitale sia 111 (usando la rappresentazione in complemento a due), quando  $V_a$  cade nella fascia da 0 a 8 V, l'uscita sia 000, quando  $V_a$  cade nella fascia da 8 a 16 V, l'uscita sia 001, ecc. Questa disposizione dei livelli di riferimento dei comparatori e la conseguente decodifica non riescono ancora a soddisfare completamente quanto è richiesto. Infatti supponiamo che  $V_a$  sia leggermente inferiore a 8 V. L'uscita digitale corretta dovrebbe essere 001000, per avere un errore di quantizzazione non superiore a  $\pm \frac{1}{2}\text{LSB}$ , che in questo caso è  $\pm 0,5$  V. Però con  $V_a$  appena inferiore a 8 V l'uscita digitale di ADC-1 sarà 000. Anche se ADC-2 desse un'uscita 111, l'indicazione a 6 bit completa sa-

rebbe 000111 con un errore pari ad un LSB intero. Si può superare questo inconveniente traslando i livelli di riferimento dei comparatori in senso negativo di  $\frac{1}{2}\text{LSB} = \frac{1}{2}S_2 = 0,5\text{ V}$ . In questo caso può verificarsi che  $\Delta V$ , per qualche valore di  $V_a$ , divenga negativo, ma mai però per più di  $\frac{1}{2}\text{LSB}$ ; pertanto si rientra nei limiti consentiti.

La differenza  $\Delta V$  applicata all'ADC-2 cadrà ora nell'intervallo da  $-0,5$  a  $7,5\text{ V}$ . Il formato unipolare dei livelli di riferimento dei comparatori può essere disposto, come mostrato in Fig. 14.12-2, in modo da trattare questo intervallo con un errore di quantizzazione di  $\pm 0,5\text{ V}$ . Per far ciò basta porre i livelli di riferimento dei comparatori a  $0,5, 1,5, \dots, 6,5\text{ V}$ .

**Fonti di errore** Quando un segnale analogico viene convertito in forma digitale, viene introdotto necessariamente un errore di quantizzazione. Questo errore viene spesso dato come  $\pm \frac{1}{2}\text{LSB}$ , cioè vale la metà del valore del bit meno significativo dell'uscita digitale. Per esempio, consideriamo un convertitore ad uno stadio singolo in grado di ricevere in ingresso un segnale analogico da  $0$  a  $7\text{ V}$  e di fornire un'uscita digitale a 3 bit da **000** a **111**. I livelli di riferimento dei sette comparatori saranno fissati a  $0,5, 1,5, \dots, 5,5, 6,5\text{ V}$ . Se ad esempio la tensione analogica  $V_a$  dovesse cadere nell'intervallo  $2,5 < V_a < 3,5$ , l'uscita del convertitore dovrebbe dare **011** =  $3,0\text{ V}$ . In realtà però l'errore può anche essere superiore a  $\pm \frac{1}{2}\text{LSB}$ . Ciò si verifica ad esempio se i livelli di riferimento non sono stati fissati in modo preciso o se i comparatori si discostano dal loro funzionamento ideale. Nel funzionamento ideale affinché l'uscita dei comparatori commuti è sufficiente che la tensione analogica sia superiore anche di un infinitesimo al livello di riferimento: ciò nella realtà ovviamente non si verifica.

Nella configurazione a cascata di convertitori a comparatori le cause di errore non risiedono soltanto nei comparatori, ma anche nel convertitore D/A, nel dispositivo impiegato per effettuare la differenza  $V - \hat{V}_a$  e nell'amplificatore. Si noti che tutti questi dispositivi, che non sono presenti nel semplice convertitore a comparatori, devono essere interposti fra ogni stadio della configurazione in cascata.

**Funzionamento ad alta velocità** Il convertitore A/D a cascata riduce notevolmente il numero dei comparatori richiesti, ma contemporaneamente riduce la velocità di funzionamento di un fattore 2. Infatti col primo impulso di clock vengono convertiti i primi 3 bit e i secondi tre bit vengono convertiti con il secondo impulso di clock. Con qualche componente in più il convertitore A/D a cascata può arrivare alla stessa velocità di funzionamento del convertitore A/D di Fig. 14.12-1. Infatti durante la conversione dei 3 bit meno significativi, il convertitore A/D dei 3 bit più significativi rimane del tutto inutilizzato. Si può pertanto pensare di progettare circuiti che abilitino il primo convertitore ad elaborare un nuovo campione della tensione  $V_a$  mentre il secondo convertitore sta elaborando ancora il campione precedente.

### 14.13 CONVERTITORE AD APPROSSIMAZIONI SUCCESSIVE

Il principio su cui si basa il convertitore ad approssimazioni successive risulta evidente dal seguente esempio. Supponiamo di avere un oggetto di peso compreso fra 0 ed 1 kg. Supponiamo inoltre di avere a disposizione una bilancia ed una serie di pesi rispettivamente da  $\frac{1}{2}$ ,  $\frac{1}{4}$ ,  $\frac{1}{8}$  kg, ecc. Questi pesi verranno usati in prove successive per determinare il peso incognito  $W$  dell'oggetto in esame. Mettiamo l'oggetto su un piatto della bilancia e sull'altro piatto mettiamo il peso da  $\frac{1}{2}$  kg. Se vediamo che  $W > \frac{1}{2}$  kg, aggiungiamo al peso precedente quello da  $\frac{1}{4}$  kg. Se viceversa  $W < \frac{1}{2}$  kg, togliamo il peso da  $\frac{1}{2}$  kg e lo sostituiamo con quello da  $\frac{1}{4}$  kg. Ogni volta che l'aggiunta di un peso fa inclinare la bilancia dalla parte dei pesi, togliamo l'ultimo peso aggiunto e lo sostituiamo con quello immediatamente inferiore. Così se alla fine della misura abbiamo lasciato il peso da  $\frac{1}{2}$  kg, tolto quello da  $\frac{1}{4}$  kg, lasciato quello da  $\frac{1}{8}$  kg, possiamo dire che il peso dell'oggetto in esame vale approssimativamente  $1 \times \frac{1}{2} + 0 \times \frac{1}{4} + 1 \times \frac{1}{8} = \frac{5}{8}$  kg. Se assegnamo alla cifra binaria più significativa il peso numerico  $\frac{1}{2}$ , alla successiva il peso  $\frac{1}{4}$ , ecc., troviamo che il peso dell'oggetto può venire espresso in cifre binarie come **101**. È chiaro che proseguendo con pesi sempre più piccoli possiamo determinare il peso dell'oggetto con il grado di precisione desiderato.

Se si potesse continuare questo procedimento all'infinito, la misura risulterebbe assolutamente precisa. In pratica però il numero delle pesate è finito. Allora per ridurre l'errore di quantizzazione conviene *squilibrare* la bilancia, cioè «farla pendere» dalla parte del peso da determinare, aggiungendo sul piatto dell'oggetto in esame un peso pari alla metà del peso campione più piccolo, come illustrato in Fig. 14.13-1. In questa figura si suppone di effettuare due pesate successive con pesi da  $\frac{1}{2}$  e  $\frac{1}{4}$  kg, sapendo che il peso dell'oggetto in esame è compreso fra 0 e 1 kg. In Fig. 14.13-1a il campo fra 0 e 1 è suddiviso in quattro intervalli ad ognuno dei quali corrisponde un determinato nu-

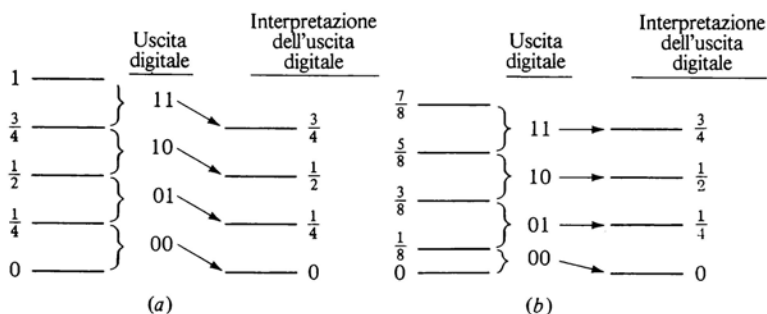


Figura 14.13-1 In una pesata per approssimazioni successive conviene sbilanciare la bilancia con un peso pari alla metà del peso campione più piccolo.

mero binario; viene pure indicato il significato che si associa ad ogni numero binario. Supponiamo ora che il peso da determinare sia di poco inferiore a  $\frac{1}{4}$ . In questo caso non si possono impiegare nè il peso da  $\frac{1}{2}$  nè quello da  $\frac{1}{4}$ ; l'indicazione digitale corrispondente sarà pertanto **00**. L'errore di quantizzazione risulta essere  $\frac{1}{4}$ . Lo stesso errore di quantizzazione massimo si ritroverà in tutti gli altri intervalli.

Supponiamo ora di squilibrare la bilancia aggiungendo un peso di  $\frac{1}{8}$  sul piatto su cui si trova il peso da determinare. In questo caso i quattro numeri digitali saranno associati ai relativi intervalli come indicato in Fig. 14.13-1b. Se il peso da determinare è di poco inferiore ad  $\frac{1}{4}$ , sul suo piatto si viene ad avere un peso complessivo di poco inferiore a  $\frac{1}{4} + \frac{1}{8} = \frac{3}{8}$ . Perciò l'intervallo corrispondente sarà quello associato al numero binario **01**, che viene interpretato come  $\frac{1}{4}$ , con un errore di quantizzazione di  $\frac{1}{8}$ . Come si può vedere in Fig. 14.13-1b, il nuovo campo va da 0 a  $\frac{7}{8}$  e, come si può facilmente verificare, in qualsiasi punto di questo campo l'errore massimo di quantizzazione risulta essere  $\frac{1}{8}$ .

**Convertitore A/D ad approssimazioni successive a 3 bit** In Fig. 14.13-2 è illustrato lo schema di un convertitore A/D ad approssimazioni successive a 3 bit. Questo convertitore converte un segnale analogico in un codice binario senza bit di segno. Per una maggiore comprensione si è preferito non ridurre al massimo il numero dei componenti, cosa che invece si fa in pratica a prezzo però di una maggiore complicazione circuitale. In questo convertitore A/D occorrono cinque intervalli di tempo (uguali) per effettuare una sola conversione. Tre di questi intervalli vengono impiegati per determinare le tre cifre binarie; il quarto intervallo viene impiegato per leggere l'uscita digitale ed il quinto per cancellare il convertitore onde renderlo disponibile per la conversione successiva.

I cinque flip-flop di tipo *D*, da *FFA* a *FFE*, sono connessi in modo da realizzare un contatore ad anello modulo 5 (vedi Par. 10.16). Tale contatore fornisce alle sue uscite, da  $Q_A$  a  $Q_E$ , cinque segnali che si vengono a trovare uno alla volta, successivamente, al livello logico **1**; l'**1** logico viene pertanto trasferito da *A* a *B* a *C* ecc. ad ogni ciclo di clock. I tre flip-flop *FF1*, *FF2* e *FF3* servono per registrare i bit, con *FF1* che registra l'LSB e *FF3* che registra l'MSB.

Il ciclo di conversione inizia con  $Q_A = 1$  e  $Q_B = Q_C = Q_D = Q_E = 0$ . Il flip-flop *FF3* sarà allora nella condizione di set, mentre *FF2* e *FF1* in quella di reset. Avremo quindi  $Q_3 = 1$  e  $Q_2 = Q_1 = 0$ . L'ingresso **100** viene presentato al convertitore D/A a 3 bit che provvede a dare in uscita una tensione analogica  $V_o$ . L'uscita  $C_o$  del comparatore sarà allora  $C_o = 0$  o **1** a seconda che  $V_a > V_o$  oppure  $V_a < V_o$ . Nel successivo intervallo di clock  $Q_B = 1$ , mentre  $Q_A = Q_C = Q_D = Q_E = 0$ . Con  $Q_B = 1$  la porta AND *G3* risulta abilitata a *FF3* viene posto nello stato di reset se  $C_o = 1$ , viene lasciato nello stato di set se  $C_o = 0$ . Riassumendo, abbiamo provato ad assegnare l'**1** logico al bit più si-

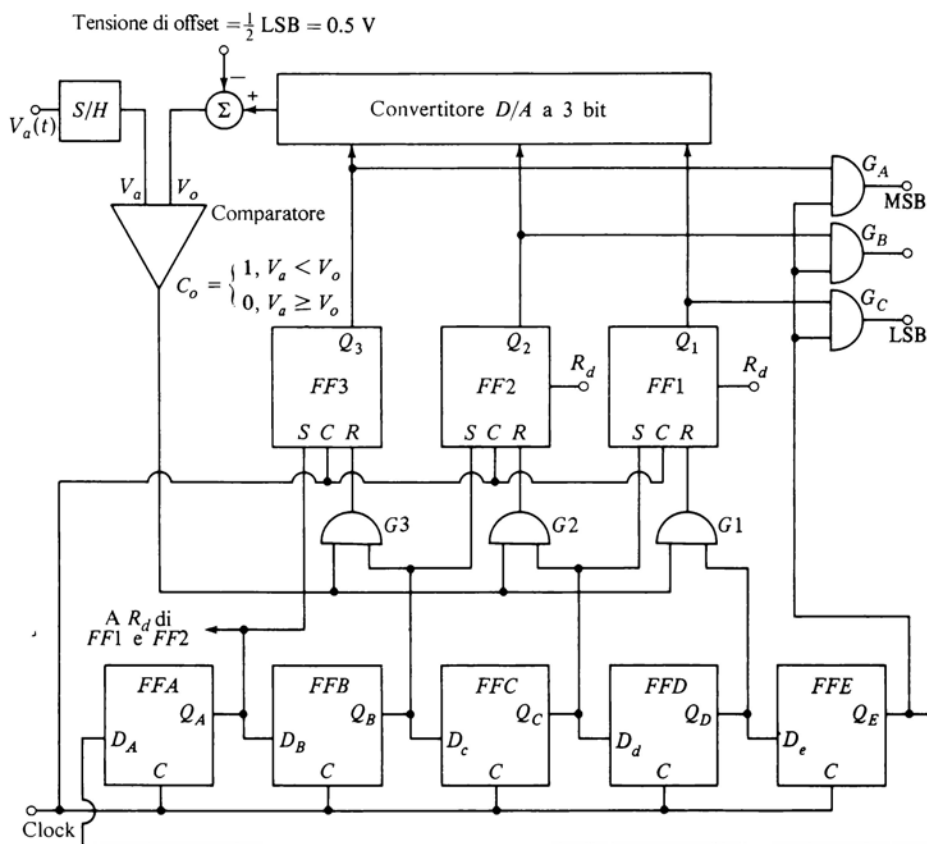


Figura 14.13-2 Convertitore A/D ad approssimazioni successive a 3 bit.

gnificativo, e all'inizio del secondo intervallo di clock il bit più significativo rimane invariato o diventa **0** logico a seconda del risultato del confronto fra  $V_a$  e  $V_o$ .

Durante i successivi intervalli di clock la prova viene ripetuta con i bit delle due posizioni successive. Nell'intervallo di clock in cui  $Q_E = 1$  non avviene alcun confronto e l'uscita digitale diventa disponibile alla lettura. In altre parole  $Q_E$  è usato come comando di abilitazione per le porte d'uscita  $G_A$ ,  $G_B$  e  $G_C$ .

È necessario però che per tutta la sequenza delle operazioni il valore dell'ingresso analogico venga mantenuto fisso. Per questa ragione il convertitore di Fig 14.13-2 deve essere preceduto dall'amplificatore S/H. Il campionamento deve essere sincronizzato con il convertitore. L'intervallo di lettura, corrispondente a  $Q_E = 1$ , può essere usato per effettuare il campionamento;

viceversa nell'intervallo da quando  $Q_A = 1$  a quando  $Q_D = 1$ , cioè per tutto l'intervallo in cui  $Q_E = 0$ , il segnale campionato deve essere *mantenuto*. La sincronizzazione di cui sopra può venire pertanto effettuata impiegando  $Q_E$  per comandare i commutatori del circuito S/H.

Durante il funzionamento del convertitore i flip-flop commutano, i commutatori del D/A si aprono e si chiudono ed il comparatore vede al suo ingresso una tensione che passa bruscamente da un livello all'altro. A queste commutazioni e a questi salti bruschi di tensione sono associati dei transistori; la massima velocità di funzionamento del convertitore dipende pertanto dal tempo di smorzamento di questi transistori. La precisione del convertitore però non dipende dai flip-flop o dalle porte logiche, ma quasi esclusivamente dalla precisione del convertitore D/A e quindi dalla precisione dei resistori del D/A ecc. All'inizio della descrizione della conversione per approssimazioni successive si era fatto l'esempio della pesata di un oggetto mediante confronti successivi sui due piatti di una bilancia. Tornando a quell'esempio, risulta chiaro che il comparatore di Fig. 14.13-2 corrisponde alla bilancia, l'ingresso analogico  $V_o$  è il peso da determinare e l'uscita  $V_a$  del convertitore D/A è la somma di tutti i pesi campione «lasciati sul piatto della bilancia». Ogni volta che un bit **1** provoca lo spostamento della bilancia dalla parte dei pesi campione ( $V_o > V_a$ ), il bit **1** viene sostituito con il bit **0** e viene preso in considerazione il bit successivo di minor peso numerico.

Avevamo fatto notare la necessità di far pendere la bilancia dalla parte del peso da determinare. Nel circuito di Fig. 14.13-2 questo sbilanciamento può venire effettuato aggiungendo una tensione fissa alla  $V_a$  incognita o, in un altro modo più conveniente, traslando  $V_o$  nella direzione opposta. (In Fig. 14.10-1 è illustrato un circuito atto a fornire questo offset.) Consideriamo per esempio un convertitore a 3 bit con uscita variabile nel campo da **000** a **111** e con tensioni analogiche di ingresso variabili nel campo da 0 a 7 V. Il bit meno significativo corrisponde in questo caso ad una tensione analogica di 1 V. L'offset richiesto per  $V_o$  è quindi di  $\frac{1}{2}$  V. Cioè il convertitore D/A deve essere sbilanciato in modo che, quando il suo ingresso digitale è **000**, la sua uscita analogica valga -0,5 V, come illustrato in Fig. 14.13.3. Così facendo il massimo errore di quantizzazione è di 0,5 V. La massima tensione analogica che può venire convertita vale 7,5 V. Infatti quando l'uscita è **111**, l'errore di quantizzazione non supera 0,5 V fino a che  $V_a$  non supera 7,5 V.

Può essere utile puntualizzare i diversi passi richiesti per codificare una tensione analogica  $V_a$ . Se per esempio  $V_a = 4,9$  V, si comincia con  $Q_A = 1$  e  $Q_3Q_2Q_1 = 100$ , sicché  $V_o$  vale  $4 - 0,5 = 3,5$  V. Poiché  $V_a > V_o$ , quando  $Q_n$  diviene **1**,  $Q_3$  rimane **1** e  $Q_2$  pure diviene **1**, sicché  $Q_3Q_2Q_1 = 110$ . Ora  $V_o = 6 - 0,5 = 5,5$  V  $> V_a$ . Quindi quando  $Q_c = 1$ ,  $Q_2$  diviene **0** e  $Q_1$  va ad **1**, dando  $Q_3Q_2Q_1 = 101$ . Come risultato,  $V_o = 5 - 0,5 = 4,5$  V  $< V_a$ . Perciò  $Q_1$  non cambia quando  $Q_D = 1$ , e la risposta finale è  $Q_3Q_2Q_1 = 101$ . Questo risultato viene letto quando  $Q_E = 1$ .

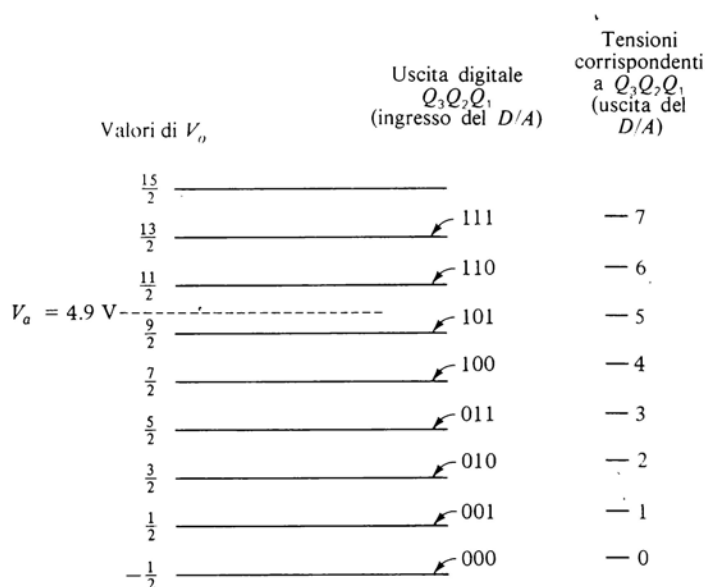


Figura 14.13-3 Introduzione della tensione di offset nel convertitore D/A di un convertitore A/D ad approssimazioni successive.

## 14.14 IL CONVERTITORE A CONTEGGIO A GRADINI

In Fig. 14.14-1 è illustrato un convertitore *a conteggio*. I tre flip-flop sono collegati in modo da costituire un contatore asincrono modulo 8. Il contatore passa da uno stato al successivo ad ogni impulso di clock, se la porta  $G0$  è abilitata. Supponiamo che inizialmente la linea di controllo  $H$  sia al livello logico 1. In questo caso  $G0$  è disabilitata ed il conteggio è bloccato. Supponiamo inoltre che la linea  $R_d$  (reset) abbia provveduto a portare il contatore nello stato 000, sicché anche l'uscita sarà 000. Infine supponiamo che la linea  $H$  controlli anche il funzionamento del circuito S/H, cosicché il segnale  $V_a(t)$  venga campionato quando  $H = 1$  e viceversa venga mantenuto quando  $H = 0$ .

Inizialmente  $V_o = \frac{1}{2}$  LSB e l'uscita del comparatore si trovi all'1 logico. Portiamo ora  $H$  ad  $H = 0$ ; di conseguenza  $G0$  viene abilitata ed il conteggio può avere inizio. Ad ogni impulso di clock il contatore avanza di un passo e l'uscita  $V_o$  del convertitore D/A sale di un livello. Alla fine si arriverà a  $V_o > V_a$ . A questo punto l'uscita  $C_o$  del comparatore diventerà  $C_o = 0$  ed il conteggio si interromperà. Il numero che si è accumulato nel contatore rappresenta l'uscita digitale richiesta ed è proporzionale (a meno dell'errore di quantizzazione) alla tensione analogica  $V_a(t)$ . Dopo un intervallo sufficiente



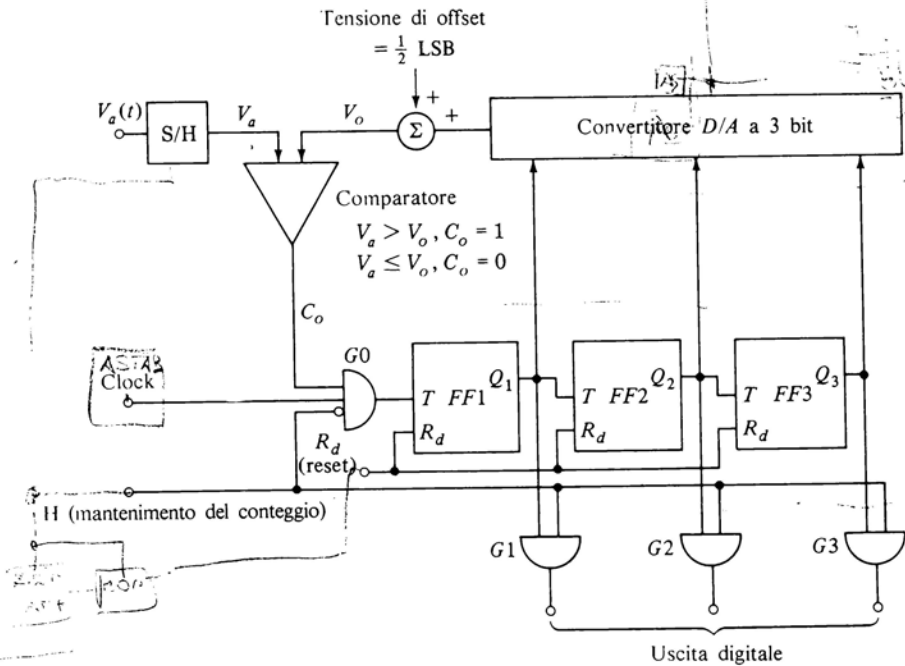


Figura 14.14-1 Convertitore A/D a conteggio a 3 bit.

a garantire che  $V_o$  abbia superato  $V_a$ , possiamo far passare  $H$  ad  $H = 1$ , consentendo così l'emissione dell'uscita digitale e contemporaneamente consentendo al circuito S/H di campionare un nuovo valore del segnale di ingresso. Prima che  $H$  torni ad  $H = 0$ , il comando di reset  $R_d$  viene portato per un istante a  $R_d = 1$  in modo da azzerare il contatore;  $R_d$  viene poi riportato a  $R_d = 0$ . A questo punto riportando  $H$  ad  $H = 0$ , si dà inizio ad un nuovo ciclo di conversione.

Nel convertitore A/D a conteggio, così come in quello ad approssimazioni successive, è necessario effettuare uno sbilanciamento dell'uscita  $V_o$ . In questo caso però l'offset deve essere tale da *aumentare*, anziché diminuire,  $V_o$  di una tensione pari a  $\frac{1}{2} \text{ LSB}$ . Per comprendere quanto detto, non consideriamo questa tensione di offset e assumiamo l'LSB pari a 1,0 V, sicché l'errore massimo di quantizzazione dovrebbe essere  $\pm 0,5 \text{ V}$ . Supponiamo ora che  $V_a$  sia di poco superiore a 0 V. Allora all'inizio della conversione avremo  $C_o = 1$  ed il contatore prima di fermarsi conterà un passo. Questo fa sì che l'uscita digitale sia **001**, che verrà interpretata come 1,0 V. L'errore di quantizzazione corrispondente sarà di 1,0 V. Invece con uno sbilanciamento di 0,5 V il contatore non avanzerà di alcun passo finché  $V_a$  non supera 0,5 V.

Le forme d'onda del convertitore sono rappresentate in Fig. 14.14-2. Si è supposto come prima di avere un convertitore D/A che fornisca uscite (non contando lo sbilanciamento) di 0 e 7 V per ingressi digitali pari a **000** e **111** rispettivamente. A causa della forma del segnale  $V_o$ , il convertitore a conteggio viene anche chiamato *convertitore a rampa digitale*. Nella figura sono illustrati due intervalli di conversione. Nel primo la tensione analogica è compresa fra 5,5 e 6,5 V e l'uscita digitale vale **110** = 6 V. Nel secondo intervallo  $V_a$  è compresa fra 6,5 e 7,5 V e l'uscita vale **111**. La tensione massima che può essere ricevuta dall'ingresso con un errore di quantizzazione massimo di 0,5 V è nuovamente 7,5 V.

Per una data frequenza di campionamento e per un dato numero di bit d'uscita il convertitore a conteggio in genere richiede una frequenza di clock molto più elevata di quella richiesta dal convertitore ad approssimazioni successive. Nel convertitore a conteggio sono richiesti, con  $N$  bit d'uscita,  $2^N$  cicli di clock per conversione. Nel convertitore ad approssimazioni successive il numero di cicli di clock è  $N$  (o  $N + 2$  se si tiene conto anche dei cicli per il reset e la lettura, come in Fig. 14.13-2). In ogni caso la frequenza di clock aumenta con  $N$ , esponenzialmente nel convertitore a conteggio, linearmente nel convertitore ad approssimazioni successive. Nel convertitore A/D a conteggio la frequenza di campionamento è di solito inferiore ai 100 kHz, mentre nel convertitore ad approssimazioni successive sono possibili frequenze di campionamento fino ad 1 MHz.

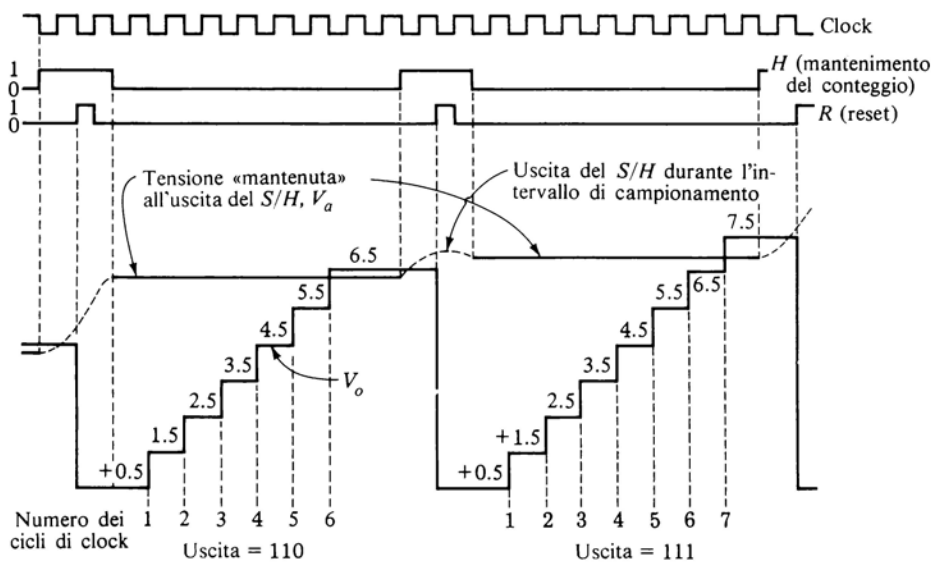


Figura 14.14-2 Forme d'onda nel convertitore A/D di Figura 14.14-1.

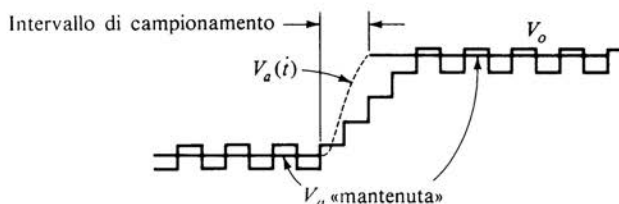


Figura 14.14-3 Funzionamento di un servo-convertitore.

A spese della semplicità circuitale, il convertitore a conteggio può venire perfezionato sostituendo il contatore in avanti di Fig. 14.14-1 con un contatore avanti-indietro (vedi Par. 10.14). Un convertitore così modificato prende il nome di *convertitore a rampa digitale continua* oppure *convertitore asservito* oppure *servo-convertitore*. Il contatore conta in avanti o indietro a seconda che l'uscita del comparatore sia ad **1** oppure a **0** logico e quindi a seconda che  $V_o$  sia maggiore o minore di  $V_a$ . Se inizialmente  $V_a > V_o$ , il contatore conta in avanti finché  $V_o > V_a$ . A questo punto il contatore inverte il conteggio. Se dopo un solo passo indietro si trova che  $V_o < V_a$ , il contatore inverte di nuovo il conteggio e così via. Il livello di  $V_o$  si manterrà perciò a cavallo di  $V_a$ . L'andamento di  $V_o$  durante la fase di mantenimento e durante la fase di campionamento è indicato in Fig. 14.14-3. L'uscita di questo convertitore viene letta, come prima, alla fine dell'intervallo di mantenimento. Confrontandolo con il convertitore a conteggio normale, il servo-convertitore richiede mediamente la metà dei conteggi richiesti dal primo; può pertanto lavorare con frequenza doppia rispetto all'altro.

Dei tre tipi di convertitori appena descritti, tutti forniti di reazione tramite un convertitore D/A, il più diffuso è quello ad approssimazioni successive.

## 14.15 IL CONVERTITORE A DOPPIA RAMPA

Consideriamo ora un tipo di convertitore che non presenta reazione alcuna. Questo convertitore, illustrato in Fig. 14.15-1a, viene chiamato *convertitore a doppia rampa* e viene spesso impiegato nei voltmetri digitali. Verrà ora descritto il principio di funzionamento.

All'inizio del processo di conversione, cioè per  $t=0$ , il commutatore  $S_1$  è collegato al punto A e la tensione campionata  $V_a$  viene applicata all'integratore analogico. Se  $\tau = RC$  è la costante di tempo dell'integratore, la sua uscita sarà  $V_o = -(t/\tau)V_a$ . La forma d'onda di  $V_o$  è illustrata in Fig. 14.15-1b. Nello stesso istante ( $t=0$ ) un segnale di clock viene applicato ad un contatore inizialmente azzerato. Il contatore conta finché i flip-flop del contatore da  $FF0$  a  $FF(N-1)$  non si azzerano tutti insieme, così da avere  $Q_0$

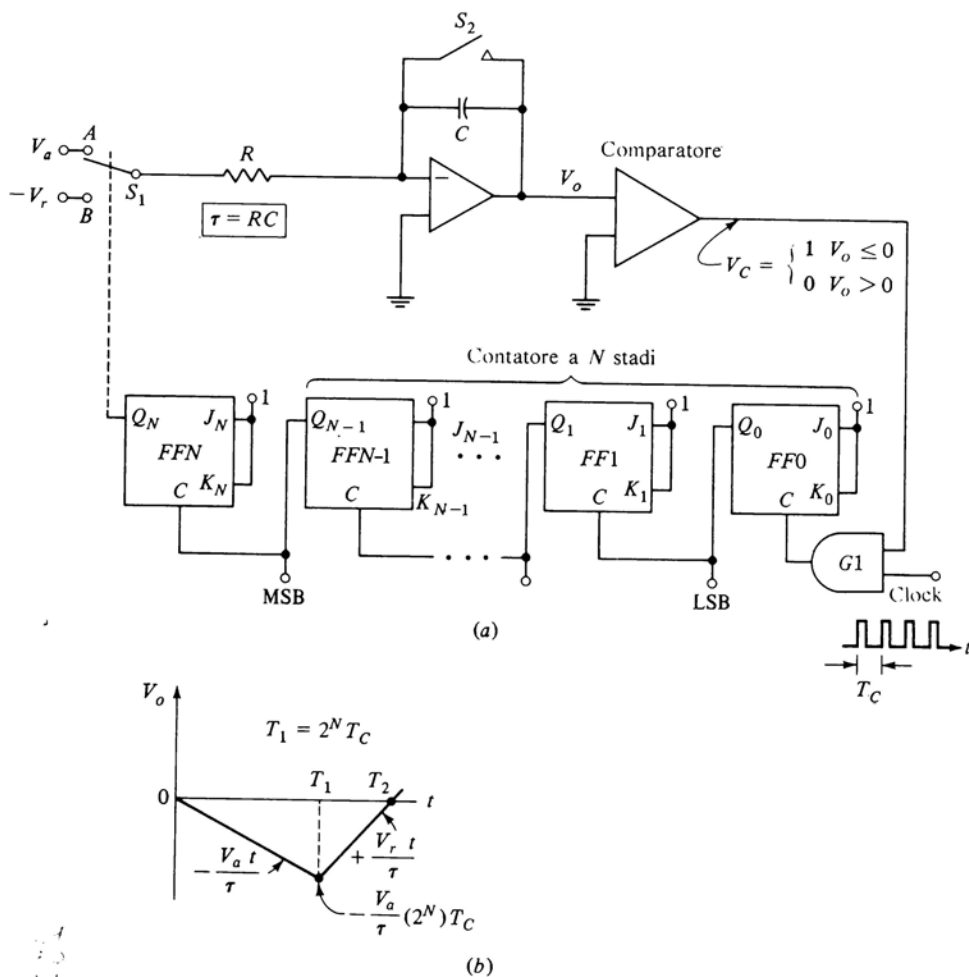


Figura 14.15-1 Convertitore A/D a doppia rampa.

$= Q_1 = Q_{N-1} = 0$ ; in questo istante  $FFN$  passa nella condizione di set e  $Q_N = 1$ . L'uscita  $Q_N$  controlla lo stato di  $S_1$ , e quando  $Q_N = 1$ , il commutatore  $S_1$  commuta portandosi nella posizione  $B$ . L'uscita dell'integratore inizia a questo punto a salire verso i valori positivi, poichè la tensione di riferimento applicata è negativa, cioè  $-V_r$  (vedi Fig. 14.15-1b). Il contatore continua a contare finchè la tensione  $V_o$  non diviene positiva. A questo punto l'uscita del comparatore passa allo stato 0, la porta  $G1$  viene disabilitata ed il conteggio viene bloccato.

Dimostreremo che il numero memorizzato nel contatore ad  $N$  stadi,  $Q_{N-1}, \dots, Q_1, Q_0$ , è direttamente proporzionale a  $V_a$  ed è indipendente dalla costante di tempo  $\tau$ . Il tempo  $T_1$  necessario perchè gli  $N + 1$  flip-flop passino da **00...00** a **10...00** è  $2^N T_C$ , dove  $T_C$  è l'intervallo fra due impulsi. Dopo questo intervallo la tensione d'uscita  $V_o$  è

$$V_o = -\frac{V_a}{\tau} T_1 = -\frac{V_a}{\tau} 2^N T_C \quad (14.15-1)$$

Riferendoci alla Fig. 14.15-1b, vediamo che all'istante  $T_2$ ,  $V_o$  è di nuovo uguale a 0 V e perciò

$$\frac{V_r(T_2 - T_1)}{\tau} = \frac{V_a}{\tau} T_1 \quad (14.15-2)$$

Quindi l'intervallo di tempo  $T_2 - T_1$  è

$$T_2 - T_1 = \frac{V_a}{V_r} 2^N T_C \quad (14.15-3)$$

Se all'istante  $T_2$  il numero memorizzato nei primi  $N$  flip-flop è  $\lambda$ , dal momento che all'istante  $T_1$  era 0, si ha

$$T_2 - T_1 = \lambda T_C = \frac{V_a}{V_r} 2^N T_C \quad (14.15-4)$$

sicchè il numero  $\lambda$  è

$$\lambda = \frac{V_a}{V_r} 2^N \quad (14.15-5)$$

Il sistema funziona quindi da convertitore A/D, purché  $V_a < V_r$ . Poichè  $\lambda < 2^N$ , il conteggio è direttamente proporzionale a  $V_a$  ed è un numero che può essere letto sul contatore. Si può far sì che  $\lambda$  indichi direttamente il valore numerico del segnale analogico. Per far ciò basta che  $V_r = 2^N V_a$ . In questo caso infatti  $\lambda = V_a$ .

Quando il conteggio termina, le uscite di  $FF1 \dots FF(N-1)$  vengono memorizzate, tutti gli  $N + 1$  flip-flop vengono azzerati e la capacità  $C$  viene scaricata tramite l'interruttore  $S_2$ . A questo punto si può procedere ad un nuovo campionamento del segnale analogico. Il circuito logico richiesto per l'azzeramento del sistema viene lasciato come esercizio (Prob. 14.15-2).

## 14.16 CONFRONTO FRA I VARI TIPI DI CONVERTITORI

I convertitori di cui abbiamo parlato possono essere raggruppati, in base alla loro velocità di funzionamento, in tre fasce distinte. Il più veloce è il convertitore a comparatori. Teoricamente in questo convertitore, a meno del tempo di ritardo dei comparatori, l'uscita digitale risulta disponibile nello stesso istante in cui viene applicato l'ingresso analogico. Pertanto questo è il convertitore più adatto quando sia predominante l'esigenza di una velocità di fun-

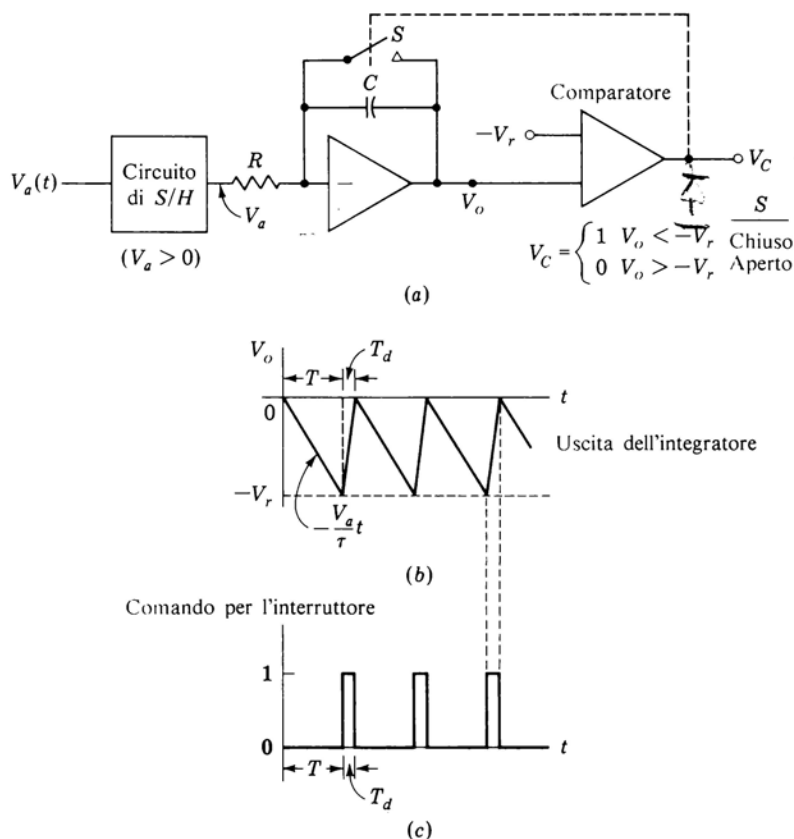


Figura 14.17-1 (a) Convertitore V/F. (b) Forma d'onda di  $V_o$ . (c) Forma d'onda del segnale che pilota l'interruttore.

zionamento elevata. Se il numero di componenti del convertitore a comparatori risulta eccessivo, si può optare per un sistema a cascata di convertitori a comparatori, sacrificando però qualcosa in velocità ed in precisione.

Subito dopo, per quanto riguarda la velocità di funzionamento, viene il convertitore ad approssimazioni successive. Questo comparatore è molto usato nei casi in cui sia richiesta una velocità di funzionamento relativamente alta unita ad una buona qualità. Come si è messo in evidenza, il tempo richiesto per effettuare una conversione cresce linearmente con il numero dei bit d'uscita, dovendo gli impulsi di clock essere circa pari ai bit di uscita. I convertitori a conteggio sono i più lenti, richiedendo  $2^N$  cicli di clock per conversione, dove  $N$  è il numero dei bit d'uscita.

Fra i convertitori a conteggio è molto diffuso il convertitore a doppia ram-

pa, largamente usato in quegli strumenti, come i voltmetri digitali, in cui la velocità di conversione non costituisce un parametro di primaria importanza.

Oltre a quelli descritti esistono molti altri tipi di convertitori, alcuni dei quali si differenziano per il principio di funzionamento ed altri solo per i particolari. A questo punto prenderemo in considerazione per un rapido esame alcuni convertitori che hanno il merito di presentare una configurazione particolarmente semplice ed un costo particolarmente basso.

#### 14.17 CONVERTITORE BASATO SULLA CONVERSIONE TENSIONE-FREQUENZA

Si può realizzare un convertitore A/D anche mediante l'impiego di un contatore e del dispositivo chiamato *convertitore tensione-frequenza* (*convertitore V/F*). In Fig. 14.17-1a è illustrato in forma piuttosto semplificata il convertitore V/F. Il principio di funzionamento è il seguente.

Un segnale analogico  $V_a(t)$  (supposto positivo) viene campionato e mantenuto, in modo da fornire la tensione  $V_a$ . Questa tensione viene applicata ad un integratore la cui uscita è collegata ad un ingresso di un comparatore. L'altro ingresso del comparatore è collegato alla tensione di riferimento  $-V_r$ . Inizialmente l'interruttore  $S$ , posto in parallelo al condensatore di integrazione  $C$ , è aperto e la tensione  $V_o$  decresce linearmente col tempo. Se  $\tau = RC$ , abbiamo  $V_o = -V_a t / \tau$ , come indicato in Fig. 14.17-1b. Quando  $V_o$  arriva a  $-V_r$ , dopo un tempo  $t = T$ , l'uscita  $V_c$  del comparatore diviene positiva per un breve intervallo  $T_d$ , durante il quale l'interruttore  $S$  rimane chiuso, con ciò scaricando il condensatore  $C$  e facendo ritornare l'uscita  $V_o$  dell'integratore a circa 0 V. La velocità di scarica naturalmente è determinata dalla resistenza dell'interruttore. In un sistema reale l'uscita del comparatore, rimanendo positiva per un tempo troppo breve, potrebbe non essere in grado di scaricare completamente il condensatore. In questo caso si interpone, fra l'uscita del comparatore e l'interruttore, un multivibratore monostabile (vedi da Par. 15.3 a 15.5) in grado di sentire l'impulso, anche se breve, del comparatore e di generare un impulso di larghezza  $T_d$ .

Trascorso l'intervallo  $T_d$ , la tensione del comparatore scende allo 0 logico, l'interruttore si apre e  $V_o$  inizia a decrescere nuovamente. Se il tempo di scarica  $T_d$  è molto inferiore al tempo di integrazione  $T$ , la frequenza dei segnali  $V_o$  e  $V_c$  è:

$$f = \frac{1}{T + T_d} \approx \frac{1}{T} = \frac{1}{\tau} \frac{V_a}{V_r} \quad (14.17-1)$$

Il convertitore V/F genera pertanto un segnale d'uscita di frequenza proporzionale alla tensione di ingresso. Un segnale di questo tipo è detto *modulato in frequenza*. Sul mercato sono disponibili comunemente convertitori V/F del tipo descritto.

In Fig. 14.17-2 è illustrato un convertitore A/D impiegante il convertitore

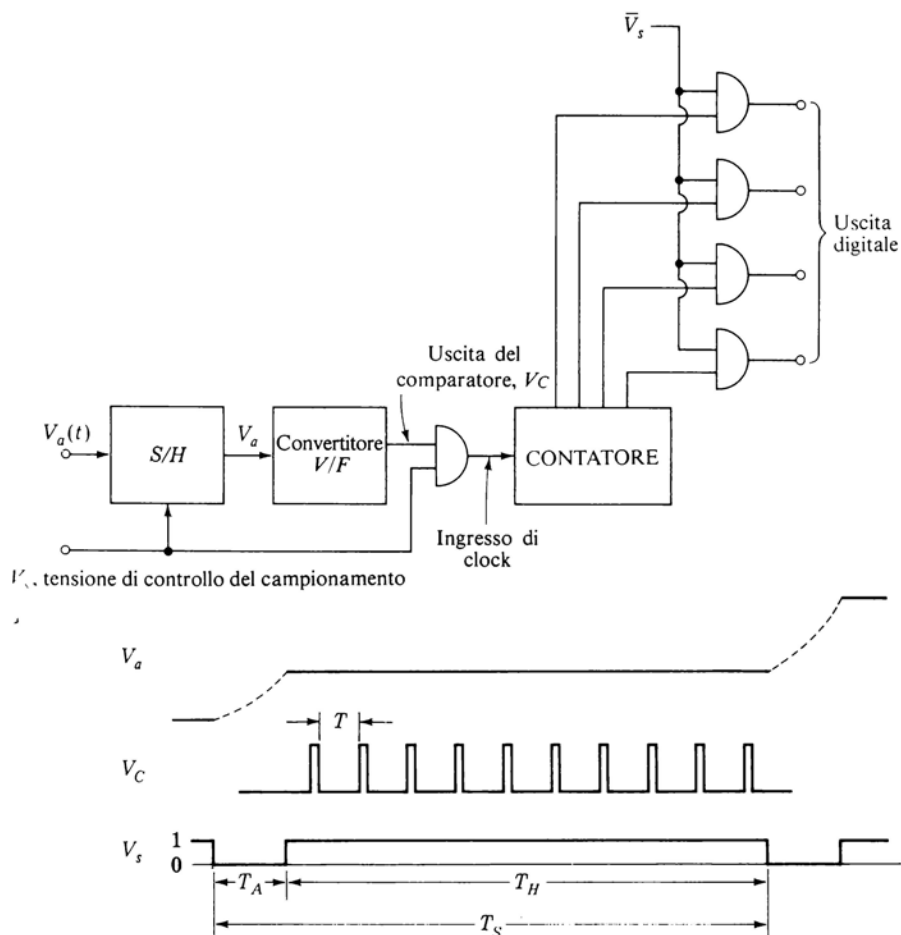


Figura 14.17-2 Convertitore A/D impiegante un convertitore V/F ed un contatore.

V/F. Il convertitore V/F fornisce l'ingresso di clock (costituito dall'uscita  $V_C$  del comparatore) ad un contatore attraverso una porta AND. Come secondo ingresso della porta AND viene utilizzata la tensione di campionamento  $V_s$ , che rimane al livello logico 1 per un tempo fisso  $T_H$ . Finché  $V_s = 1$ , l'uscita  $V_a$  è tenuta fissa al valore che aveva all'inizio dell'intervallo  $T_H$ . Essendo la porta AND abilitata per il tempo  $T_H$ , il conteggio del contatore sarà dato dal numero dei cicli compiuti dall'uscita del convertitore V/F in questo intervallo di tempo. Se indichiamo il numero contato dal contatore con  $\lambda$ , dall'Eq. (14.17-1) si ha  $\lambda = fT_H = T_H V_a / \tau V_r$ , proporzionale a  $V_a$ . L'uscita del



contatore viene letta quando  $V_s$  si trova nello stato **0**. Durante questo intervallo  $T_A$  viene inoltre campionato un nuovo valore di  $V_a(t)$ .

#### 14.18 CONVERTITORE BASATO SULLA CONVERSIONE TENSIONE - TEMPO

Nel paragrafo precedente abbiamo esaminato un convertitore A/D che funziona contando i cicli di un generatore a *frequenza variabile per un periodo di tempo fisso*. Un convertitore però può funzionare anche contando i cicli di un generatore a *frequenza fissa per un periodo di tempo variabile*. Tale convertitore A/D è illustrato in Fig. 14.18-1.

Supponendo che la tensione analogica sia positiva, applichiamo una tensione di riferimento negativa  $V_r$  ad un integratore, la cui uscita viene inviata ad un comparatore. L'uscita del comparatore si trova al livello logico **1** quando l'uscita  $V_i$  dell'integratore è inferiore alla tensione analogica  $V_a$ . Un clock  $V_{cl}$  a frequenza fissa viene applicato al contatore attraverso la porta  $\text{AND } G$ . Il circuito mantiene abilitata questa porta  $\text{AND}$  soltanto da  $t = 0$ , in cui  $V_i = 0$ , a  $t = T$ , in cui  $V_i = V_a$ . Dal momento che  $V_i = V_r t / \tau$ ,

$$T = \frac{\tau V_a}{V_r} \quad (14.18-1)$$

Se  $f_{cl}$  è la frequenza di clock, il numero  $N$  contato durante l'intervallo  $T$  sarà

$$N = f_{cl} T = \frac{\tau f_{cl}}{V_r} V_a \quad (14.18-2)$$

Il numero  $N$ , come richiesto, è proporzionale a  $V_a$ . Si noti che qui, a differenza di quanto avviene nel convertitore a doppia rampa, la taratura del convertitore dipende dalla frequenza di clock e dalla costante di tempo dell'integratore.

Le forme d'onda del convertitore A/D sono illustrate in Fig. 14.18-1b; la tensione di campionamento  $V_s$  campiona la tensione positiva di ingresso  $V_a(t)$  ogni  $T_s$  per un tempo  $T_A$ . La tensione campionata  $V_a$  viene poi mantenuta per un tempo  $T_H$ . Durante questo tempo l'interruttore  $S$  è aperto e l'uscita dell'integratore presenta l'andamento di una rampa. Quando  $V_i < V_a$ , l'uscita del comparatore è allo stato logico **1**. La porta  $G$  rimane abilitata per tutto il tempo che  $V_s$  è allo stato **0** e  $V_c$  è allo stato **1**, cioè per l'intervallo  $T$ . Durante questo intervallo  $T$  la tensione di clock  $V_{cl}$  viene trasmessa, attraverso la porta  $G$ , al contatore ad alta velocità. Così l'uscita del contatore risulta proporzionale a  $T$ . Durante l'intervallo  $T_A$  la porta  $G$  viene disabilitata ed il contatore viene letto. Inoltre l'interruttore  $S$  viene chiuso, il condensatore scaricato e  $V_i$  riportato a 0 V.

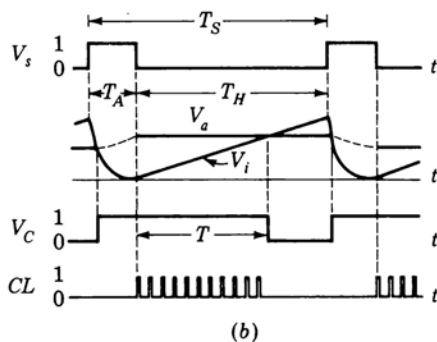
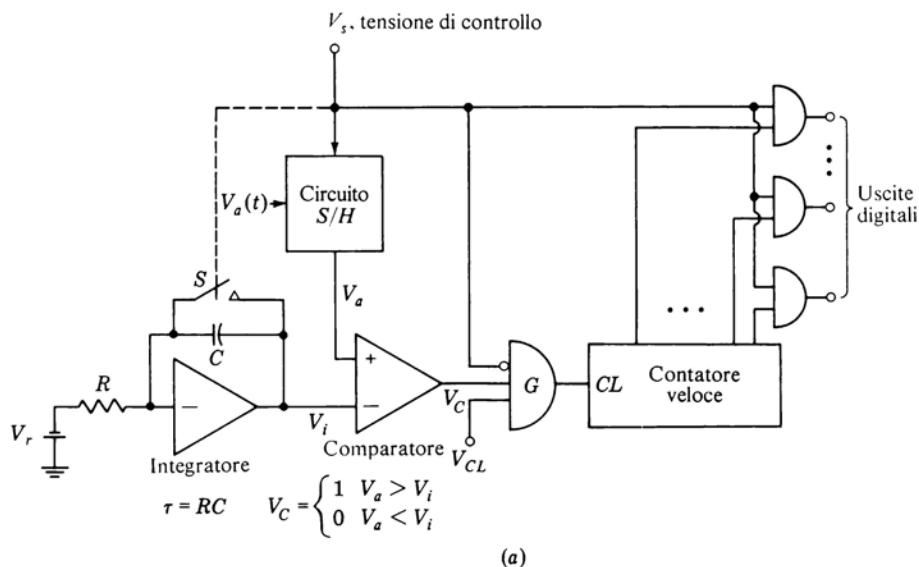


Figura 14.18-1 (a) Convertitore A/D impiegante un convertitore tensione/tempo. (b) Forme d'onda.

## 14.19 SPECIFICHE DEI CONVERTITORI A/D

Le specifiche di un convertitore A/D normalmente fornite dal costruttore comprendono:

**Tensione analogica di ingresso** È la massima tensione di ingresso consentita. Valori tipici sono: da 0 a 10 V,  $\pm 5$  V,  $\pm 10$  V, ecc.

**Impedenza di ingresso** La gamma dei valori va da 1 k $\Omega$  a 1 M $\Omega$ , a seconda

del convertitore A/D. La capacità d'ingresso è dell'ordine delle decine di picofarad.

**Precisione** La *precisione* di un convertitore A/D tiene conto dell'errore di quantizzazione, del rumore del sistema digitale, compreso quello sulla tensione di riferimento (nel convertitore D/A), delle deviazioni dalla linearità, ecc. Di solito l'errore di quantizzazione è dato come  $\pm \frac{1}{2}$  LSB. La precisione tiene conto anche di tutte le altre sorgenti di errore. Valori tipici sono:  $\pm 0,02$  per cento del fondo scala. Esistono tuttavia A/D ad elevata precisione che offrono precisioni dello 0,001 per cento del fondo scala. La precisione di un convertitore generalmente determina il numero dei bit significativi in uscita. Per esempio, consideriamo un convertitore con ingresso analogico di  $\pm 10$  V. Se la precisione è dello 0,02% del valore di fondo scala, l'errore massimo corrispondente è di 2 mV. Con 9, 10, 11 e 12 bit, l'errore di quantizzazione ( $\frac{1}{2}$  LSB) vale rispettivamente 10, 5, 2,5 e 1,25 mV. Impiegare 10 bit anziché 9 in questo caso rappresenta ovviamente un miglioramento. Si può giustificare ancora l'impiego di 11 bit, ma non è più giustificato l'impiego di 12 bit.

**Stabilità** La precisione del sistema dipende generalmente dalla temperatura. Un coefficiente di temperatura tipico è dato da 20 ppm del valore di fondo scala per grado Celsius. Per esempio, con un segnale di 10 V a 75°C si arriva ad un errore di  $(20 \times 10^{-6}) (10V) (75 - 25) = 10$  mV. Con un convertitore A/D a 10 bit questo errore riduce l'attendibilità ai primi 9 bit.

**Tempo di conversione** Tempi di conversione tipici variano da 50  $\mu$ s per dispositivi a bassa velocità a 50 ns per dispositivi ad altissima velocità.

**Formato** Ci sono convertitori A/D per ciascun tipo di codice standard: binario unipolare, binario con offset, complemento a uno e complemento a due. Inoltre i livelli della tensione d'uscita spesso sono adatti al collegamento diretto con i componenti di alcune famiglie logiche (TTL, ECL, ecc.)

## 14.20 INTERCONNESSIONE FRA S/H E CONVERTITORE A/D

Il sistema impiegato per convertire un segnale analogico in una stringa di bit è costituito dall'insieme di un amplificatore S/H e di un convertitore A/D. Queste due unità devono operare in sincronismo, e precisamente il convertitore A/D deve «dire» all'amplificatore S/H quando campionare e quando mantenere il dato campionato.

La Fig. 14.20-1a illustra il sistema di conversione S/H-A/D. Si noti che il convertitore A/D è costituito da due blocchi. Il primo è il convertitore A/D vero e proprio, ad esempio del tipo a comparatori di Fig. 14.12-1 o del tipo ad approssimazioni successive di Fig. 14.13-2. Il secondo blocco è un *circuito di temporizzazione*. L'ingresso di questo circuito è costituito dal treno di impulsi di campionamento. Il circuito di temporizzazione fornisce tutti gli impulsi di clock necessari al convertitore A/D. Inoltre genera un segnale di tem-

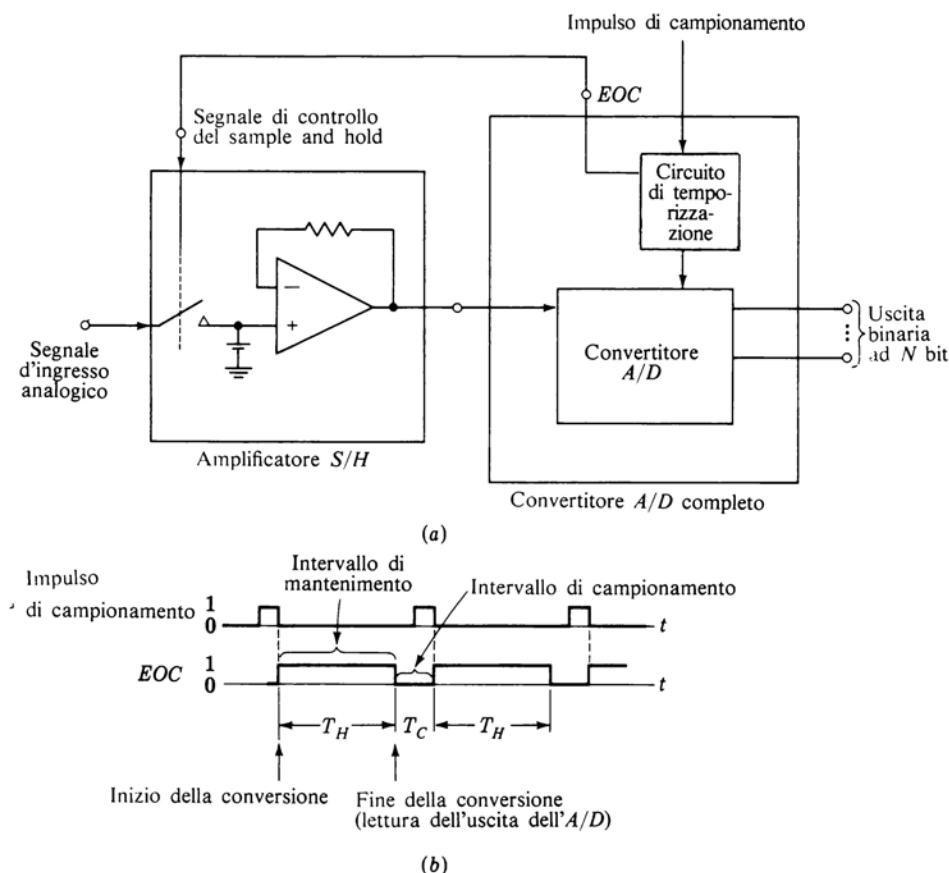


Figura 14.20-1 (a) Interconnessione fra il circuito S/H ed il convertitore A/D. (b) Forme d'onda.

porizzazione chiamato *segnale di fine della conversione* (EOC: *end-of-conversion*) che dice al circuito S/H quando campionare e quando mantenere (vedi Fig. 14.20-1b).

È importante notare che il treno degli impulsi di campionamento è applicato al convertitore A/D e non al circuito S/H. Il controllo sull'S/H avviene tramite il segnale EOC generato dal convertitore A/D. Ciò affinché l'uscita del circuito S/H venga mantenuta costante fino a che il convertitore A/D non ha terminato la sua conversione. A questo punto, mentre l'uscita del convertitore A/D viene visualizzata, il circuito S/H viene abilitato a presentare un nuovo livello analogico alla sua uscita (ciò avviene durante l'intervallo  $T_C$ ).

Se il circuito S/H ed il convertitore A/D non fossero sincronizzati, potrebbe accadere che l'uscita di S/H cambi durante la conversione, portando ad un'uscita digitale del tutto errata.

## 14.21 MODULAZIONE DELTA<sup>1</sup>

I convertitori A/D trattati precedentemente consentono di rappresentare in maniera digitale un segnale analogico. La caratteristica fondamentale di tutti i convertitori esaminati è quella di generare, per ogni campione del segnale analogico, una parola in codice di  $N$  bit. Sebbene si utilizzino diversi tipi di codice (binario con offset, complemento ad uno, complemento a due, ecc.), questa operazione viene comunemente indicata con il termine di *modulazione ad impulsi codificati* (PCM). Il sistema PCM ha trovato una vasta gamma di applicazioni, dall'elaborazione aritmetica con calcolatori alla trasmissione dati e alla trasmissione di segnali audio e video.

In questo paragrafo esamineremo un tipo di convertitore A/D diverso dai precedenti, chiamato *modulatore delta* (DM: *delta modulator*). Anche se le applicazioni del DM a tutt'oggi non sono così estese come quelle del PCM, il loro numero sta crescendo rapidamente. Una delle principali applicazioni del DM consiste nella codificazione dei segnali vocali a monte della trasmissione. Si è trovato che, a parità di chiarezza del suono, il DM lavora con una velocità di bit *inferiore* a quella del PCM. Dal momento che la larghezza della banda del canale richiesta aumenta con la velocità di bit e dal momento che una banda più stretta rappresenta normalmente un vantaggio, risulta chiaro perché molti sistemi per il trattamento digitale della voce si siano orientati verso il DM.

**Struttura base del DM «lineare»** Lo schema a blocchi di un DM è illustrato in Fig. 14.21-1a. In fig. 14.21-1b, c, d sono illustrate le principali forme d'onda. Il segnale analogico  $M(t)$  ed il segnale approssimato  $\hat{M}(t)$  elaborato dal modulatore delta vengono presentati in modo continuo agli ingressi di un comparatore. L'uscita del comparatore può assumere due possibili livelli di tensione: il livello logico 1 se  $M(t) \geq \hat{M}(t)$  ed il livello logico 0 se  $M(t) < \hat{M}(t)$ . Il segnale d'uscita del comparatore (non disegnato) viene campionato ad ogni ciclo di clock e mantenuto al valore campionato per tutta la durata del ciclo. Se all'istante di campionamento  $kT_s$  (con  $k$  intero) l'uscita del comparatore si trova al livello logico 0, viene trasmesso  $E(t) = E(kT_s) = 0$ ; se invece l'uscita del comparatore è all'1 logico, viene trasmesso  $E(t) = E(kT_s) = 1$ .

Il segnale approssimato  $\hat{M}(t)$  viene generato mediante il seguente algoritmo: se  $E(kT_s) = 1$ , il che significa  $M(kT_s) \geq \hat{M}(kT_s)$ ,  $\hat{M}(t)$  si incrementa di un gradino  $S_0$  durante l'intervallo  $kT_s + \tau < t < (k+1)T_s + \tau$ . Se  $E(kT_s) = 0$ , il che significa  $M(kT_s) < \hat{M}(kT_s)$ ,  $\hat{M}(kT_s)$  si decrementa dello stesso gradino  $S_0$ . Il ritardo  $\tau$  rappresenta il tempo necessario all'elaboratore per

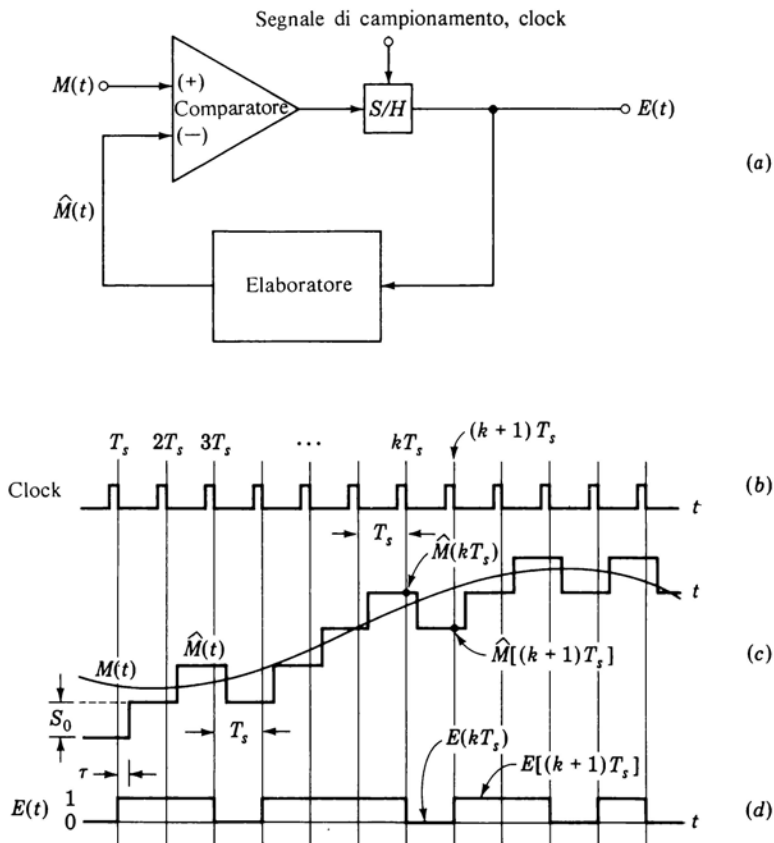


Figura 14.21-1 (a) Modulatore delta base. (b) Il clock. (c) Il segnale originario ed il segnale approssimato. (d) La stringa di bit  $E(t)$  trasmessa.

convertire le variazioni di  $E(t)$  in variazioni di  $\hat{M}(t)$ . L'algoritmo può essere scritto in funzione degli istanti di campionamento  $kT_s$  e  $(k+1)T_s$  in forma di equazione ricorrente

$$\hat{M}[(k+1)T_s] = \hat{M}(kT_s) + S_0 E(kT_s) \quad \text{per tutti i valori di } k \quad (14.21-1)$$

dove  $E(kT_s) = \begin{cases} +1 & \text{se l'uscita del comparatore è all'1 logico} \\ -1 & \text{se l'uscita del comparatore è allo 0 logico} \end{cases}$

Il risultato dell'applicazione di questo algoritmo è illustrato nella forma d'onda di Fig. 14.21-1c. La successione  $E(t)$  dei bit in uscita è illustrata in Fig. 14.21-1d.

L'elaboratore di Fig. 14.21-1a può venire realizzato come in Fig. 14.21-2. L'elaboratore consiste di un contatore avanti-indietro e di un convertitore D/A. Ogni volta che nell'istante di campionamento si ha  $E(kT_s) = 1$ , il numero immagazzinato nel contatore viene incrementato di 1, mentre quando  $E(kT_s) = 0$ , il numero nel contatore viene decrementato di 1.

Un altro semplice tipo di DM è illustrato in Fig. 14.21-3. Qui l'elaboratore non è più un dispositivo digitale, ma un integratore analogico.  $E(kT_s)$  vale  $+V_0/4$  ogni volta che  $M(kT_s) < \hat{M}(kT_s)$  e  $-V_0/4$  ogni volta che  $M(kT_s) > \hat{M}(kT_s)$ . In questo caso il segnale  $\hat{M}(t)$  non è più formato da una successione di gradini in salita o in discesa ma da una successione di rampe di pendenza  $+V_0/4RC$  o  $-V_0/4RC$ . Nell'intervallo di clock  $T_s = 1/f_s$ , la variazione complessiva di  $\hat{M}(t)$ , che chiameremo  $S_0$ , è data da

$$S_0 = \frac{V_0 T_s}{4RC} \quad (14.21-2)$$

**Ricostruzione del segnale analogico** Uno dei grandi vantaggi offerti dalla modulazione delta consiste nella relativa facilità con cui il segnale analogico quantizzato  $\hat{M}(t)$  può venire ricostruito partendo dal segnale digitale trasmesso  $E(t)$ . Il processo di ricostruzione consiste naturalmente in una conversione D/A che è esattamente l'inverso della conversione A/D iniziale. La ricostruzione di  $\hat{M}(t)$  viene effettuata facendo passare il segnale trasmesso  $E(t)$  attraverso un dispositivo di elaborazione uguale a quello impiegato nel trasmettitore. Infatti, come abbiamo fatto notare, l'elaboratore del tr mittitore genera  $\hat{M}(t)$  partendo proprio dal segnale  $E(t)$ . Tuttavia, qualunque sia l'elabora-

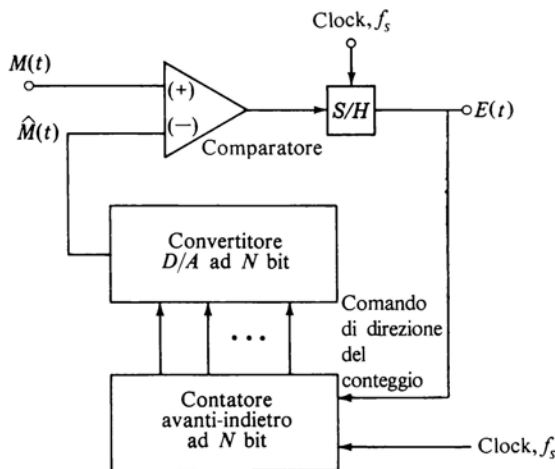


Figura 14.21-2 DM impiegante un contatore avanti-indietro.

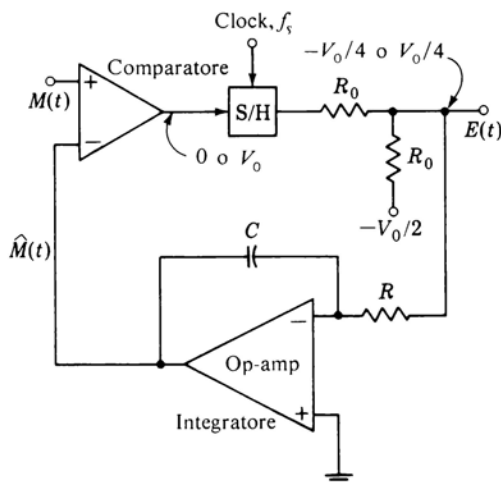


Figura 14.21-3 Una semplice realizzazione del DM.

tore del trasmettitore, digitale come in Fig. 14.21-2 o analogico come in Fig. 14.21-3, per ricostruire il segnale conviene impiegare il semplice dispositivo integratore.

**Limiti del DM lineare** I sistemi DM descritti precedentemente presentano la caratteristica comune che il segnale  $\hat{M}(t)$  cambia di  $\pm S_0$ , cioè di un valore costante, dopo ogni impulso di campionamento. Così se  $E(t)$  è costituito da una lunga successione di 1,  $\hat{M}(t)$  viene ad assumere l'aspetto o di una rampa o di una rampa a gradini. A causa di queste variazioni «lineari» di  $\hat{M}(t)$ , il sistema DM precedentemente descritto prende il nome di *modulazione delta lineare*.

Il principale limite del DM lineare consiste nel fatto che «la pendenza» di  $\hat{M}(t)$  non può superare  $S_0/T_s = S_0 f_s$ . Se la pendenza del segnale  $M(t)$  dovesse mantenersi per un certo tempo ad un valore superiore a  $S_0/T_s$ , la differenza fra  $M(t)$  e  $\hat{M}(t)$  potrebbe diventare notevole. Questa eventualità è rappresentata in Fig. 14.21-4. La differenza fra  $M(t)$  e  $\hat{M}(t)$  prende il nome di *errore di sovraccarico di pendenza*.

Per diminuire questo errore possiamo aumentare l'ampiezza del gradino  $S_0$ , con un corrispondente aumento però dell'errore di quantizzazione; oppure possiamo aumentare la frequenza di campionamento  $f_s$ , con un corrispondente aumento però della larghezza della banda necessaria per trasmettere il segnale  $E(t)$ . A causa di questa limitazione la DM lineare viene raramente impiegata nei casi pratici. Nel paragrafo seguente parleremo del DM



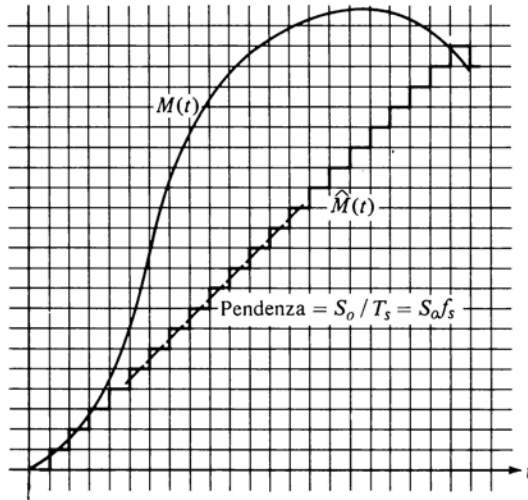


Figura 14.21-4 Sovraccarico di pendenza.

*adattativo*, che risolve il problema del sovraccarico di pendenza generando gradini di ampiezza diversa a seconda delle caratteristiche del segnale  $M(t)$ .

## 14.22 MODULAZIONE DELTA ADATTATIVA

Il DM adattativo differisce dal DM lineare per il fatto che l'ampiezza dei gradini non rimane costante ad  $S_0$ , ma assume valori variabili a seconda dei valori precedenti del segnale di trasmissione  $E(t)$ , cioè  $E(kT_s)$ ,  $E[(k-1)T_s]$ , ...,  $E(0)$ . Questo tipo di DM viene spesso impiegato per convertire la voce in forma digitale. La qualità della riproduzione della voce è dello stesso ordine di quella ottenuta tramite il PCM, anche se il DM opera con velocità inferiori. (La velocità di bit nel DM è pari alla frequenza di campionamento. Nel PCM la velocità di bit è pari al prodotto della frequenza di campionamento per il numero di bit con cui viene codificato ogni valore campionato.)

In questo paragrafo descriveremo un DM adattativo (ADM) progettato e costruito dal Communication Systems Laboratory of CCNY<sup>2</sup>; esso può riprodurre segnali vocali con larghezza di banda fino a 2.400 Hz con intelligibilità di parola del 90% a 9,6 kb/s. Ciò è equivalente ad usare un PCM che codifichi ciascun valore campione con 2 bit.

Nel DM si può scrivere, in forma generale,

$$\hat{M}[(k+1)T_s] = \hat{M}(kT_s) + S[(k+1)T_s] \quad (14.22-1)$$

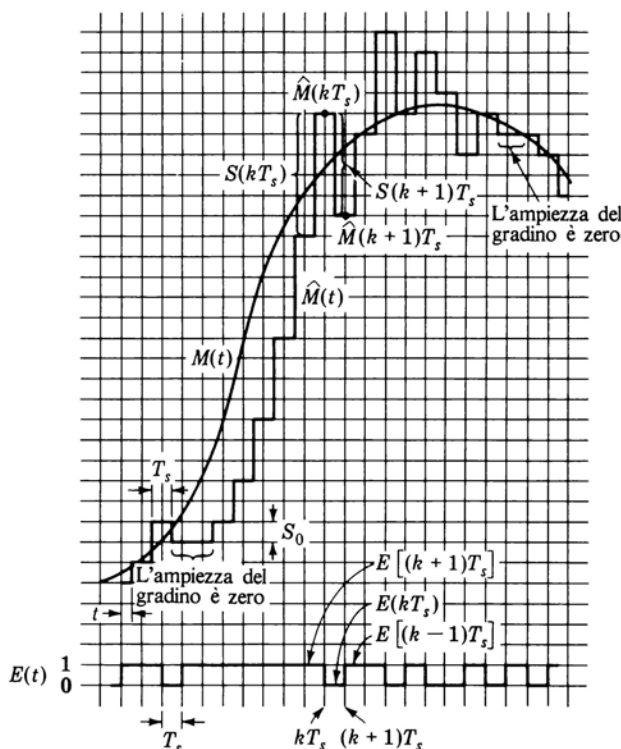


Figura 14.22-1 Un ADM è in grado di approssimare in maniera più precisa la stessa curva di Fig. 14.21-4. L'ampiezza del gradino base è la stessa di Fig. 14.21-4.

dove  $S[(k+1)T_s]$  è l'ampiezza del gradino di cui il segnale  $\hat{M}(t)$  varia all'istante  $t = kT_s + \tau$  (vedi Fig. 14.21-1c). Nel DM lineare si ha

$$S[(k+1)T_s] = S_0 E(kT_s) \quad (14.22-2)$$

che porta all'Eq. (14.21-1). In un sistema ADM l'ampiezza del gradino  $S[(k+1)T_s]$  non è costante come nell'Eq. (14.21-2). Viceversa nel sistema qui descritto  $S[(k+1)T_s]$  è data da

$$S[(k+1)T_s] = |S(kT_s)| E(kT_s) + S_0 E[(k-1)T_s] \quad (14.22-3)$$

In Fig. 14.22-1 sono illustrati il segnale  $M(t)$  ed il segnale approssimato  $\hat{M}(t)$  che si ricava se  $S[(k+1)T_s]$  è prodotta dall'algoritmo dell'Eq. (14.22-3).

Per verificare che  $\hat{M}(t)$  è conforme all'Eq. (14.22-3) occorre tener presente che  $S[(k+1)T_s]$  rappresenta il salto di  $\hat{M}(t)$  all'istante  $kT_s + \tau$ , dove  $\tau$  rappresenta il ritardo dovuto all'elaboratore. Però  $E(kT_s)$  si riferisce alla tensione all'ingresso dell'elaboratore subito dopo il  $k$ -esimo impulso di clock. Ciò è illustrato in Fig. 14.22-1. Il segnale  $M(t)$  di Fig. 14.22-1 genererebbe un errore di sovraccarico di pendenza notevole nel caso si impiegasse un DM lineare. Nel nostro caso invece, se la condizione  $M(t) > \hat{M}(t)$  persiste, i salti di  $\hat{M}(t)$  divengono sempre più ampi. Il segnale approssimato  $\hat{M}(t)$  si avvicina ad  $M(t)$  molto più di quanto avvenga con la modulazione lineare. D'altra parte però, quando l'ampiezza dei gradini di  $\hat{M}(t)$ , in risposta ad una pendenza elevata di  $M(t)$ , ha raggiunto valori elevati, devono intercorrere parecchi cicli di clock prima che l'ampiezza di questi gradini ritorni a valori bassi. Questa situazione si verifica in Fig. 14.22-1 in prossimità del tratto superiore di  $M(t)$ . Pertanto è vero che il sistema ADM riduce l'errore di pendenza, ma lo fa a spese di un aumento dell'errore di quantizzazione.

Nel caso della trasmissione della voce è preferibile una riduzione dell'errore di pendenza anche se accompagnata da un aumento dell'errore di quantizzazione. Questo poiché le frequenze spurie introdotte nel segnale ricostruito dall'errore di sovraccarico di pendenza interessano principalmente la parte inferiore dello spettro di frequenza, mentre le frequenze introdotte dall'errore di quantizzazione sono in genere frequenze elevate. La maggior parte della potenza associata al segnale vocale è concentrata principalmente nella parte bassa dello spettro, per cui sono proprio le basse frequenze quelle che devono venire riprodotte il più possibile senza rumore, onde conservare l'intelligibilità del segnale trasmesso. Facendo passare il segnale ricostruito attraverso un filtro passa-basso saremo in grado di discriminare il rumore ad alta frequenza dovuto all'errore di quantizzazione senza per questo degradare significativamente il segnale vocale.

Può essere interessante notare, nel grafico di  $\hat{M}(t)$  di Fig. 14.22-1, che  $\hat{M}(t)$  non sempre varia ad ogni ciclo di clock. Ad esempio nei due intervalli indicati con la parentesi graffa non si verifica alcuna variazione. Si può verificare anche che in condizioni stazionarie, quando cioè  $M(t)$  rimane costante (entro un intervallo  $S_0$ ),  $\hat{M}(t)$  oscilla intorno ad  $M(t)$  con una frequenza pari alla metà della frequenza che si avrebbe nel DM lineare.

## BIBLIOGRAFIA

- 1 Taub, H., and D. L. Schilling: "Principles of Communications Systems", McGraw-Hill, New York, 1971.
- 2 Song, C. L., J. Garodnick, and D. L. Schilling: A Robust Delta Modulator. *IEEE Trans. Commun. Technol.*, December 1971.



## CIRCUITI DI TEMPORIZZAZIONE

In questo capitolo prenderemo in considerazione due circuiti di temporizzazione, il *multivibratore monostabile* ed il *multivibratore astabile*, ed un *temporizzatore (timer)* per uso generale in grado di funzionare sia da monostabile che da astabile e in grado di realizzare varie altre funzioni di temporizzazione.

Il flip-flop (chiamato anche multivibratore bistabile) presenta, come si ricorderà, due stati stabili in ciascuno dei quali può rimanere indeterminatamente. Il multivibratore monostabile presenta un solo stato stabile ed uno stato quasi-stabile. Il circuito può rimanere nello stato quasi-stabile per un tempo molto più lungo della durata della transizione da uno stato all'altro. Alla fine dello stato quasi-stabile il circuito ritorna però allo stato stabile da solo, senza cioè che sia necessario alcun segnale esterno per provocare questa transizione inversa.

Il monostabile viene chiamato anche in altri modi. Per il fatto che, una volta che è stato fatto commutare, ritorna senza bisogno di altro comando nello stato di partenza, prende il nome di *one-shot*. Per il fatto che genera un segnale rettangolare che può essere usato per comandare altri circuiti, prende anche il nome di *circuito di controllo*. E ancora, per il fatto che genera una transizione dopo un predeterminato ritardo  $T$  dal segnale di comando, prende anche il nome di *circuito di ritardo*.

Il multivibratore astabile presenta due stati entrambi quasi-stabili. L'astabile compie transizioni successive da uno stato all'altro, senza che intervenga alcun segnale di trigger esterno. Pertanto l'astabile è un *oscillatore* che può essere usato come generatore di onde quadre o di segnali di temporizzazione.

### 15.1 MULTIVIBRATORI A CMOS

Le porte CMOS si prestano in modo egregio ad essere impiegate nei multivibratori monostabile e astabile. In questo paragrafo prenderemo in esame circuiti monostabili realizzati con queste porte.

Le porte CMOS sono state trattate nel Cap. 8. In Fig. 8.9-2 è illustrato lo schema circuitale di una porta  $\text{NOR}$  a due ingressi; questo schema viene

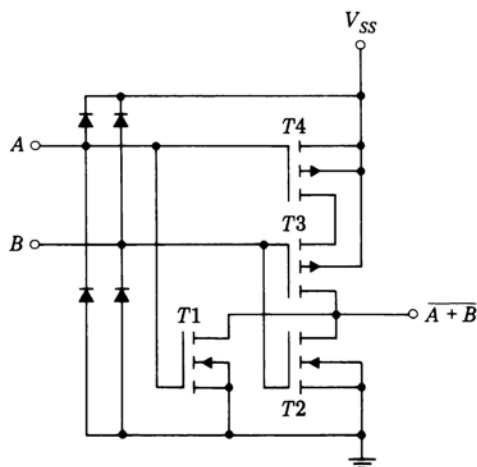


Figura 15.1-1 Schema circuitale della porta NOR CMOS a due ingressi, comprendente i diodi di protezione degli ingressi (Motorola MC 14001).

riproposto in Fig. 15.1-1. Si noti la presenza dei diodi di protezione agli ingressi (Par. 1.16). Questi diodi sono disposti fra ciascuno degli ingressi ed i due collegamenti di alimentazione in modo da limitare (insieme con l'impedenza resistiva dei generatori che pilotano gli ingressi) le tensioni sui gate dei MOS a valori compresi fra la tensione di massa e  $V_{ss}$ . Questa limitazione è necessaria per garantire che le tensioni di gate non superino mai la tensione di perforazione dello strato di ossido che isola il gate dal semiconduttore. In pratica questa tensione è dell'ordine di 100 V e pertanto in condizioni normali di funzionamento (con tensioni di alimentazione  $V_{ss}$  intorno ai 10 V) è improbabile che venga superata. Tuttavia i dispositivi a MOS presentano una particolare caratteristica che può provocare qualche problema. La resistenza

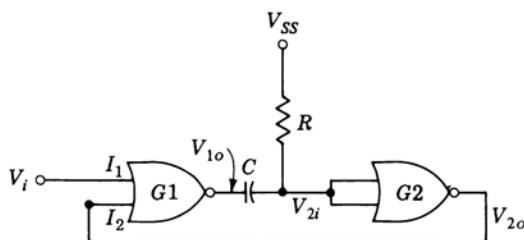


Figura 15.1-2 Multivibratore monostabile a porte NOR CMOS.

di isolamento del gate è estremamente elevata ( $\approx 10^{12} \Omega$ ). In assenza di un collegamento in continua che consenta la dispersione di carica elettrica dal gate, anche la semplice carica statica che può stabilirsi inavvertitamente sul gate (toccando ad esempio il terminale corrispondente) può provocare la perforazione. La presenza dei diodi impedisce pertanto il verificarsi di questo inconveniente.

Nei normali circuiti a porte logiche questi diodi di ingresso possono non esser mai chiamati a condurre. Viceversa nei multivibratori alcuni di questi diodi sono essenziali al funzionamento e, se non fossero già compresi nelle porte, sarebbe necessario aggiungerli esternamente.

In Fig. 15.1-2 è illustrato un multivibratore monostabile a CMOS utilizzando due porte NOR. Come indicato in figura, il resistore  $R$  viene collegato alla tensione di alimentazione  $V_{SS}$  delle porte. I due ingressi della porta  $G2$  sono collegati insieme, poichè questa porta viene usata semplicemente come invertitore.

L'andamento preciso della forma d'onda del monostabile a CMOS dipende dalla caratteristica ingresso-uscita della porta CMOS. In Fig. 8.4-1b è illustrata una caratteristica tipica. Poichè lo scopo primario del monostabile consiste nel generare prestabiliti intervalli di tempo, rivestono particolare importanza il valore, la stabilità, ecc. di questi intervalli, mentre è meno importante conoscere l'esatto andamento delle forme d'onda. Per questo motivo assumeremo, per semplicità, come caratteristica ingresso-uscita del CMOS la caratteristica riportata in Fig. 15.1-3. Supporremo che l'uscita presenti una brusca transizione fra  $V_{SS}$  e 0 in corrispondenza del valore di transizione  $V_T$  della tensione di ingresso. Con questa semplificazione le forme d'onda del monostabile vengono ad essere quelle rappresentate in Fig. 15.1-4.

Nello stato stabile l'ingresso  $V_{2i}$  della porta  $G2$  si troverà al livello logico 1; cioè  $V_{2i} = V_{SS}$  (poichè le porte MOS e quindi  $G2$  assorbono una corrente di ingresso trascurabile). L'uscita  $V_{2o}$  sarà a circa 0 V, cioè al livello logico 0.

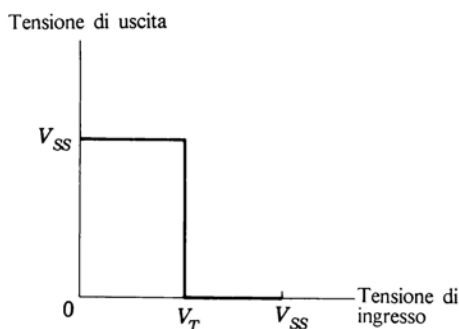


Figura 15.1-3 Caratteristica ingresso-uscita idealizzata di una porta CMOS.

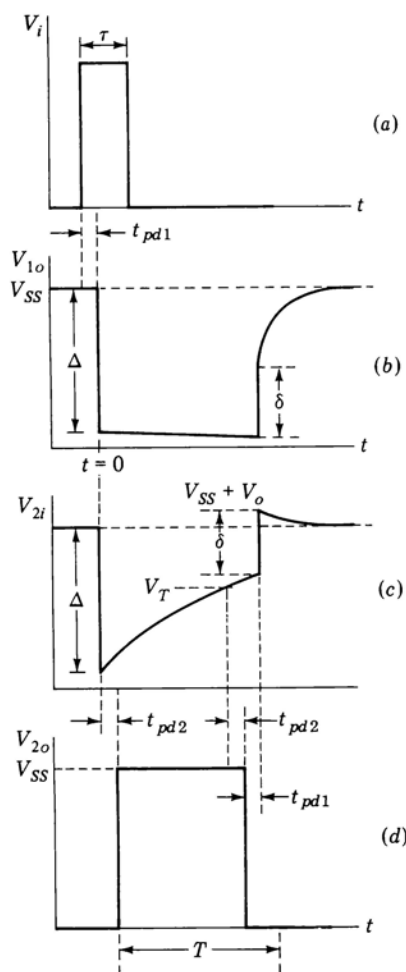


Figura 15.1-4 Forme d'onda del multivibratore monostabile a CMOS.

Il segnale di trigger, che provoca il passaggio allo stato quasi-stabile, viene applicato al terminale di ingresso  $I_1$  della porta  $G1$ . Con il segnale  $V_i$  allo 0 logico ed il segnale  $V_{2o}$  applicato a  $I_2$  pure allo 0 logico, l'uscita  $V_{1o}$  della porta  $G1$  si troverà all'1 logico, cioè a  $V_{SS}$ . Pertanto il condensatore  $C$  inizialmente è scarico.

Applichiamo ora ad  $I_1$  un breve impulso positivo, come indicato in Fig. 15.1-4a, di ampiezza tale da portare  $I_1$  al livello logico 1. Allora, dopo un ritardo dovuto al tempo di propagazione  $t_{pd1}$  di  $G1$ ,  $V_{1o}$  scenderà di colpo (Fig.



15.1-4b), e questa caduta verrà trasmessa attraverso  $C$  all'ingresso della porta  $G2$ . Supponendo che la caduta sia sufficientemente ampia da portare la tensione  $V_{2i}$  (Fig. 15.1-4c) al livello logico **0**, la tensione di uscita  $V_{2o}$  (Fig. 15.1-4d) salirà bruscamente all'1 logico dopo un tempo di ritardo  $t_{pd2}$ . L'ingresso  $I_2$  della porta  $G1$  verrà allora mantenuto all'1 logico e l'uscita di  $G1$  non sarà influenzata dalla fine dell'impulso di trigger  $V_i$ . Teniamo presente però che l'impulso di trigger è indispensabile per portare il circuito nello stato quasi-stabile. Si noti che la durata minima dell'impulso  $V_i$  deve essere superiore al ritardo di propagazione attraverso tutte e due le porte  $G1$  e  $G2$ , cioè  $\tau > t_{pd1} + t_{pd2}$ .

Inizialmente, nello stato stabile, la corrente attraverso  $R$  è nulla come pure è nulla la tensione ai capi di  $C$ . Appena si verifica la transizione allo stato quasi-stabile, attraverso  $R$  viene a scorrere una corrente che, dopo esser passata attraverso  $C$ , viene assorbita dall'uscita della porta  $G1$ .

Se la porta fosse ideale, l'uscita  $V_{1o}$  cadrebbe di colpo dal valore iniziale  $V_{SS}$  a massa. La porta  $G1$  però presenta una resistenza di uscita  $R_{o1}$ ; allora la caduta di tensione  $\Delta$  di  $V_{1o}$  e  $V_{2i}$  non sarà uguale, come si può verificare, a  $V_{SS}$ , ma sarà invece data da

$$\Delta = \frac{R}{R + R_{o1}} V_{SS} \quad (15.1-1)$$

sicché  $\Delta$  approssima  $V_{SS}$  solo se  $R \gg R_{o1}$ .

Il condensatore  $C$  inizia a caricarsi a  $V_{SS}$  attraverso  $R$  e  $R_{o1}$  e la sua corrente di carica decresce col tempo. Di conseguenza anche la caduta ai capi di  $R_{o1}$  decresce col tempo e, durante lo stato quasi-stabile, la forma d'onda  $V_{1o}$  presenta una leggera pendenza negativa.

Partendo dall'istante  $t = 0$  (in cui  $V_{1o}$  e  $V_{2i}$  scendono di colpo di  $\Delta$ ), la tensione  $V_{2i}$  sale dal valore  $V_{SS} - \Delta$  a  $V_{SS}$  in maniera esponenziale. La costante di tempo associata a questa forma d'onda esponenziale è  $(R + R_{o1})C$ . Lo stato quasi stabile termina quando la tensione  $V_{2i}$  raggiunge la tensione di transizione  $V_T$ . Quando  $V_{2i}$  raggiunge  $V_T$ ,  $V_{2o}$  ritorna al suo valore iniziale di 0 V e, non appena il condensatore  $C$  ha terminato di dissipare la carica accumulata, anche  $V_{1o}$  e  $V_{2i}$  tornano al loro valore iniziale  $V_{SS}$ . Il circuito rimane nello stato stabile fino a quando non arriva un nuovo impulso di trigger a riportare il circuito nello stato quasi-stabile. La durata dello stato quasi-stabile è data dalla relazione (vedi Prob. 15.1-1).

$$T = (R + R_{o1})C \ln \left( \frac{\Delta}{V_{SS} - V_T} \right) \approx (R + R_{o1})C \ln \frac{V_{SS}}{V_{SS} - V_T} \quad (15.1-2)$$

Nel caso tipico, con  $V_T = V_{SS} / 2$ , si trova  $T = 0,7 (R + R_{o1}) C$ .

In Fig. 15.1-5 è disegnato il circuito interessato alla carica e alla scarica del condensatore di temporizzazione  $C$ . Il diodo  $D$  sta a rappresentare i diodi

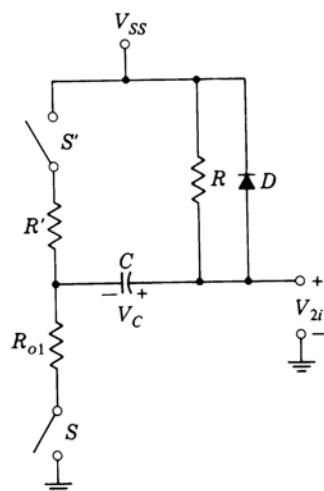


Figura 15.1-5 Circuito per la determinazione del ciclo di carica e di scarica del condensatore di temporizzazione  $C$ .

che collegano l'ingresso comune della porta  $G2$  all'alimentazione  $V_{ss}$ . La porta  $G1$ , vista dall'uscita, può essere rappresentata tramite i due interruttori  $S$  e  $S'$  ed i resistori  $R_{o1}$  e  $R'$ . Nello stato stabile  $S'$  è chiuso ed  $S$  è aperto e la tensione  $V_C$  ai capi del condensatore vale  $V_C = 0$  V. Lo stato quasi-stabile inizia quando  $S$  si chiude ed  $S'$  si apre e  $C$  inizia a caricarsi a  $V_{ss}$  attraverso  $R$  e  $R_{o1}$ . Se  $R$  è sufficientemente elevato, la tensione ai capi dei transistori ( $T1$  e  $T2$  nella Fig. 15.1-1) sarà tanto bassa (e rimarrà così per tutta la carica di  $C$ ) da far sì che i transistori lavorino nella loro regione di triodo, regione in cui possono essere ragionevolmente rappresentati mediante il resistore  $R_{o1}$ .

Lo stato quasi-stabile termina quando  $S$  si apre ed  $S'$  si chiude. Nello stato quasi-stabile il condensatore si carica ad una tensione dello stesso ordine di  $V_{ss}$ . Al termine dello stato quasi-stabile,  $C$  si scarica attraverso il diodo  $D$  ed il resistore  $R'$ . Questo resistore  $R'$  sta a rappresentare la serie dei due transistori  $T3$  e  $T4$  di Fig. 15.1-1. Inizialmente, quando  $V_C$  è elevato, i transistori possono trovarsi in regione di saturazione, sicché il condensatore si scarica a velocità nominalmente costante. Al diminuire di  $V_C$  i transistori possono entrare in regione di triodo, sicché la scarica del condensatore viene ad assumere un andamento esponenziale. Infine, dopo che la tensione  $V_C$  è scesa ad un valore tale per cui la tensione ai capi del diodo risulta essere minore della tensione di soglia  $V_Y$  ( $\approx 0,65$  V), il condensatore  $C$  continuerà a scaricarsi attraverso  $R'$  ed  $R$ .

Quando  $S$  si apre,  $S'$  si chiude ed il diodo  $D$  inizia a condurre; la tensione

$V_{2i}$  passa al valore  $V_{SS} + V_D$  (poiché il diodo in questa condizione deve sopportare una corrente considerevole, assumeremo per  $V_D$  il valore di 0,75 V). Pertanto, come si può vedere dalla Fig. 15.1-4c, al termine dello stato quasi-stabile,  $V_{2i}$  passa di colpo da  $V_T$  a  $V_{SS} + V_D$ . L'ampiezza del salto è  $\delta = V_{SS} + V_D - V_T$ . Dal momento che l'uscita di  $G1$  è accoppiata tramite un condensatore all'ingresso di  $G2$  e dal momento che la tensione ai capi di un condensatore non può subire brusche variazioni, lo stesso salto  $\delta$  comparirà nella forma d'onda di  $V_{1o}$ . Successivamente, sia  $V_{2i}$  che  $V_{1o}$  raggiungono il loro valore di riposo  $V_{SS}$ . Come abbiamo già puntualizzato,  $R'$  non è un resistore vero e proprio e  $D$  non si mantiene in conduzione proprio fino alla fine; nonostante ciò però, per semplicità, abbiamo disegnato le Fig. 15.1-4b e c come se la scarica di  $C$  avvenisse esattamente secondo una curva esponenziale.

**ESEMPIO 15.1-1** Nel multivibratore monostabile di Fig. 15.1-2,  $V_{SS} = 10$  V,  $V_T = 5$  V,  $C = 0,01$   $\mu$ F,  $R = 10$  k $\Omega$ ,  $R_{o1} = 500\Omega$  e si suppone che  $R'$  sia un «resistore» di valore  $R' = 1$  k $\Omega$ .

(a) Trovare  $\Delta$ ,  $\delta$  e la tensione  $V_{1o}$  al termine dello stato quasi-stabile.

(b) Calcolare la durata  $T$  dello stato quasi-stabile.

(c) Calcolare il tempo richiesto dal condensatore, a partire dal termine dello stato quasi-stabile, per scaricarsi a 0,1 V.

(d) Applicare un secondo impulso di trigger quando  $V_C = 0,1$  V. Confrontare fra di loro i due intervalli di temporizzazione.

**SOLUZIONE** (a) Dall'Eq. (15.1-1),  $\Delta = [10/(10 + 0,5)] \cdot (10) = 9,5$  V;  $\delta = V_{SS} + V_D - V_T = 10 + 0,75 - 5 = 5,75$  V; quando  $V_{2i} = V_T = 5$  V, la corrente in  $R$  e  $R_{o1}$  vale  $(V_{SS} - V_T)/R$ . La caduta su  $R_{o1}$  vale  $R_{o1} (V_{SS} - V_T)/R = 0,5(5)/10 = 0,25$  V =  $V_{1o}$ .

(b) Dall'Eq. (15.1-2),

$$\begin{aligned} T &= (R + R_{o1})C \ln \left( \frac{V_{SS}}{V_{SS} - V_T} \right) \\ &= (10 + 0,5) \times 10^3 \times 0,01 \times 10^{-6} \ln \left( \frac{10}{5} \right) \\ &= 72 \mu\text{s} \end{aligned}$$

(c) Supponiamo che la tensione ai capi del diodo si mantenga pari a 0,7 V (un compromesso fra 0,65 e 0,75 V) finché la corrente nel diodo si mantiene superiore o uguale a 0,1 mA. Sia  $t = 0$  l'istante in cui inizia la scarica del condensatore; in questo istante la tensione sul condensatore vale  $V_C = 5 - 0,25 = 4,75$  V. La corrente di scarica corrispondente vale allora

$$I_C = \frac{4,75}{R'} e^{-t/R'C} = 4,75 e^{-10^5 t} \quad \text{mA}$$

Si trova  $I_C = 0,1$  mA all'istante  $t = 39 \mu\text{s}$ . Immediatamente prima che il diodo si interdica, la tensione  $V_C$  sul condensatore vale  $0,7$  V +  $I_C R' = 0,7 + 0,1 = 0,8$  V. La caduta da 0,8 a 0,1 V della tensione  $V_C$  avviene con il condensatore che si scarica attraverso la serie di  $R$  con  $R'$ . Il tempo corrispondente si ricava dalla

$$V_C = 0,8 e^{-t/(R+R')C} = 0,8 e^{-1,1 \times 10^{-4} t}$$

Si trova che  $V_C = 0,1$  V all'istante  $t = 230 \mu\text{s}$ . Il tempo complessivo vale quindi  $39 + 230 = 269 \mu\text{s}$ . Si noti che il tempo richiesto affinché il circuito, terminato lo stato quasi-stabile, recuperi il suo stato ini-

ziale, è notevolmente più elevato della durata dello stato quasi-stabile stesso.

(d) Come calcolato in (b), il condensatore si carica da 0 a 5 V in 72  $\mu$ s. Supponiamo, per semplificare i calcoli, che la carica avvenga a velocità costante. L'approssimazione che ne deriva non è delle migliori, ma è sufficiente per i nostri scopi. Allora la carica da 0.1 a 5 V richiede un tempo di  $(4.9/5)72 = 70.6 \mu$ s. La variazione assoluta rispetto al primo intervallo di temporizzazione è di 1.4  $\mu$ s mentre la variazione percentuale è di circa il 2%.

In Fig. 15.1-3 abbiamo supposto che la transizione fra i due livelli logici nella porta CMOS avvenga in corrispondenza ad un valore della tensione di ingresso pari alla metà circa della tensione di alimentazione  $V_{SS}$ . In pratica la regione di transizione in una porta CMOS varia da un esemplare all'altro e può cadere in una fascia compresa fra il 30% ed il 70% di  $V_{SS}$ . Quindi, se nel circuito di Fig. 15.1-2 i valori di  $R$  e  $C$  sono stati scelti per ottenere una ben determinata durata dello stato quasi-stabile, questa durata può variare considerevolmente da circuito a circuito a seconda delle porte usate [vedi Eq. (15.1-2)]. Per contro la caratteristica ingresso-uscita di una porta CMOS dimostra una scarsa dipendenza dalla temperatura (vedi Fig. 1.15-3), sicché la durata dello stato quasi stabile risulterà sostanzialmente indipendente dalla temperatura.

Esistono diversi circuiti<sup>1,2</sup> in grado di ridurre considerevolmente la dipendenza dell'intervallo di temporizzazione dall'esemplare di porta CMOS che si è impiegato. Questi circuiti si basano sul fatto che, mentre esiste una notevole differenza fra esemplari di porte realizzati su chip diversi, questa differenza in pratica non esiste più fra esemplari realizzati sullo stesso chip. Un esempio è fornito nel Prob. 15.1-4.

## 15.2 MULTIVIBRATORE ASTABILE A CMOS

In Fig. 15.2-1a è illustrato lo schema di un multivibratore astabile a CMOS che utilizza porte NOR. Anche in questo caso, per non scendere in dettagli non essenziali, assumeremo come caratteristica di ingresso-uscita delle porte quella rappresentata in Fig. 15.1-3. Supporremo inoltre nulla l'impedenza di uscita delle porte e supporremo che i diodi di protezione all'ingresso delle porte si comportino come diodi ideali, cioè supporremo che la tensione di soglia dei diodi sia zero e che la caduta di tensione ai loro capi sia trascurabile.

Con queste assunzioni si vede che le tensioni  $V$  e  $V_{2o}$  sono complementari. Quando una è a  $V_{SS}$ , l'altra è a zero e viceversa. Iniziamo con l'ipotesi che  $V_{1i}$  si trovi ad un livello di tensione più alto di  $V_T$ . Allora  $V$  è a zero e  $V_{2o}$  è alla tensione fissa  $V_{SS}$ . Pertanto  $V_{1i}$  sta scendendo asintoticamente a zero. Quando  $V_{1i}$  raggiunge la tensione  $V_T$ ,  $V$  commuta di colpo a  $V_{SS}$  e conseguentemente  $V_{2o}$  commuta di colpo a zero. Il salto di tensione di  $V_{2o}$  viene trasmesso a  $V_{1i}$  attraverso  $C$ .  $V_{1i}$  non potrà però scendere a valori negativi, a causa dell'azione di fissaggio dei diodi di protezione all'ingresso della porta G1. Arrivati a questo punto,  $V_{1i}$ , che è passata al di sotto di  $V_T$ , inizierà a tendere asintoticamente a  $V_{SS}$ , che è il valore assunto in questa fase

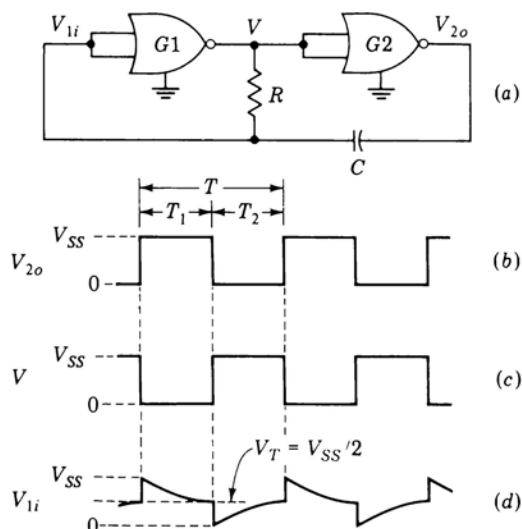


Figura 15.2-1 (a) Multivibratore astabile a CMOS. (da b a d) Forme d'onda idealizzate del circuito.

da  $V$ . Pertanto le tensioni  $V_{2o}$ ,  $V$  e  $V_{li}$  presenteranno delle oscillazioni periodiche che, idealizzate, sono riportate in Fig. 15.2-1b, c e d. Il funzionamento del circuito non dipende da  $V_T$ , se  $V_T$  è pari a  $V_{ss}/2$ . Se però  $V_T \neq V_{ss}/2$ , i due semiperiodi non saranno uguali, cioè  $T_1 \neq T_2$ . In generale si avrà

$$T = T_1 + T_2 = RC \ln \left( \frac{V_{ss}}{V_{ss} - V_T} \cdot \frac{V_{ss}}{V_T} \right) \quad (15.2-1)$$

e, per  $T_1 = T_2$ ,

$$T = 1.4RC \quad (15.2-2)$$

Si noti ancora che in realtà le forme d'onda del circuito di Fig. 15.2-1 presentano delle incoerenze. Infatti dai disegni risulta che su un'armatura del condensatore la tensione compie un salto pari a  $V_{ss}$ , mentre sull'altra armatura il salto di tensione risulta essere pari a  $V_{ss}/2$ . Nel circuito reale la differenza  $V_{ss}/2$  si suddivide in effetti fra l'impedenza di uscita della porta G2 ed il diodo di ingresso della porta G1. Cioè dopo ogni transizione occorre che trascorra un certo intervallo di tempo, anche se breve, prima che la tensione  $V_{2o}$  raggiunga il valore  $V_{ss}$  o zero. Per questo intervallo di tempo,  $V_{li}$  si viene a trovare o al di sopra di  $V_{ss}$  o al di sotto di 0 V. Il condensatore in questo

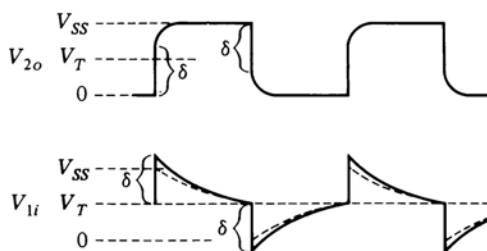


Figura 15.2-2 Forme d'onda di Fig. 15.2-1b e d modificate in modo da tener conto dell'impedenza d'uscita non nulla di  $G2$  e delle caratteristiche reali dei diodi.

intervallo procede a caricarsi o a scaricarsi per una variazione della tensione ai suoi capi di  $V_{SS}/2$ . Pertanto le forme d'onda, più realisticamente, presentano l'andamento di Fig. 15.2-2.

Nel Prob. 15.2-2 è illustrato un secondo schema di multivibratore astabile a CMOS la cui temporizzazione è meno sensibile alle variazioni di  $V_T$  e della tensione di alimentazione.

### 15.3 MULTIVIBRATORI MONOSTABILI A PORTE ECL

Passiamo ora ai circuiti monostabili utilizzando porte integrate  $\text{NOR ECL}$ . In Fig. 15.3-1 è illustrato un flip-flop a porte ECL. Il flip-flop fornisce i fronti di comando, il gruppo  $rC$  esterno le temporizzazioni richieste.

Ricordiamo che le porte ECL impiegano transistori ad alto guadagno di corrente che lavorano o in regione attiva o in interdizione, ma mai in saturazione. Ciascuno dei due ingressi  $S$  (set) e  $R$  (reset) è collegato direttamente alla base di un transistor appartenente rispettivamente alla porta  $G2$  e  $G1$ . La corrente assorbita dalla base è nulla quando il transistor è interdetto. Però anche quando il transistor è  $\text{ON}$ , la corrente di base è così bassa da poter essere trascurata. Sono proprio queste caratteristiche a rendere il flip-flop ECL particolarmente adatto ad essere impiegato nel circuito di Fig. 15.3-1.

In Fig. 15.3-1, quando l'ingresso  $S$  si trova alla tensione  $V(0)$  corrispondente allo 0 logico, il flip-flop verrà a trovarsi in una condizione stabile di reset con  $Q = 0$  e  $\bar{Q} = 1$ . Il lettore può verificare questa affermazione accettando per il flip-flop questa condizione e controllando che i livelli di tutte le uscite e di tutti gli ingressi siano congruenti fra di loro. Accettando invece la condizione opposta, cioè  $Q = 1$  e  $\bar{Q} = 0$ , si giunge ad una situazione di incongruenza, che porta a ritenere valida la prima condizione. Nella condizione stabile di reset,  $V_Q = V_R = V(0)$ . L'ingresso  $R$  della porta  $G1$  vede la base di un transistor in interdizione. La base non assorbe pertanto corrente, per cui an-

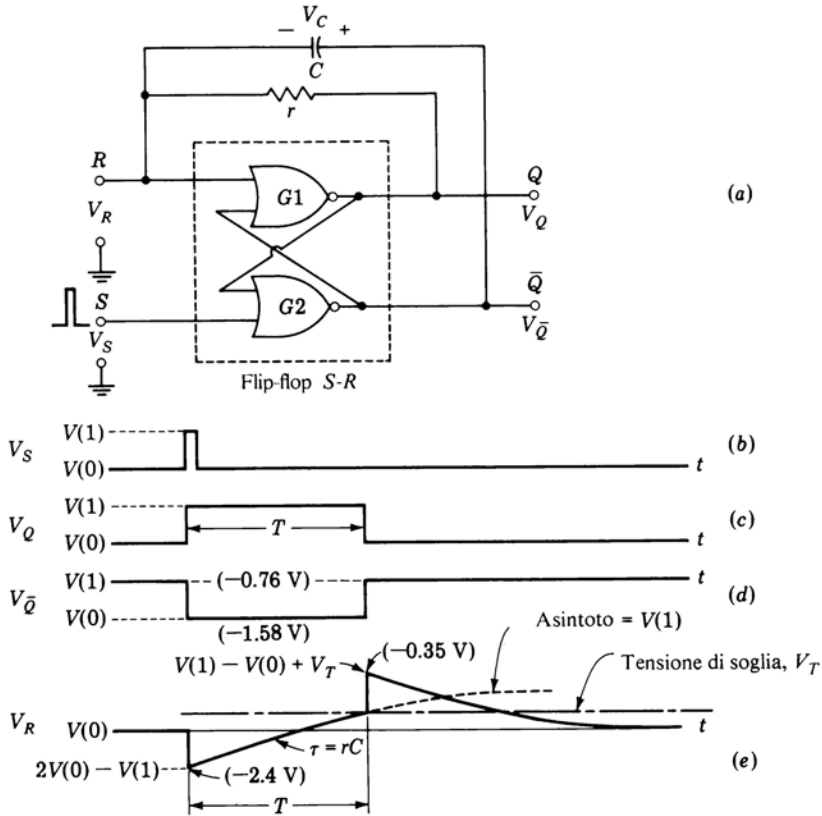


Figura 15.3-1 (a) Multivibratore monostabile a porte NOR ECL. (da b a e) Forme d'onda del circuito.

che la corrente attraverso  $r$  risulta essere nulla. La tensione ai capi del condensatore  $C$  vale  $V_C = V(1) - V(0)$ .

Portiamo ora  $S$  per un breve istante al livello logico corrispondente alla tensione  $V(1)$ , come indicato in Fig. 15.3-1b. Allora, come indicato in Fig. 15.3-1c e d, il flip-flop commuta nello stato di set. La tensione  $V_{\bar{Q}}$  cadrà di colpo di una quantità  $V(1) - V(0)$ . Questo salto viene trasmesso attraverso il condensatore  $C$  al terminale  $R$ , che verrà a trovarsi alla tensione  $V_R = V(0) - [V(1) - V(0)] = 2V(0) - V(1)$ , come indicato. Si noti che, essendo diminuita la tensione su  $R$ , il transistor corrispondente risulta essere ancora più interdetto, sicché in  $R$  non entra corrente alcuna.

La tensione  $V_R$  non può rimanere stabile a  $V_R = 2V(0) - V(1)$ , poichè  $V_Q = V(1)$ . Ai capi di  $r$  viene a localizzarsi una tensione  $V_r = V(1) - [2V(0) -$

$V(1)] = 2 [V(1) - V(0)]$  che produrrà attraverso  $r$  una corrente di carica per il condensatore  $C$ . Di conseguenza la tensione  $V_R$  aumenterà esponenzialmente con costante di tempo

$$\tau = rC \quad (15.3-1)$$

tendendo asintoticamente a  $V(1)$ . [Nell'Eq. (15.3-1) abbiamo trascurato l'impedenza di uscita di  $G2$  poichè, in una porta ECL, essa è di solito molto piccola rispetto ad  $r$ .] Continuando a crescere,  $V_R$  raggiunge il valore  $V_R = V_T$ , dove  $V_T$  è la tensione di transizione del flip-flop. Supponiamo anche in questo caso che esista un'unica e ben definita tensione  $V_R = V_T$  in corrispondenza della quale il flip-flop compie la transizione fra i due stati, mentre per il resto i livelli di tensione del flip-flop siano indipendenti da  $V_R$ . In corrispondenza di  $V_T$ , nel flip-flop si verifica un immediato cambiamento di stato, che riporta il flip-flop nella condizione di reset. La tensione  $V_{\overline{Q}}$  compie un salto di ampiezza  $V(1) - V(0)$ , salto che si trasmette ad  $R$ . Avremo allora  $V_R = V(1) - V(0) + V_T$ . Si può verificare che la durata  $T$  dello stato quasi-stabile è data da

$$T = \tau \ln 2 \frac{V(1) - V(0)}{V(1) - V_T} \quad (15.3-2)$$

Se il valore della corrente assorbita da  $G1$  al terminale  $R$  continua ad essere trascurabile,  $V_R$  scende dal valore di picco  $V(1) - V(0) + V_T$  asintoticamente verso  $V(0)$  con la stessa costante di tempo  $\tau$  dello stato quasi-stabile. Per essere sicuri che i cicli successivi siano identici fra di loro, occorre lasciar trascorrere fra un ciclo e l'altro un tempo di recupero pari a 3 o 4 volte la costante di tempo. Come abbiamo detto,  $T$  è dello stesso ordine di  $\tau$ . Il tempo di recupero viene così ad essere di alcune volte più lungo dello stesso intervallo di temporizzazione. Questa caratteristica, che può costituire un inconveniente di un certo peso, può venire modificata come descriveremo più avanti. In realtà, dall'istante in cui  $V_R$  raggiunge il suo picco all'istante in cui raggiunge il valore  $V_T$ , l'ingresso della porta assorbe una certa corrente che, interessando il condensatore  $C$ , provoca una carica più rapida del condensatore stesso. Tuttavia questa corrente, come abbiamo fatto notare, è molto bassa e non riesce a migliorare sensibilmente il tempo di recupero.

Come abbiamo detto nel Cap. 7, i livelli logici di una porta ECL che lavora con una tensione di alimentazione di  $-5,2$  V sono  $V(0) \approx -1,58$  V e  $V(1) \approx -0,76$  V. La tensione di soglia  $V_T$  si trova a metà fra i due livelli, cioè  $V_T \approx -1,17$  V. Le altre tensioni indicate in Fig. 15.3-1 valgono

$$2V(0) - V(1) = -2,4 \text{ V} \quad \text{e} \quad V(1) - V(0) + V_T = -0,35 \text{ V}$$

Tramite l'Eq. (15.3-2) troviamo che la durata  $T$  dello stato quasi-stabile vale

$$T = rC \ln 2 \frac{V(1) - V(0)}{V(1) - [V(1) + V(0)]/2} = rC \ln 4 = 1.4rC \quad (15.3-3)$$



È interessante notare che utilizzando i flip-flop ECL Motorola MC 302, si ottiene sperimentalmente un valore di  $T$  dato dalla

$$T = 20 \text{ ns} + 1.4r(C + 5 \text{ pF}) \quad (15.3-4)$$

Nell'Eq. (15.3-4) il termine 20 ns è dovuto al ritardo di propagazione del flip-flop, che nella trattazione teorica non era stato considerato; i 5 pF sommati a  $C$  tengono conto delle capacità parassite.

Infine possiamo notare che il circuito continuerebbe a funzionare nello stesso modo che abbiamo descritto ora anche se  $C$  ed  $r$  fossero disposti, anziché come indicato nella Fig. 15.3-1, rispettivamente fra  $Q$  ed  $S$  e fra  $\bar{Q}$  ed  $S$ . In questo caso l'impulso di trigger dovrebbe venire applicato a  $R$ . In commercio si trovano anche altri tipi di circuiti monostabili, che impiegano flip-flop  $JK$  ECL con clock.

**L'impulso di trigger** Anche se non è stato precisato nella trattazione precedente e non è stato disegnato nelle forme d'onda di Fig. 15.3-1, l'ampiezza e la durata del segnale di trigger  $V_S$  applicato in  $S$  influiscono sulla durata dello stato quasi-stabile. Si noti che in Fig. 15.3-1a vengono utilizzate le uscite NOR delle porte e non le uscite OR. Riferendoci alla Fig. 7.4-1b si nota che quando una porta ECL entra nella regione corrispondente all'1 logico, la tensione dell'uscita NOR dipende dal valore raggiunto dalla tensione di ingresso. Pertanto le forme d'onda del circuito presentano più realisticamente l'andamento illustrato in Fig. 15.3-2. La presenza in  $V_R$  di uno scalino dovuto a  $V_S$  avrà naturalmente una certa influenza sull'intervallo di temporizzazione.

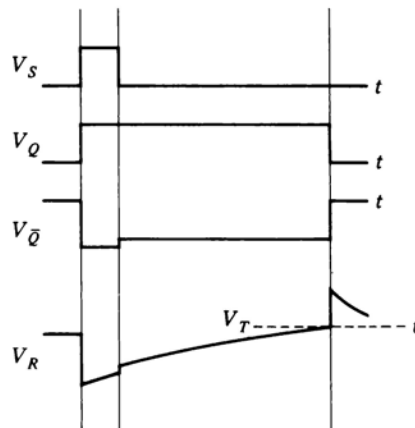


Figura 15.3-2 Come vengono modificate le forme d'onda di Fig. 15.3-1 per il fatto che l'uscita NOR di una porta ECL varia con l'ingresso, quando l'ingresso si trova nella fascia dell'1 logico.

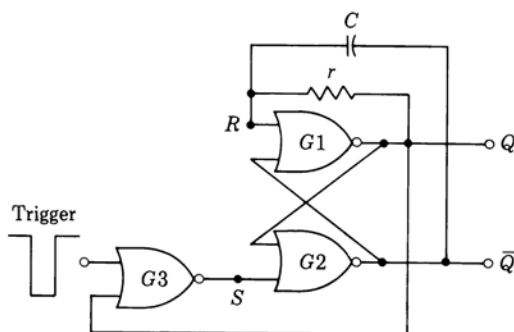


Figura 15.3-3 Modifica del circuito di Fig. 15.3-1 che impedisce all'impulso di trigger di influenzare la temporizzazione.

Conviene pertanto modificare il circuito in modo da renderlo insensibile alla parte del segnale di trigger che segue il fronte di comando. In Fig. 15.3-3 è illustrato il circuito modificato.

Nel nuovo circuito abbiamo inserito un'altra porta NOR  $G3$  ed invertito la polarità del segnale di trigger. Nello stato di reset,  $Q = 0$  ed il livello di trigger è alto, per cui l'ingresso di set si viene a trovare allo 0 logico. Quando il segnale di trigger scende a 0, l'ingresso  $S$  va ad 1 ed il flip-flop passa nello stato di set. Non appena  $Q$  passa ad 1, cioè dopo un ritardo pari alla somma dei tempi di propagazione di  $G1$  e  $G2$ , la porta  $G3$  viene disabilitata e la sua uscita passa a 0, indipendentemente dalla forma d'onda del segnale di trigger. Si noti che la durata del segnale di trigger deve essere almeno uguale alla somma dei tempi di propagazione di  $G1$  e  $G2$ . Si noti che ora la tensione all'ingresso  $S$  è indipendente anche dall'ampiezza del segnale di trigger.

In Fig. 15.3-4 è illustrato un altro circuito monostabile ECL. In questo circuito le due porte NOR  $G1$  e  $G2$  di Fig. 15.3-3 sono state sostituite da un flip-flop SR, ad esempio il Motorola MC 1014, e la porta  $G3$  da un flip-flop JK a comando sul fronte di transizione, ad esempio l'MC 1013. Il pregio di questo circuito consiste nel fatto che in questo caso la larghezza dell'impulso di trigger può essere anche superiore alla larghezza dell'impulso prodotto dal monostabile. Si lascia al lettore dimostrare che la larghezza dell'impulso di uscita nel circuito di Fig. 15.3-4 è indipendente dalla larghezza dell'impulso di trigger, mentre nel circuito di Fig. 15.3-3 la larghezza dell'impulso di uscita deve necessariamente essere superiore alla durata dell'impulso di trigger.

Si noti che il comando del flip-flop JK avviene sul fronte di salita del segnale di trigger. Se il tempo di salita dell'impulso di trigger è troppo lungo, occorre inserire un trigger di Schmitt (Par. 2.17) fra il segnale di trigger ed il flip-flop JK.

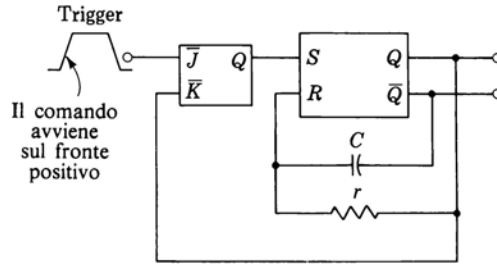


Figura 15.3-4 L'impiego di un flip-flop *JK* al posto delle porte NOR di Fig. 15.3-3.

**Tempo di recupero** Abbiamo visto che il monostabile di Fig. 15.3-1 presenta un tempo di recupero piuttosto lungo. In Fig. 15.3-5 sono illustrate due modifiche che consentono di ridurre il tempo di recupero. In Fig. 15.3-5a in parallelo ad  $r$  è stato disposto un diodo. Nello stato stabile la tensione ai capi di  $r$  è nulla. Durante l'intervallo di temporizzazione la caduta di tensione ai capi di  $r$  è tale da polarizzare inversamente il diodo. Durante il tempo di recupero invece il diodo è polarizzato direttamente, come si può verificare dalle forme d'onda di Fig. 15.3-1. Quando il diodo è ON, la sua resistenza incrementale  $r_d$  è molto più piccola di  $r$  e quindi la ricarica del condensatore può avvenire in maniera molto più rapida che in assenza del diodo stesso. Il diodo cessa però di condurre quando la tensione ai suoi capi scende al di sotto di circa 0,65 V, mentre il processo di recupero non termina se non quando la tensione su  $r$  si è completamente annullata. Di conseguenza il diodo non può ridurre il tempo di recupero che del 50%.

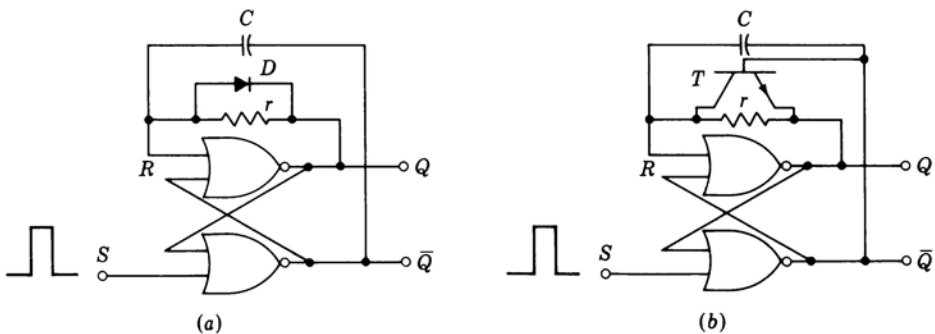


Figura 15.3-5 Due schemi che riducono il tempo di recupero del monostabile ECL.

In Fig. 15.3-5b è illustrato un metodo molto più efficace. Durante l'intervallo di temporizzazione il transistor è OFF, come si può verificare dalle forme d'onda di Fig. 15.3-1. Durante l'intervallo di recupero però il transistor  $T$  è portato in forte saturazione, cortocircuitando in questo modo il resistore  $r$  e caricando rapidamente  $C$ .

## 15.4 MULTIVIBRATORI PER INTERVALLI DI TEMPORIZZAZIONE BREVI

Nel caso in cui il monostabile debba generare un impulso di durata molto breve (dell'ordine delle decine di nanosecondi) conviene impiegare, per produrre l'intervallo di temporizzazione, una linea di ritardo anziché un gruppo RC. Questi multivibratori a linea di ritardo utilizzano in genere porte ECL, per i loro brevi tempi di propagazione.

In Fig. 15.4-1 è illustrato un circuito monostabile a porte ECL, di cui vengono utilizzate sia l'uscita OR che l'uscita NOR. Supponiamo che il tempo di propagazione  $t_{pd}$  sia lo stesso per le uscite OR e NOR delle due porte  $GA$  e  $GB$ . La linea di ritardo presenti un ritardo  $t_D$ .

Il funzionamento del circuito è chiaramente descritto dalle forme d'onda di Fig. 15.4-1b. Per il momento consideriamo solo le forme d'onda a tratto continuo. Partiamo con  $V_i$  allo 0 logico e con il circuito nello stato stabile. Si può verificare che anche il secondo ingresso della porta  $GA$  (che è anche l'uscita  $\bar{V}_o$  della porta  $GB$ ) si trova allo 0 logico. (Se si suppone  $\bar{V}_o$  all'1 logico, si giunge necessariamente ad una condizione di incongruenza.) Portiamo ora di colpo  $V_i$  all'1 logico, come indicato in figura. Allora, dopo un ritardo  $t_{pd}$ ,  $V_A$ , che era a 0, sale anch'essa ad 1 e  $\bar{V}_A$  scende a 0. Il livello logico di  $V_{AD}$  coincide con quello di  $V_A$ , a meno di un ritardo pari a  $t_D$ . Infine  $\bar{V}_o$ , che vale

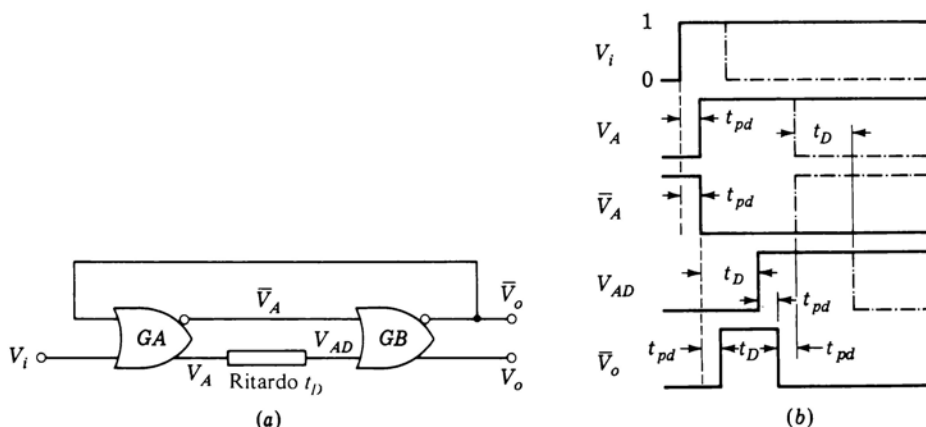


Figura 15.4-1 (a) Monostabile a porte ECL e linea di ritardo. (b) Forme d'onda del circuito.

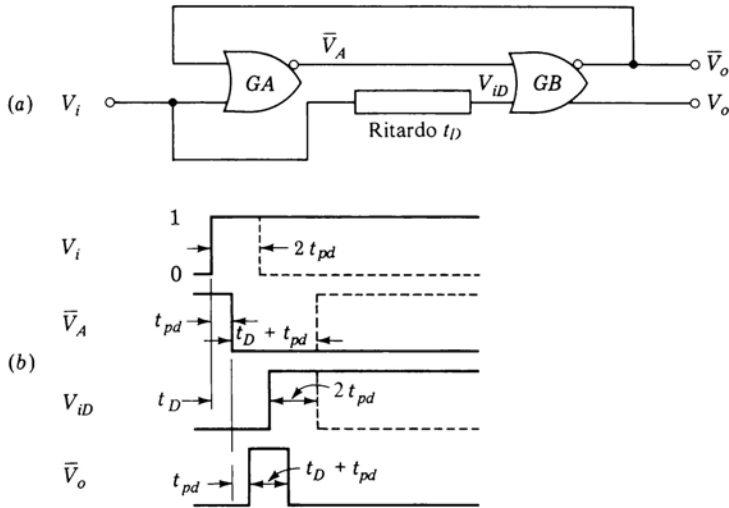


Figura 15.4-2 Circuito alternativo a quello di Fig. 15.4-1, che consente un duty cycle migliore. (a) Schema circuitale. (b) Forme d'onda.

$\bar{V}_o = 1$  quando sia  $\bar{V}_A$  che  $V_{AD}$  sono  $0$ , viene ad assumere l'andamento indicato in figura. Nel disegnare  $\bar{V}_o$  si è tenuto conto del ritardo di propagazione  $t_{pd}$  della porta  $GB$ . Si noti che  $\bar{V}_o$  vale  $\bar{V}_o = 1$  esattamente per la durata  $t_D$ . L'intervallo per il quale  $\bar{V}_o = 1$  inizia dopo un ritardo  $2t_{pd}$ , ma la sua durata è  $t_D$  ed è completamente indipendente da  $t_{pd}$ .

In Fig. 15.4-1a, quando la forma d'onda di  $V_i$  è rappresentata da un gradino, il collegamento di reazione fra l'uscita della porta  $GB$  e l'ingresso della porta  $GA$  può essere omissso. Infatti per tutto il tempo che  $V_i = 1$ , l'uscita di  $GA$  è  $V_A = 0$ , indipendentemente dal livello logico dell'altro ingresso. Il collegamento di reazione interviene in modo essenziale quando al posto del gradino viene impiegato l'impulso, come è illustrato con la linea tratteggiata. Infatti, con il collegamento di reazione,  $V_i$  richiede di essere mantenuta a  $V_i = 1$  soltanto per il tempo necessario affinché  $\bar{V}_o$  salga a  $\bar{V}_o = 1$ , cioè per un tempo non inferiore alla somma dei ritardi delle due porte,  $2t_{pd}$ . Con un ingresso impulsivo le forme d'onda ritornano, alla fine dell'intervallo di temporizzazione, al loro livello iniziale. Come si può verificare dalle forme d'onda, se  $V_i$  passa a  $V_i = 1$  nell'istante  $t = 0$ , il circuito torna nel suo stato iniziale all'istante  $t = 2t_D + 3t_{pd}$ . Il *duty cycle* (coefficiente di utilizzazione) del multivibratore è definito come il massimo valore del rapporto fra la durata dello stato quasi-stabile e la durata dell'intervallo fra due impulsi di trigger

successivi. In questo caso si vede che il duty cycle è dato da  $t_D/(2t_D + 3t_{pd})$ , rapporto che al massimo può arrivare al 50% quando  $t_D \gg t_{pd}$ .

In Fig. 15.4-2 è illustrato un circuito in grado di migliorare il duty cycle. Nel circuito si può riconoscere un flip-flop (due invertitori accoppiati ad incrocio) a cui il segnale  $V_i$ , direttamente o con un certo ritardo, fornisce gli ingressi di set e di reset. Inizialmente, con  $V_i = 0$ , sono possibili due stati stabili. Supporremo, per iniziare, che il circuito si trovi nello stato in cui  $\overline{V}_o = 0$ ,  $\overline{V}_i = 1$ . Come prima supporremo uguali i tempi di propagazione  $t_{pd}$ .

Le forme d'onda a tratto continuo di Fig. 15.4-2b corrispondono al caso in cui  $V_i$  è un gradino che passa dallo 0 logico all'1 logico. Possiamo allora osservare che la forma d'onda  $\overline{V}_o$  presenta una durata pari a  $t_D - t_{pd}$ , a partire dall'istante  $2t_{pd}$  contato dal fronte di salita di  $V_i$ . Come nel caso precedente, grazie al collegamento di reazione,  $V_i$  può essere anche un impulso di durata almeno pari a  $2t_{pd}$ . Le forme d'onda, nel caso dell'impulso, sono disegnate a linea tratteggiata. Con un impulso di durata minima  $2t_{pd}$ , il circuito ritorna al suo stato iniziale dopo un tempo  $t_D + 2t_{pd}$ . Il duty cycle vale perciò  $(t_D - t_{pd})/(t_D + 2t_{pd})$ , che tende al 100%, per  $t_D \gg t_{pd}$ .

**Il multivibratore astabile ECL** Si può ottenere un multivibratore astabile ECL sostituendo, nel circuito di Fig. 15.2-1a, porte NOR ECL alle porte G1 e G2 CMOS.

## 15.5 UN MULTIVIBRATORE MONOSTABILE TTL INTEGRATO

In Fig. 15.5-1a è illustrato lo schema circuitale del multivibratore monostabile TTL integrato 54121. Si vede che il circuito è costituito da due parti, un flip-flop (porte da G1 a G4) ed un circuito formatore degli impulsi di trigger (le porte G5 e G6). Nel circuito reale le porte G1, G3, G4 e G5 sono porte TTL, con il livello logico 1 a 3,5 V ed il livello logico 0 a 0,2V, mentre la porta G2 è costituita da un amplificatore invertente con emettitore a massa. Questo invertitore viene portato in saturazione quando la sua tensione di ingresso  $V_2$  vale 0,75V e presenta una tensione di soglia di 0,65 V. Inoltre nel circuito reale l'impulso di trigger viene squadrato da un trigger di Schmitt (non disegnato) prima di essere applicato alla porta G5.

Nello stato stabile  $P = 0$  e perciò  $P' = 0$ . Inoltre, poiché a riposo il condensatore  $C$  non è interessato da alcuna corrente, tutta la corrente che attraversa  $R$  viene assorbita dalla base dell'invertitore con emettitore a massa G2. Il resistore  $R$  è sufficientemente piccolo da consentire la saturazione di G2, per cui  $V_2 = 0,75$  V. Poiché G2 è in saturazione,  $V_3$  si troverà allo 0 logico, e, essendo anche  $P'$  allo 0 logico, l'uscita di G4 si troverà all'1 logico. Si vede così che  $Q = 0$  e  $\overline{Q} = 1$ . La porta G5 è perciò abilitata, sicché quando  $P$  commuta ad 1, anche  $P'$  passa ad 1.

Supponiamo ora che in  $P$  venga applicato all'istante  $t = 0$  un gradino positivo (vedi Fig. 15.5-1b). Poiché G5 è abilitata,  $P'$  passa al livello alto (il ritardo



do  $t_{pd}$  indicato in Fig. 15.5-1b è il tempo di propagazione, che supporremo identico per tutte le porte del circuito). L'uscita  $V_1$  della porta  $G4$  cade di colpo a 0,2 V. Poiché  $V_1$  e  $V_2$  sono accoppiate tramite il condensatore  $C$ , anche  $V_2$  diminuisce della stessa quantità di  $V_1$ , quantità che vale all'incirca  $3,5 - 0,2 = 3,3$  V. Il condensatore  $C$  inizia ora a caricarsi esponenzialmente, portando  $V_2$  da  $0,75 - 3,3 = -2,55$  V verso  $V_{CC} = 5$  V. Quando  $V_2$  arriva a circa 0,65 V,  $G2$  passa in ON e  $V_3$  scende al livello basso. In Fig. 15.5-1b abbiamo indicato con  $T_0$  l'istante in cui  $V_2$  raggiunge 0,65 V. Per semplificare la figura abbiamo preso  $T_0$  multiplo intero del tempo di propagazione e più esattamente  $T_0 = 9t_{pd}$ . Il ritardo fra l'istante  $T_0$  in cui  $V_2$  raggiunge 0,65 V e l'istante in cui  $V_3$  cala di colpo è pari al ritardo di propagazione attraverso le due porte  $G2$  e  $G3$ . Questo ritardo  $2t_{pd}$  è indipendente dal valore di  $T_0$ .

L'intervallo di temporizzazione del multivibratore termina per  $t = T_0$ . In questo istante, a meno dei ritardi di propagazione, il circuito ritorna nel suo stato stabile. Se ora vogliamo che il circuito risponda ad un secondo impulso di trigger e che la risposta sia identica a quella corrispondente al primo impulso, dobbiamo attendere che il condensatore si ricarichi al suo valore iniziale. La ricarica di  $C$  provoca un picco positivo sulla forma d'onda di  $V_2$  e corrispondentemente la forma d'onda di  $V_1$  non raggiunge il livello 1 di 3,5 V se non quando il picco si è completamente esaurito. Poiché  $V_1$  e  $V_2$  sono le tensioni sulle due armature di uno stesso condensatore, il salto di tensione  $\Delta$  deve essere uguale per entrambe, come indicato in Fig. 15.5-1. La resistenza che si viene a trovare in serie con  $C$  quando  $C$  si ricarica è data dall'impedenza di uscita di  $G4$  in serie con il parallelo della resistenza  $R$  e della resistenza di ingresso di  $G2$ . Chiamiamo questa resistenza  $r$ . Allora il picco di  $V_2$  e la salita a 3,5 V di  $V_1$  si esauriscono con una costante di tempo  $\tau_2 = rC$  (il calcolo di  $\Delta$  e  $\tau_2$  è trattato nel Prob. 15.5-2).

Si noti ancora che quando  $V_1$  scende,  $Q$  sale e  $\overline{Q}$  scende. Ciò fa sì che  $P'$  torni allo 0 logico. La larghezza  $W$  dell'impulso su  $P'$  è data dalla somma dei tempi di propagazione delle porte  $G4$ ,  $G1$ ,  $G6$  e  $G5$  ed è indipendente da  $P$ . La larghezza dell'impulso su  $P$  deve però essere superiore a  $W$ . La funzione di  $G5$ , che viene disabilitata una volta che il multivibratore ha risposto all'impulso di trigger, è quella di sconnettere il multivibratore dal generatore degli impulsi di trigger, consentendo così al multivibratore di generare l'intervallo di temporizzazione senza essere influenzato dal segnale su  $P$ . In particolare l'intervallo di temporizzazione  $T$  può anche essere inferiore all'intervallo per cui  $P$  è all'1 logico.

**Larghezza dell'impulso d'uscita** Il circuito del 54121 è progettato in modo da minimizzare le variazioni della larghezza dell'impulso di uscita dovute a variazioni della tensione di alimentazione e/o della temperatura. La larghezza dell'impulso di uscita vale nominalmente

$$T = RC \ln 2 \approx 0.7RC \quad (15.5-1)$$



La larghezza  $T$  può variare da 40 ns, nel caso in cui non vengano usati i componenti di temporizzazione esterni  $RC$ , a più di 40 s. Si può ottenere un duty cycle compreso fra il 67 e il 90%.

Per variazioni della tensione di alimentazione da 5,25 a 4,75 V ( $\pm 5\%$ ), la larghezza dell'impulso presenta variazioni minori del  $\pm 2\%$ . Inoltre variazioni della temperatura da 125 a  $-55$  °C provocano variazioni della larghezza dell'impulso di uscita dal  $+0,2$  al  $-0,8\%$  rispettivamente.

## 15.6 UN TEMPORIZZATORE INTEGRATO

In questo paragrafo prenderemo in considerazione un circuito integrato progettato appositamente per applicazioni di temporizzazione. Questo integrato, la cui sigla è 555, può essere usato per generare tempi di ritardo stabili, come multivibratore monostabile, oppure oscillazioni, come multivibratore astabile. Nel funzionamento monostabile la temporizzazione è controllata da un resistore e da un condensatore esterni. Nel funzionamento astabile i due parametri caratteristici, la frequenza e il duty cycle della forma d'onda d'uscita, sono controllati da un condensatore e da due resistori esterni.

In Fig. 15.6-1 è illustrato lo schema a blocchi del temporizzatore 555. I termini con cui sono indicati i terminali esterni sono quelli usati dal costruttore. Questa unità lavora con tensione di alimentazione compresa fra 5 e 15 V. La serie dei tre resistori disposta fra la tensione di alimentazione  $V_{CC}$  e massa fornisce le tensioni di riferimento per i due comparatori. La tensione di riferimento per il comparatore 2 è  $V_{CC}/3$ , quella per il comparatore 1 è  $2V_{CC}/3$ . Come vedremo, queste tensioni di riferimento controllano la temporizzazione. In quelle applicazioni in cui si voglia variare la temporizzazione elettronicamente dall'esterno si dovrà applicare una tensione di modulazione al terminale di ingresso *control-voltage* (tensione di controllo). Negli altri casi i costruttori raccomandano di collegare il terminale *control-voltage* a massa mediante una capacità (di circa 0,01  $\mu F$ ).

Sul *fronte di discesa* della tensione applicata all'ingresso di *trigger*, quando la tensione passa al di sotto della tensione di riferimento  $V_{CC}/3$ , l'uscita del comparatore 2 porta il flip-flop nello *stato di set*. Sul *fronte di salita* della tensione applicata all'ingresso di *threshold* (soglia), quando la tensione passa al di sopra di  $2V_{CC}/3$ , l'uscita del comparatore 1 porta il flip-flop nello *stato di reset*. L'ingresso di *reset* è in grado di annullare ogni comando di set che il flip-flop riceva dal comparatore 2. L'ingresso di reset è attivo quando si trova ad un livello inferiore a circa 0,4 V. Quando non si vuole utilizzare il reset, conviene riportare il terminale alla tensione  $V_{CC}$ . Il transistor  $T2$  funge semplicemente da adattatore, per isolare l'ingresso di reset dal flip-flop e dal transistor  $T1$ . Il terminale *output* (uscita) semplicemente riflette il livello logico presente sull'uscita del flip-flop. Il blocco indicato con «buffer d'uscita» è semplicemente un adattatore posto fra il flip-flop ed il terminale di uscita.

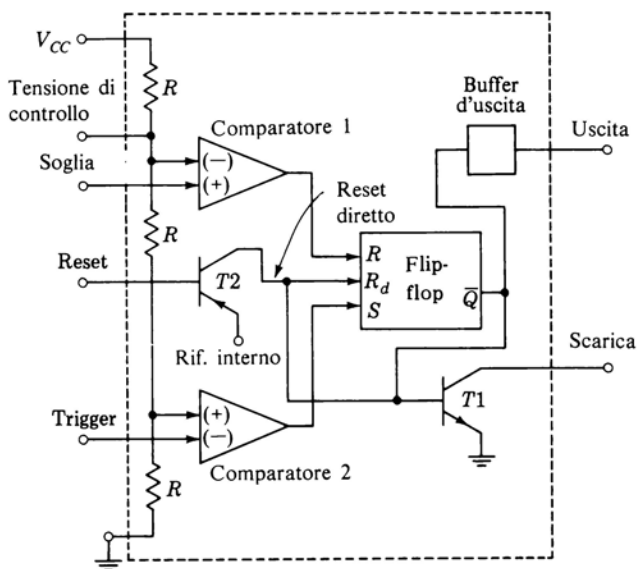


Figura 15.6-1 Schema a blocchi del timer integrato 555.

Questo stadio è in grado di erogare una corrente fino a 200 mA e di fornire livelli logici compatibili con la famiglia TTL.

Un condensatore di temporizzazione esterno (non indicato in Fig. 15.6-1) può essere inserito fra il terminale *discharge* (di scarica) e massa. Quando il flip-flop è nello stato di reset, la sua uscita  $\bar{Q}$  si trova al livello logico 1. Quando la base di T1 è alta, il transistor T1 è in saturazione ed il condensatore di temporizzazione è mantenuto scarico. Ha inizio un ciclo di temporizzazione quando il flip-flop passa allo stato di set ed il transistor T1 va in OFF. Il condensatore è libero allora di caricarsi attraverso un resistore esterno (non disegnato). Si può interrompere la carica del condensatore in un momento qualsiasi portando la tensione del terminale di reset al di sotto di 0,4 V. Il collegamento attraverso l'ingresso diretto  $R_d$  fra l'uscita di T2 e l'ingresso di T1 consente di portare T1 immediatamente in ON, evitando i ritardi di propagazione dovuti al flip-flop.

In Fig. 15.6-2 sono illustrate le connessioni del timer 555 nel funzionamento monostabile. Il condensatore di temporizzazione  $C$  viene caricato da  $V_{cc}$  attraverso  $R$ . Il valore dei resistori  $R_1$  e  $R_2$  è piuttosto arbitrario ed è compreso fra alcune decine ed alcune migliaia di ohm. I due resistori vengono scelti in modo da mantenere l'ingresso di trigger sufficientemente al di sopra di  $V_{cc}/3$ , in assenza dell'impulso negativo applicato in ingresso attraverso  $C'$ . Nello stato stabile il condensatore  $C$  è mantenuto scarico. L'impulso di co-

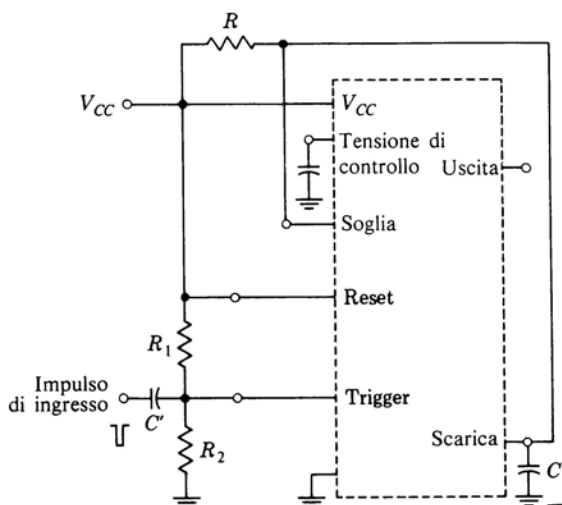


Figura 15.6-2 Il timer 555 nel funzionamento monostabile.

mando in ingresso provoca l'interdizione di  $T1$  (vedi Fig. 15.6-1) e consente al ciclo di temporizzazione di iniziare. (Il circuito del 555 è tale per cui, una volta che il ciclo è iniziato, il livello della tensione presente sull'ingresso di trigger non ha più effetto alcuno fino a quando il ciclo non è terminato, purchè questa tensione non superi  $V_{CC}$ .) La tensione ai capi di  $C$  viene applicata all'ingresso *threshold*. Quando la tensione sul condensatore rag-

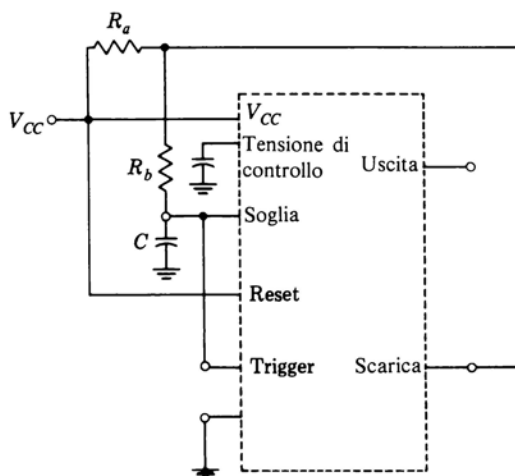


Figura 15.6-3 Il timer 555 nel funzionamento astabile.

giunge  $2V_{CC}/3$ , il comparatore 1 porta il flip-flop nello stato di reset e fa terminare il ciclo scaricando  $C$ . Il tempo  $T$  del ciclo è il tempo necessario affinché il condensatore si carichi da 0 V nominali a  $2V_{CC}/3$ . Questo tempo, come si può verificare, vale  $T = 1,1 RC$ . Si noti che  $T$  è indipendente da  $V_{CC}$ . Questa caratteristica deriva dal fatto che la tensione di soglia è una frazione fissa della tensione  $V_{CC}$ , che è pure la tensione verso cui tende asintoticamente la tensione del condensatore.

In Fig. 15.6-3 sono illustrate le connessioni per il funzionamento astabile del timer 555. Il condensatore  $C$  viene caricato attraverso  $R_a$  e  $R_b$  da  $V_{CC}$  finché la sua tensione non supera  $2V_{CC}/3$ . Il transistor di scarica  $T1$  passa allora in ON e  $C$  si scarica attraverso  $R_b$ . La scarica continua finché la tensione su  $C$  non scende al di sotto di  $V_{CC}/3$ . I tempi di carica e di scarica sono  $T_1 = 0,7(R_a + R_b)C$  e  $T_2 = 0,7 R_b C$ . Il periodo totale è

$$T = T_1 + T_2 = 0,7(R_a + 2R_b)C \quad (15.6-1)$$

Il duty cycle di questa configurazione è necessariamente diverso dal 50%. Si lascia come esercizio (Prob. 15.6-2) apportare le modifiche necessarie affinché il duty cycle venga ad essere del 50%.

#### BIBLIOGRAFIA

- 1 Motorola, «McMOS Handbook», Motorola, Inc., Phoenix, Ariz.
- 2 RCA, «COS/MOS Digital Integrated Circuits», RCA, Somerville, N.J.

## APPENDICE

# LINEE DI TRASMISSIONE

### A.1 INTRODUZIONE

Vogliamo presentare in questa appendice una breve trattazione semplificata sulle linee di trasmissione. Ciò che principalmente ci interessa è chiarire quando una coppia di conduttori debba essere considerata semplicemente come tale e quando invece debba essere considerata come uno spezzone di linea di trasmissione.

In Fig. A.1-1a è illustrato un circuito costituito da un generatore di tensione  $V$  costante collegato, quando l'interruttore  $S$  è chiuso, ad un carico  $R$ . Il collegamento è realizzato mediante una coppia di conduttori che si estende da  $x = 0$  a  $x = l$ . A prima vista sembra lecito affermare che se  $S$  viene chiuso all'istante  $t = 0$ , la tensione  $V_x$  (cioè la tensione fra il conduttore superiore ed il conduttore inferiore) ad una certa distanza  $x$ , come pure la tensione ai capi del carico, assumeranno *istantaneamente* il valore  $V$ . In realtà invece l'effetto della chiusura di  $S$  non si fa sentire istantaneamente lungo tutta la linea, ma si propaga dal generatore al carico con velocità finita.

Supponiamo che la linea che collega il generatore al carico presenti una sezione costante per ogni valore di  $x$ , cioè che la sezione della linea sia *uniforme*. In questo caso la velocità di propagazione  $u$  è data da

$$u = \frac{1}{\sqrt{LC}} \quad (\text{A.1-1})$$

dove  $L$  e  $C$  sono rispettivamente l'induttanza e la capacità per unità di lunghezza della linea. L'Eq. (A.1-1) sembra suggerire che  $u$  è funzione della forma geometrica della sezione della linea, poichè dalla forma geometrica dipendono sia  $L$  che  $C$ . Se, per esempio, la linea di trasmissione è costituita da due fili paralleli, avvicinando i fili,  $L$  diminuisce e  $C$  aumenta. Tuttavia si trova che il prodotto  $LC$  rimane costante ed indipendente dalla forma geometrica della linea e che  $u$  vale  $u = 3 \times 10^8$  m/s, quando il mezzo in cui sono immersi i due conduttori è l'aria. La velocità  $u$  è una delle costanti fondamentali della fisica ed è generalmente indicata come *velocità della luce*. Il fatto che la velocità di propagazione non dipenda dalla forma geometrica della linea non deve

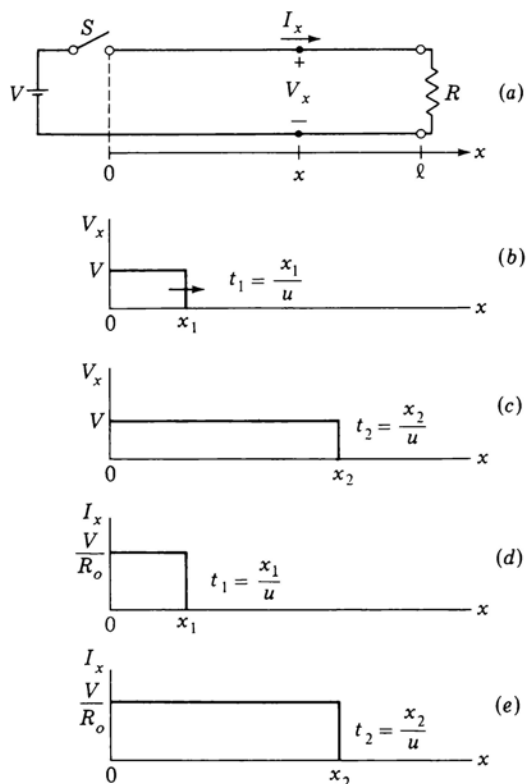


Figura A.1-1 (a) Generatore di tensione  $V$  connesso ad un carico  $R$  attraverso una linea di trasmissione di lunghezza  $l$ . (b) La tensione  $V_{x1}$  all'istante  $t_1 = x_1/u$ . (c) La tensione  $V_{x2}$  all'istante  $t_2 = x_2/u$ . (d) La corrente  $I_{x1}$  all'istante  $t_1 = x_1/u$ . (e) La corrente  $I_{x2}$  all'istante  $t_2 = x_2/u$ .

sorprendere ove si consideri che la potenza che viene trasferita dal generatore al carico non è effettivamente trasportata dai conduttori. Il trasferimento di questa potenza avviene infatti attraverso lo spazio in cui sono immersi i conduttori, che in realtà fungono soltanto da *guide* che dirigono il flusso di potenza dal generatore al carico.

In Fig. A.1-1b e A.1-1c sono rappresentate le distribuzioni della tensione lungo la linea agli istanti  $t_1 = x_1/u$  e  $t_2 = x_2/u$ . All'istante  $t_1$ , come si vede in Fig. A.1-1b, la tensione sulla linea è  $V$ , da  $x = 0$  a  $x = x_1$ , mentre è zero per  $x > x_1$ . Il *fronte* di tensione si sposta verso destra con velocità  $u$ , sicchè all'istante  $t_2 > t_1$  la tensione si è propagata fino a  $x = x_2$ .

Allo spostarsi del fronte di tensione lungo la linea, la capacità della linea si carica alla tensione  $V$ . Affinchè sia possibile la carica di questa capacità è necessario che al fronte di tensione si accompagni un fronte di *corrente*. Il valore di questa corrente può venire calcolato facilmente. Quando il fronte si sposta di un tratto  $dx$ , l'incremento di capacità che si carica alla tensione  $V$  è  $Cdx$ . La quantità di carica richiesta è  $dQ = VCdx$ . Usando l'Eq. (A.1-1) otteniamo

$$I = \frac{dQ}{dt} = VC \frac{dx}{dt} = VCu = VC \frac{1}{\sqrt{LC}} = V \sqrt{\frac{C}{L}} \equiv \frac{V}{R_0} \quad (\text{A.1-2})$$

in cui abbiamo introdotto il parametro  $R_0 \equiv \sqrt{L/C}$ , chiamato *impedenza caratteristica della linea*. La corrente  $I$  che compare nell'Eq. (A.1-2) è il valore della corrente che scorre nel tratto di linea interessato dalla corrente stessa, cioè da  $x = 0$  fino al punto in cui si trova il fronte di tensione. A destra del fronte di tensione la corrente è invece nulla. Useremo il simbolo  $I_x$  per indicare che la corrente è funzione di  $x$ , adottando la convenzione di considerare  $I_x$  positiva quando scorre verso *destra* nel conduttore superiore, e quindi verso sinistra nel conduttore inferiore, come indicato in Fig. A.1-1a.

Ricapitolando, risulta chiaro che alla chiusura dell'interruttore  $S$  un fronte di tensione  $V$  si sposta verso destra con velocità  $u$ . Associato al fronte di tensione abbiamo un fronte di corrente  $I$ . In Fig. A.1-1d e Fig. A.1-1e sono illustrate le distribuzioni della corrente sulla linea agli istanti  $t_1$  e  $t_2$ . In tutti i punti della linea fino al fronte di tensione e di corrente si ha

$$\frac{V_x}{I_x} = \frac{V}{I} = R_0 = \sqrt{\frac{L}{C}} \quad (\text{A.1-3})$$

Supponiamo ora che nel circuito di Fig. A.1-1a venga scambiata la posizione del generatore con quella del carico. Chiudendo  $S$ , un fronte di tensione e di corrente si sposterà verso sinistra; se manteniamo la *convenzione fissata prima* per  $V_x$  e  $I_x$ , avremo

$$\frac{V_x}{I_x} = -R_0 = -\sqrt{\frac{L}{C}} \quad (\text{A.1-4})$$

## A.2 L'IMPEDENZA CARATTERISTICA

Il valore dell'impedenza caratteristica  $R_0 = \sqrt{L/C}$  dipende dalla forma geometrica della sezione della linea. Per esempio, se la linea di trasmissione è costituita da due fili paralleli,  $R_0$  diminuisce avvicinando fra loro i due fili; ciò si verifica perchè, diminuendo la distanza fra i fili,  $C$  aumenta ed  $L$  diminuisce. Se si inserisce un dielettrico fra i due fili,  $C$  aumenta mentre  $L$  rimane in-

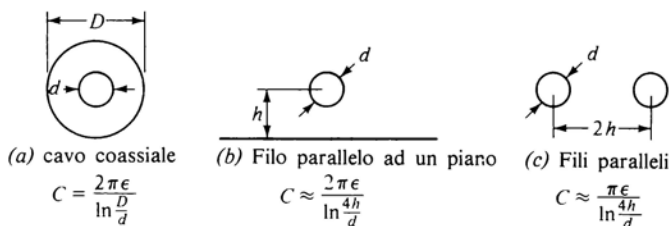


Figura A.2-1 Alcuni tipi di linee di trasmissione con le rispettive capacità per unità di lunghezza. Le espressioni approssimate per le linee a fili (b) e (c) portano ad un errore inferiore al 5% se  $h/d \geq 1$ .

variata, ragion per cui  $R_0$  diminuisce. (La presenza del dielettrico perciò provoca anche una diminuzione della velocità di propagazione.)

In Fig. A.2-1 sono illustrate le sezioni di tre tipi di linee molto comuni, con l'espressione della capacità relativa a ciascuna di esse. Si vede che l'impedenza dipende dal logaritmo del rapporto fra le due dimensioni trasversali della linea. Poiché il logaritmo varia molto lentamente in funzione del suo argomento, in generale non è possibile ottenere forti variazioni di  $R_0$  con modifiche ragionevoli delle dimensioni della linea. Consideriamo, ad esempio, il caso di una linea coassiale. Quando l'attenuazione nella linea è determinata principalmente dalle perdite ohmiche nei conduttori, queste ultime, per un determinato valore di  $D$ , presentano un minimo in corrispondenza di  $D/d = 3,6$ , che è un valore ragionevole. Con questo rapporto e con una costante dielettrica relativa  $= 2,3$ , si ha  $R_0 = 51\Omega$ . Per avere un'impedenza caratteristica  $R_0 = 1\text{ k}\Omega$ , si dovrebbe avere un rapporto  $D/d = 10^{11}$ !

La maggior parte delle linee coassiali disponibili sul mercato presenta impedenze inferiori a  $100\Omega$ . Le linee a fili paralleli possono avere impedenze fino a parecchie centinaia di ohm.

### A.3 LA RIFLESSIONE

Riferendoci alla Fig. A.1-1, notiamo che alla chiusura dell'interruttore  $S$  il generatore applica alla linea una tensione  $V$  ed eroga una corrente  $V/R_0$ . Quindi l'impedenza vista dal generatore coincide con l'impedenza caratteristica  $R_0$ . Se la lunghezza della linea fosse infinita, i fronti di tensione e di corrente non raggiungerebbero mai la sua estremità terminale e si propagherebbero all'infinito, mantenendo costante il loro rapporto  $V/I = R_0$ ; l'impedenza vista dall'ingresso della linea si manterrebbe costante e pari ad  $R_0$ .

Supponiamo invece che la lunghezza della linea sia finita e che alla sua e-



stremità terminale sia connesso un resistore  $R = R_0$ . Questo resistore di terminazione, essendo uguale alla resistenza caratteristica della linea, farà sì che la linea appaia di lunghezza infinita. Pertanto, alla chiusura dell'interruttore, i fronti di tensione  $V$  e di corrente  $V/R_0$  cominceranno a propagarsi verso destra. Dopo un tempo  $t = l/u$ , i fronti arriveranno al termine della linea. Da questo istante in poi la tensione in ogni punto della linea, come pure ai capi del carico, varrà  $V$ , mentre la corrente in tutti i punti della linea e nel carico varrà  $V/R_0$ . In breve, dopo che i fronti hanno raggiunto la fine della linea, non si verifica alcun altro fenomeno.

Supponiamo ora che il resistore di terminazione sia  $R \neq R_0$ . I fronti, quando raggiungono la fine della linea, per  $x = l$ , sono legati dalla relazione  $V_1/I_1 = R_0$ . Tuttavia, poichè alla distanza  $x = l$  il resistore è  $R$ , deve necessariamente sussistere la relazione  $V_1/I_1 = R$ . Questa apparente incongruenza si risolve in virtù del fatto che, quando  $R \neq R_0$ , alla terminazione della linea si verifica una *riflessione*. In altri termini, nell'istante in cui i fronti *incidenti* (che sono partiti dall'inizio della linea alla chiusura di  $S$ ) raggiungono l'estremità terminale della linea, si creano istantaneamente dei fronti *riflessi* che iniziano a propagarsi verso sinistra. Per questi fronti riflessi vale la relazione espressa dall'Eq. (A.1-4). L'ampiezza e la polarità dei fronti riflessi saranno tali che la tensione *totale*  $V_1$  (somma delle tensioni incidente e riflessa nel punto  $x = l$ ) e la corrente totale  $I_1$ , saranno legate dalla relazione  $V_1/I_1 = R$ . Pertanto, se il fronte di tensione incidente ha ampiezza  $V$ , il fronte di tensione riflesso avrà ampiezza  $\rho V$ . Determiniamo questo parametro  $\rho$ , chiamato *coefficiente di riflessione*. La corrente incidente vale  $V/R_0$ . La corrente riflessa vale  $-\rho V/R_0$  [La ragione del segno meno è spiegata nel capoverso precedente l'Eq. (A.1-4)]. Il rapporto fra la tensione totale e la corrente totale è  $R$ , e pertanto

$$\frac{V + \rho V}{V/R_0 - \rho V/R_0} = R \quad (\text{A.3-1})$$

Risolvendo rispetto a  $\rho$ , troviamo

$$\rho = \frac{R/R_0 - 1}{R/R_0 + 1} \quad (\text{A.3-2})$$

Il coefficiente di riflessione è un numero compreso fra  $-1$  e  $+1$ ;  $\rho = 0$  quando  $R = R_0$ ;  $\rho = 1$  quando l'estremità terminale della linea è aperta;  $\rho = -1$  quando l'estremità terminale è chiusa in corto-circuito.

#### A.4 RIFLESSIONI MULTIPLE

Esaminiamo la situazione illustrata in Fig. A.4-1, in cui una linea di impedenza  $R_0$  è terminata alla sua estremità di ricezione da  $R \neq R_0$  e alla estremità di trasmissione dalla resistenza del generatore  $R_s \neq R$ . Sia  $V_i$  un gradino di

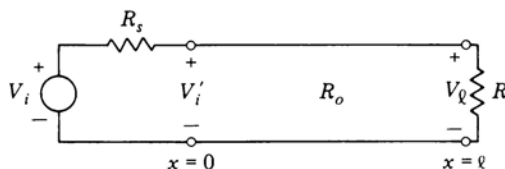


Figura A.4-1 Generatore di tensione  $V_i$  con impedenza  $R_s$  connesso ad un resistore di carico  $R$  tramite una linea di trasmissione con impedenza caratteristica  $R_0$ .

tensione di ampiezza  $V$ , applicato all'istante  $t = 0$ . L'ingresso della linea, fino all'istante in cui non risente del fatto che la terminazione di ricezione non è *adattata* all'impedenza della linea, si presenta come una resistenza di valore  $R_0$ . Pertanto, per  $t = 0^+$ , il gradino di tensione all'ingresso della linea, cioè nel punto  $x = 0$ , sarà

$$V'_i = \frac{R_0}{R_s + R_0} V_i \quad (\text{A.4-1})$$

Questo gradino di tensione inizierà a propagarsi lungo la linea finché all'estremità di ricezione si verificherà la riflessione. Quando il fronte riflesso sarà arrivato all'ingresso della linea, subirà a sua volta una nuova riflessione, e così via. Ogni volta che un fronte arriverà ad un resistore di terminazione, ad uno dei due estremi della linea, l'ampiezza del fronte riflesso sarà inferiore a quella del fronte incidente, sicché alla fine verrà a stabilirsi una condizione di regime. Nei casi particolari in cui la terminazione è aperta o è un corto-circuito, i coefficienti di riflessione valgono  $+1$  o  $-1$  e, se non subentrassero l'effetto dell'attenuazione, la condizione di regime non verrebbe mai raggiunta.

**ESEMPIO A.4-1** Una linea di impedenza  $R_0 = 100\Omega$  ed il cui tempo di propagazione da un'estremità all'altra è  $t_d$ , è terminata alla sua estremità di ricezione da un resistore  $R = 900\Omega$  ed alla sua estremità di trasmissione da un resistore  $R_s = 15\Omega$ . Il segnale del generatore è un gradino di tensione  $s = -0,75$ . Il gradino di tensione di 12 V del generatore produce, all'ingresso della linea all'istante

**SOLUZIONE** Il coefficiente di riflessione  $\rho_r$  all'estremità di ricezione vale, dall'Eq. (A.3-2),

$$\rho_r = \frac{\frac{900}{100} - 1}{\frac{900}{100} + 1} = 0.8$$

Il coefficiente di riflessione all'estremità di trasmissione può essere calcolato in modo analogo e vale  $\rho_s = -0,75$ . Il gradino di tensione di 12 V del generatore produce, all'ingresso della linea all'istante  $t = 0$ , un gradino di ampiezza

$$V'_i = V_1 = \frac{R_0}{R_s + R_0} V = \frac{100}{15 + 100} \times 12 \approx 10 \text{ V}$$

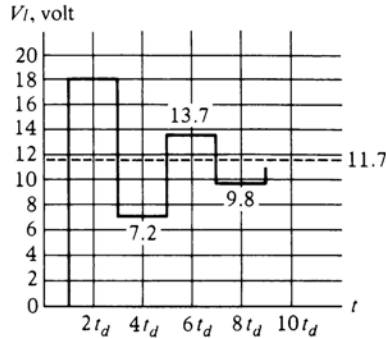


Figura A.4-2 Andamento della tensione a causa delle riflessioni, per  $x = l$ .

Il fronte  $V_1$  arriva all'estremità di ricezione all'istante  $t = t_d$  ed immediatamente si forma un fronte riflesso  $V_2 = -r V_1 = 0,8(10) = 8$  V. Quindi, per  $t = t_d$ , la tensione  $V_l$  all'estremità di ricezione passa da zero a  $V_l = 10 + 8 = 18$  V.  $V_2$  torna indietro all'estremità di ingresso e viene riflesso, generando  $V_3 = -0,75 V_2 = -0,75(8) = -6$  V. Quando  $V_3$ , all'istante  $t = t_d + 2t_d = 3t_d$ , raggiunge di nuovo l'estremità di ricezione della linea, genera  $V_4 = 0,8 V_3 = 0,8(-6) = -4,8$  V. Pertanto, all'istante  $t = 3t_d$ , la tensione complessiva all'estremità di ricezione vale  $V_1 + V_2 + V_3 + V_4 = 10 + 8 - 6 - 4,8 = 7,2$  V. Proseguendo in questo modo si ricava la forma d'onda illustrata in Fig. A.4-2. Questa forma d'onda oscilla intorno ad un asintoto il cui valore è lo stesso per tutti i punti della linea ed è dato da

$$V_x \text{ (per ogni } x \text{ e per } t = \infty) = V_i \frac{R}{R + R_s} = 12 \frac{900}{900 + 20} = 11,7 \text{ V}$$

## A.5 EFFETTO DEL TEMPO DI SALITA DEL SEGNALE DI INGRESSO

Supponiamo, riferendoci al circuito di Fig. A.4-1 analizzato nell'Esempio A.4-1, di non tener conto del fatto che i conduttori che collegano il generatore al carico presentano le caratteristiche di una linea di trasmissione. Allora si può dire subito che la tensione su  $R$ , dovuta al gradino di ingresso di 12 V, a sua volta è un gradino di ampiezza 11,7 V. In questo modo però non si tiene conto delle oscillazioni piuttosto pronunciate, indicate in Fig. A.4-2, intorno al valore 11,7 V. L'ampiezza di queste oscillazioni risulta indipendente dal tempo di propagazione  $t_d$ . Questa indipendenza però deriva dal fatto che abbiamo supposto nullo il tempo di salita del gradino di ingresso. Se il tempo di salita non è nullo, la situazione cambia, come ora vedremo.

Per esaminare il problema nel modo più semplice, prendiamo il caso particolare di una linea, con un tempo di propagazione  $t_d$  da un'estremità all'altra, che presenti alla sua estremità di ricezione una terminazione aperta e alla sua estremità di trasmissione un corto-circuito. In altri termini, riferendoci alla

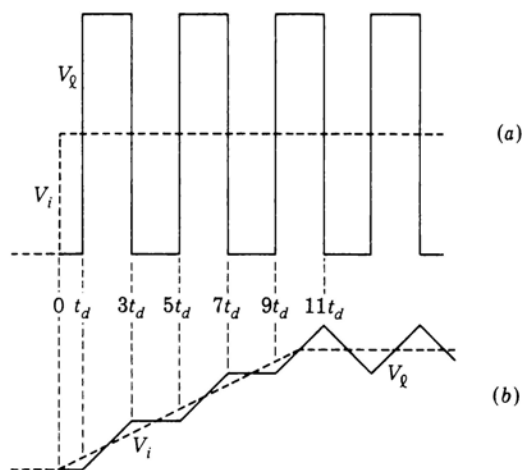


Figura A.5-1 (a) La tensione per  $x = l$  quando il resistore di carico  $R$  è infinito ed il resistore del generatore è  $R_s = 0$ ; la tensione di ingresso è un gradino. (b) La tensione per  $x = l$  quando  $R$  è infinito,  $R_s = 0$  e  $V_i$  è una rampa lineare.

Fig. A.4-1 consideriamo  $R = \infty$  ed  $R_s = 0$ . In Fig. A.5-1 è illustrata la forma d'onda della tensione  $V_l$  sul carico, relativamente a due casi diversi. In Fig. A.5-1a, l'ingresso  $V_i$  è costituito da un gradino, rappresentato dalla linea tratteggiata; come si può verificare, la tensione  $V_l$  sul carico oscilla con ampiezza, da picco a picco, uguale al doppio dell'ampiezza dell'ingresso. In Fig. A.5-1b la tensione di ingresso presenta la stessa ampiezza della tensione di Fig. A.5-1a, ma è costituita da una rampa lineare il cui tempo di salita è uguale a  $10t_d$ , una rampa cioè che sale *lentamente rispetto al tempo di propagazione*  $t_d$ . Si noti come le oscillazioni di Fig. A.5-1b siano molto meno pronunciate di quelle di Fig. A.5-1a. In Fig. A.5-1b, a parte il ritardo iniziale  $t_d$ , la forma d'onda di  $V_l$  segue abbastanza da vicino la forma d'onda dell'ingresso. In entrambi i casi, se ci fossero i resistori di terminazione  $R$  ed  $R_s$ , le oscillazioni si smorzerebbero nel tempo.

In generale, quando le forme d'onda presentano variazioni molto lente rispetto al tempo di propagazione  $t_d$ , i conduttori di collegamento tendono a presentare sempre meno le caratteristiche di una linea di trasmissione. Quanto più il tempo di salita del segnale di ingresso cresce rispetto a  $t_d$ , tanto più correttamente la linea può essere sostituita da un circuito equivalente a parametri concentrati, cioè da una capacità parassita o da un'induttanza parassita o da entrambe. Viceversa, quando i tempi di salita sono molto brevi, è ne-

cessario considerare i conduttori di collegamento come una linea di ritardo e tener conto delle considerazioni precedentemente fatte sulle terminazioni, onde eliminare le riflessioni. Ad esempio, nelle porte ECL i tempi di salita sono dell'ordine dei nanosecondi e conduttori di collegamento lunghi anche solo poche decine di centimetri diventano vere e proprie linee di trasmissione.

#### **BIBLIOGRAFIA**

- 1 Millman, J., and H. Taub: "Pulse, Digital, and Switching Waveforms", McGraw-Hill, New York, 1965, chap. 3.



# PROBLEMI

## CAPITOLO 1

**1.1-1** Da misure eseguite, si è trovato che in corrispondenza ad una corrente di 1 mA la caduta di tensione ai capi di un diodo è di 0,75 V.

(a) Se la caratteristica tensione-corrente del diodo è data dall'Eq. (1.1-1), trovare  $I_0$ .

(b) Disegnare la caratteristica tensione-corrente del diodo.

**1.1-2** (a) Indichiamo con  $I_D$  e  $V_D$  rispettivamente la corrente e la tensione di un diodo inserito in un certo circuito. Se la corrente che attraversa il diodo raddoppia, calcolare il corrispondente aumento della tensione  $V_D$ . Supporre  $V_T = 25$  mV.

(b) Se la tensione in (a), per la corrente più bassa, vale 750 mV, dimostrare che il raddoppio della corrente produce un aumento della tensione del 2% soltanto.

**1.1-3** (a) Il diodo  $D1$  ha  $I_0 = I_{01}$ , mentre il diodo  $D2$  ha  $I_0 = I_{02}$ . Dimostrare che quando le correnti che attraversano i due diodi sono eguali, le tensioni ai loro capi sono legate dalla relazione  $V_1 - V_2 = V_T \ln(I_{02}/I_{01})$ .

(b) Sia  $I_{02} = 10I_{01}$ . Il diodo  $D1$  è attraversato da una corrente così bassa da poterlo considerare interdetto: si trova che la tensione ai suoi capi vale  $V_1 = 0,65$  V. Quanto varrebbe la tensione ai capi di  $D2$ , se anche quest'ultimo fosse interessato dalla stessa corrente?

**1.2-1** La dipendenza di  $I_0$  dalla temperatura è data approssimativamente da

$$I_0 = KT^2 e^{-V_g/V_T}$$

dove  $K$  è una costante di proporzionalità,  $V_g \approx 1,12$  V per il silicio e  $V_T = kT/e$ .

(a) Ricavare l'espressione di  $\ln I_0$ . Derivare  $\ln I_0$  rispetto alla temperatura  $T$  in modo da dimostrare che

$$\frac{d}{dT}(\ln I_0) = \frac{2}{T} + \frac{V_g}{TV_T}$$

(b) Dimostrare che quando  $V \gg V_T$ , l'Eq. (1.1-1) può essere scritta come

$$\ln I = \ln I_0 + \frac{V}{V_T}$$

sicchè

$$\frac{1}{I} \frac{dI}{dT} = \frac{d}{dT}(\ln I_0) + \frac{1}{V_T} \frac{dV}{dT} - \frac{V}{TV_T}$$

(c) Dimostrare che, a corrente costante,

$$\frac{dV}{dT} = \frac{V - V_g}{T} - \frac{2k}{e}$$

(d) Calcolare  $dV/dT$  per  $T = 300$  °K quando  $V = 0,65$  V e quando  $V = 0,75$  V. Si tenga presente che la risposta non è  $-2\text{mV}/^\circ\text{C}$  e dipende dalla tensione  $V$  del diodo.

(e) L'equazione differenziale del punto (c) può essere risolta mediante il cambiamento di variabile  $\mu = V/T$ . Partendo dal risultato del punto (c), dimostrare che se  $V(T_1)$  e  $V(T_0)$  sono le tensioni sul diodo, per una certa corrente fissa, alle due temperature  $T_1$  e  $T_0$ , allora

$$\frac{V(T_1)}{T_1} - \frac{V(T_0)}{T_0} = V_g \left( \frac{1}{T_1} - \frac{1}{T_0} \right) - \frac{2k_T}{e} \ln \frac{T_1}{T_0}$$

Se  $V(T_0) = 0,75$  V con  $T_0 = 25$  °C, calcolare  $V(T_1)$  con  $T_1 = 125$  e  $-55$  °C.

**1.2-2** Due diodi identici  $D1$  e  $D2$  sono collegati in parallelo e polarizzati inversamente, come illustrato in Fig. P1.2-2. Se  $D2$  lavora a  $125$  °C e  $D1$  a  $25$  °C, determinare la corrente che attraversa ciascun diodo. Supporre che  $I_0$  raddoppi per ogni incremento della temperatura di  $10$  °C.

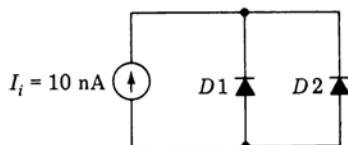


Figura P1.2-2



**1.3-1** Riferendosi al diodo 1N916 e supponendo che  $C_T \approx C_0/(1 + V)^n$ , determinare i valori di  $C_0$  ed  $n$  che rendono i valori di  $C_T$  concordi con i valori, ricavati sperimentalmente, forniti in Fig. 1.3-1.

**1.4-1** Tre diodi sono collegati in serie con un diodo zener da 9 V; questa serie viene fatta lavorare con una corrente di 5 mA per fornire una tensione di riferimento pari a  $9 + 3(0,75) = 11,25$  V. Riferendosi alla Fig. 1.4-2b, dimostrare che la sensibilità della serie alla temperatura è quasi nulla.

**1.4-2** Si deve collegare un diodo polarizzato direttamente in serie con un diodo zener. La serie dei due, lavorando con una corrente di 5 mA, deve fornire una tensione di riferimento. Usare la Fig. 1.4-2b per determinare quale valore della tensione di lavoro deve presentare il diodo zener affinché la serie dei due diodi sia insensibile alla temperatura.

**1.4-3** Dalla Fig. 1.4-2a disegnare  $V_Z$  in funzione di  $I_Z$  per un coefficiente di temperatura nullo.

**1.7-1** Con i simboli  $I_E$ ,  $I_C$  e  $I_B$  indicare rispettivamente le correnti di emettitore, collettore e base di un transistor *pnp*, prese con il loro verso reale. Scrivere le equazioni di Ebers-Moll (1.7-3) e (1.7-4) usando questi simboli per le correnti e adattare le equazioni al transistor *pnp*.

**1.7-2** In un transistor *nnp* la corrente di base può essere scritta come

$$I_B = I_{B1}(\epsilon^{V_{BE}/V_T} - 1) + I_{B2}(\epsilon^{V_{BC}/V_T} - 1)$$

Trovare  $I_{B1}$  e  $I_{B2}$ . Servirsi del risultato del Prob. 1.7-1 per trovare l'espressione analoga per la corrente di base di un transistor *pnp*.

**1.7-3** Usando l'Eq. (1.7-4), trovare  $V_{CE}$  quando  $I_C = 0$ . Supporre  $V_{BE} \gg V_T$  e  $V_{CE} \gg V_T$ .

**1.7-4** Confrontare la corrente di base di un transistor avente  $V_{BE} = 0,7$  V e  $V_{CE} = 0,7$  V con la corrente di base di un transistor avente  $V_{BE} = 0,7$  V e  $V_{CE} = 0,1$  V. Sia  $\alpha_N = 0,9$  e  $\alpha_I = 0,1$ .

**1.8-1** (a) Supporre che un transistor si trovi al limite dell'interdizione, sicché  $I_E$  è data dall'Eq. (1.8-2). Confrontare le tensioni di soglia di due transistori, il primo con  $\alpha_N = 0,9$  ed  $\alpha_I = 0,1$  ed il secondo con  $\alpha_N = 0,9$  ed  $\alpha_I = 0,01$ .

(b) Ripetere il punto (a) con il collettore aperto, sicché  $I_C \equiv 0$ .

**1.8-2** (a) Dimostrare che per  $I_E = 0$  e per  $I_C = 0$ , le equazioni di Ebers-Moll si riducono all'equazione del diodo.

(b) Dimostrare che per tensioni di diodo eguali, il rapporto delle correnti di diodo è pari al rapporto  $\alpha_N/\alpha_I$ .

**1.10-1** Verificare le Eq. (1.10-3), (1.10-4), (1.10-5) e (1.10-9).

**1.10-2** Riferirsi alla Fig. P1.10-2. Se  $h_{FE} = 50$  ed  $h_{FC} = 0,1$ , trovare (a) il

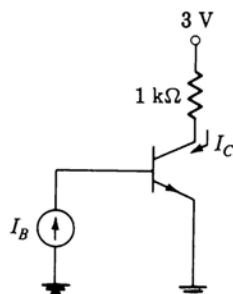


Figura P1.10-2

valore di  $I_B$  affinché  $V_{CE} = 0,3\text{ V}$ , (b) il valore di  $I_B$  affinché  $V_{CE} = 0,1\text{ V}$ . (c) Con questa configurazione può  $V_{CE}$  diventare uguale a zero?

**1.10-3** Riferendoci alla Fig. P1.10-3, i due transistori presentano entrambi  $h_{FE} = 50$  e  $h_{FC} = 0,1$ .

(a) Se  $I_{B1}(T1) = 0$  e  $V_{BE}(T1) = V_\gamma = 0,65\text{ V}$ , calcolare  $I_{E0}(T0)$  e  $V_i$ . Supporre  $V_{BE}(T0) = 0,75\text{ V}$ .

(b) Quando  $V_i = 5\text{ V}$ ,  $T1$  è in saturazione. Calcolare  $I_{B1}(T1)$  e  $V_{CE}(T1)$ . Servirsi della Fig. 1.10-1.

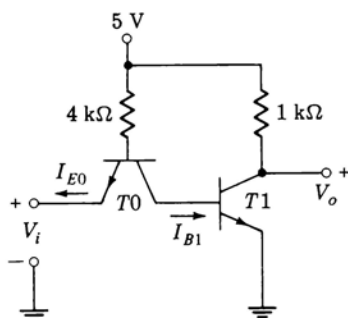


Figura P1.10-3

**1.10-4** (a) Verificare l'Eq. (1.10-12) riferita alla configurazione di Fig. 1.10-3c.

(b) Trovare  $I_B$ ,  $I_C$ , e  $I_E$  quando  $V_{CC} = 3\text{ V}$ ,  $R_L = 1\text{ k}\Omega$ ,  $h_{FE} = 50$  e  $h_{FC} = 0,1$ .

**1.10-5** (a) Dimostrare che in Fig. P1.10-5  $I_C$  è data approssimativamente da

$$I_C = \frac{(1 + I_{E0} R / V_T) I_{C0}}{1 - \alpha_N \alpha_I + (1 - \alpha_N) I_{E0} R / V_T}$$

Supporre che la giunzione di collettore sia polarizzata inversamente e che la giunzione di emettitore sia polarizzata direttamente

(b) Assumere  $\alpha_N = 0,98$ ,  $I_{C0} = 10$  nA,  $\alpha_I = 0,1$ . Calcolare  $I_C$  per  $R = 0$  e  $R = \infty$

(c) Quale valore di  $R$  consente di ottenere una corrente che sia a metà fra la corrente corrispondente a  $R = 0$  e quella corrispondente a  $R = \infty$ ?

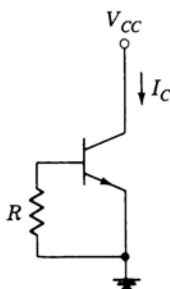


Figura P1.10-5

**1.12-1** Un invertitore presenta la tensione di uscita alta quando l'ingresso è basso e la tensione d'uscita bassa quando l'ingresso è alto. Questa sua caratteristica, che rimane valida qualunque sia il numero degli stadi che si pongono in cascata, lo rende indispensabile nei circuiti logici. Consideriamo un invertitore che impieghi il MOSFET avente le caratteristiche di Fig. 1.12-2. Supporre che il carico sia costituito da un resistore di  $2$  k $\Omega$  (valore comune negli invertitori bipolari). La tensione di alimentazione è  $V_{DD} = 20$  V. Calcolare il numero degli invertitori che è possibile porre in cascata senza che la differenza fra i valori dell'ingresso e dell'uscita divenga inaccettabilmente piccola.

**1.13-1** In un invertitore a MOSFET a circuito integrato, del tipo di quello di Fig. 1.13-1b,  $V_{DD} = 12$  V,  $V_{GG} = 15$  V e  $V_T = 3$  V. Supporre che il parametro  $C$  nell'Eq. (1.12-3) sia  $C = 1,2$ . Trovare la tensione d'uscita dell'invertitore quando il transistor pilota non è in conduzione.

**1.15-1** Rendere ideale la curva di  $I_D$  di Fig. 1.15-5. Supporre che  $I_D$  salga linearmente da  $I_D = 0$  per  $V_i = 3,0$  V a  $1,4$  mA per  $V_i = 8$  V e scenda linearmente a zero per  $V_i = 12$  V.  $V_i$  presenti la forma d'onda di Fig. P1.15-1. Trascurando l'effetto delle capacità, calcolare la dissipazione di potenza della porta.

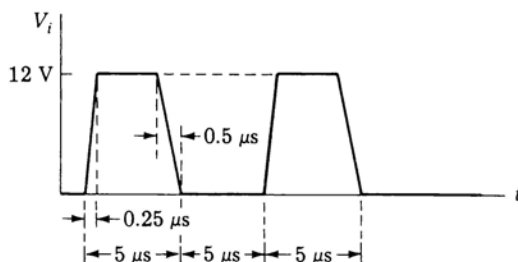


Figura P1.15-1

**1.18-1** La carica dei portatori minoritari in eccesso  $Q$  in un certo volume di semiconduttore decresce nel tempo per la ricombinazione dei portatori minoritari con i portatori maggioritari di segno opposto. La velocità con cui  $Q$  decresce è proporzionale a  $Q$ , cioè

$$\frac{dQ}{dt} = -\frac{1}{\tau} Q$$

dove  $1/\tau$  è un fattore di proporzionalità. ( $\tau$  ha le dimensioni di un tempo ed è chiamato *costante di tempo di immagazzinamento*.) Se inoltre dal suddetto volume di semiconduttore fuoriesce una corrente  $I$ , la velocità di decrescita aumenta della quantità  $dQ/dt = I$ . In altre parole

$$\frac{dQ}{dt} + \frac{Q}{\tau} = I$$

In condizioni stazionarie, in cui  $dQ/dt = 0$ ,  $I = Q/\tau$ .

(a) Un diodo presenta una costante di tempo di immagazzinamento  $\tau = 1 \mu\text{s}$ . Una tensione di 10 V viene applicata con polarizzazione diretta al diodo attraverso un resistore di  $10 \text{ k}\Omega$  e per un tempo sufficientemente lungo da consentire il raggiungimento dello stato di regime stazionario. Supponendo che la tensione diretta sul diodo sia zero, calcolare la carica dei portatori minoritari in eccesso immagazzinata nel diodo.

(b) All'istante  $t = 0$ , dopo che si è verificata la situazione indicata in (a), la tensione applicata viene bruscamente invertita a  $-5 \text{ V}$ . Supporre che la tensione sul diodo rimanga a zero finché la carica minoritaria non è stata rimossa e calcolare l'istante in cui il diodo diviene interdettato.

(c) La capacità di transizione del diodo più la capacità esterna parallelo presente ai capi del diodo valgono  $20 \text{ pF}$ . Disegnare la forma d'onda della tensione del diodo e della corrente attraverso il resistore di  $10 \text{ k}\Omega$  da prima di  $t = 0$  fino al momento in cui la tensione sul diodo arriva a  $-5 \text{ V}$ .

**1.20-1** La tensione di ingresso  $V_i$  di Fig. P1.20-1 vale inizialmente  $V_i = 5$  V ed il transistor è in saturazione. La carica totale immagazzinata nella base vale 1 nC. Per  $t = 0$ ,  $V_i$  scende di colpo a 0 V. Si è inserito il condensatore  $C$  per consentire una brusca rimozione della carica di base.

(a) Calcolare il valore minimo di  $C$  necessario per rimuovere tutta la carica di base.

(b) Disegnare la forma d'onda della tensione di base per il valore di  $C$  scelto nel punto (a) e per un valore di  $C$  doppio del precedente. (Assumere  $V_{BE} = 0,75$  V in saturazione e supporre che quando  $V_{BE} < 0,75$  V, la corrente di base sia trascurabile.)

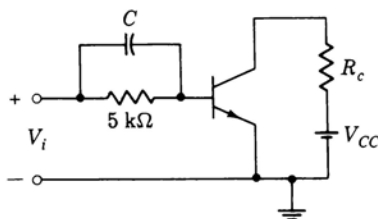


Figura P1.20-1

## CAPITOLO 2

**2.2-1** (a) Dimostrare che il guadagno di tensione dell'op-amp di Fig. 2.2-1 è

$$A_f \equiv \frac{V_o}{V_i} = - \frac{A - R_o/Z_f}{1 + R_o/Z_f}$$

(b) Valori tipici di  $A$ ,  $R_o$  e  $Z_f$  sono  $A = 5 \times 10^4$ ,  $R_o = 100 \Omega$  e  $Z_f = 10$  k $\Omega$ . Se il valore massimo di  $V_o$  prima della saturazione dell'op-amp è  $V_o(\text{max}) = 10$  V, trovare il corrispondente valore massimo di  $V_i$ .

(c) Se  $R_i = 100$  k $\Omega$  e  $V_i$  è il valore trovato al punto (b), calcolare la corrente in  $R_i$ .

**2.2-2** Ci si riferisca alla Fig. 2.2-1.

(a) Esprimere il rapporto fra la corrente in  $R_i$  e la corrente in  $Z_f$  tramite  $A$ ,  $R_i$ ,  $R_o$  e  $Z_f$ .

(b) Se  $R_i = 10$  k $\Omega$ ,  $R_o = 100 \Omega$ ,  $Z_f = 10$  k $\Omega$  ed  $A = 10^4$ , calcolare il rapporto delle correnti.

**2.2-3** Ci si riferisca alla Fig. 2.4-1.

(a) Ricavare un'espressione per il rapporto  $V_i/V_s$  tramite  $R$ ,  $R_i$ ,  $R_f$ ,  $R_o$  ed  $A$ .

(b) Se  $R = R_i = R_f = 10$  k $\Omega$ ,  $R_o = 100 \Omega$ , ed  $A = 5 \times 10^4$ , calcolare il rapporto del punto (a).

(c) Spiegare perché l'ingresso dell'op-amp è considerato massa virtuale.

**2.3-1** Ci si riferisca alla Fig. 2.3-1b. Se al condensatore  $C$  è posto in parallelo un resistore  $R_c$ , determinare la funzione di trasferimento  $V_o(s)/V_i(s)$ . A che frequenza si ha il polo?

**2.3-2** Una rete di sfasamento provoca sfasamento ma non attenuazione sull'intera banda di frequenza. Nel circuito ad op-amp di Fig. P2.3-2,  $V_o = A(V_2 - V_1)$ . Dimostrare che il circuito costituisce una rete di sfasamento trovando la funzione di trasferimento  $V_o(\omega)/V_s(\omega)$ .

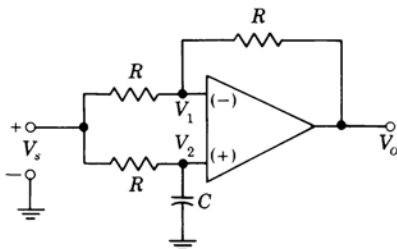


Figura P2.3-2

**2.4-1** Verificare l'Eq. (2.4-3) calcolando  $Z_o$  secondo il seguente procedimento (vedi Fig. P2.4-1): applicare un generatore di tensione  $V_o$  ai terminali di uscita dell'op-amp e calcolare la corrente  $I_o$  fornita dal generatore. L'impedenza di uscita è  $Z_o = V_o / I_o$ .

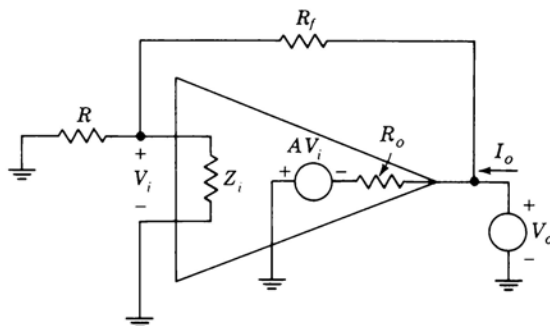


Figura P2.4-1

**2.5-1** Ricavare un'espressione per l'impedenza di ingresso vista fra le basi dei transistori  $T1a$  e  $T2a$  di Fig. P2.5-1.

(a) Dimostrare che il risultato è

$$R_i = 2h_{ie}(T_a) + 2h_{FE} h_{ie}(T_b)$$

(b) Poiché  $I_{B1b} = h_{FE} I_{B1a}$ , dimostrare che

$$R_i = 4h_{ie}(T_a)$$

(c) Se  $h_{FE} = 100$  e  $I_{E1b} = I_{E2b} = 1$  mA, calcolare  $R_i$ .

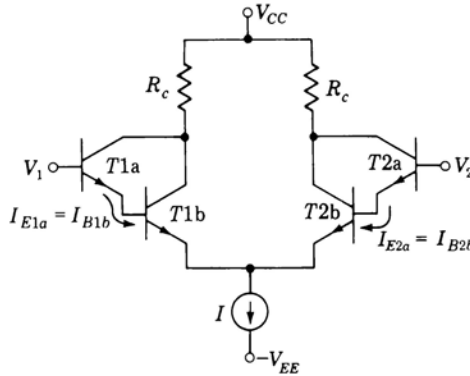


Figura P2.5-1

**2.7-1** (a) Dimostrare che il guadagno  $V_o/V_s$  dell'op-amp di Fig. 2.7-1, con  $R_i$  infinita, è

$$\frac{V_o}{V_s} = \frac{A}{1 + RA/(R + R_f + R_o)} \left( \frac{R + R_f}{R + R_f + R_o} \right)$$

(b) Se  $A = 5 \times 10^4$ ,  $R = R_f = 10$  k $\Omega$  e  $R_o = 200$   $\Omega$ , calcolare il guadagno  $V_o/V_s$ .

(c) Dimostrare che quando  $A$  è molto elevato, il risultato trovato al punto (a) si riduce all'Eq. (2.7-2).

**2.7-2** (a) In Fig. 2.7-1 supporre per semplicità che  $R_o = 0$ . Calcolare i rapporti  $V_i/V_s$  e  $V_i/V_o$ . Si noti che questi rapporti sono molto piccoli e che i due terminali di ingresso dell'op-amp sono praticamente in corto-circuito virtuale.

(b) Sia  $R_f = R = 1$  k $\Omega$ ,  $A = 10^5$  e  $V_s = 10$  V. Calcolare  $V_i$  e  $V_o$ .

**2.8-1** (a) Calcolare l'impedenza di ingresso della configurazione ad op-amp illustrata in Fig. 2.7-1, quando l'amplificatore viene fatto lavorare con guadagno unitario, cioè quando  $R = \infty$  ed  $R_f = 0$ . Assumere  $A = 5 \times 10^4$  e  $R_i = 50$  k $\Omega$ .

(b) Calcolare l'impedenza di ingresso dell'amplificatore del punto (a) quando  $R = R_f = 1$  k $\Omega$ .

**2.11-1** Supporre che il generatore di corrente di Fig. 2.5-1 sia un generatore reale e non ideale, cioè possa venire rappresentato con un generatore ideale di corrente in parallelo ad un resistore  $R_e$ .

(a) Ricavare il circuito equivalente per piccoli segnali dell'amplificatore differenziale. N.B. modificare opportunamente la Fig. 2.5-3. Dimostrare che con  $h_{ib} = h_{ie} / (h_{FE} + 1)$

$$\Delta I_{E1} = \frac{1}{2h_{ib}} (\Delta V_1 - \Delta V_2) + \frac{1}{h_{ib} + 2R_e} \frac{\Delta V_1 + \Delta V_2}{2}$$

e

$$\Delta I_{E2} = \frac{1}{2h_{ib}} (\Delta V_2 - \Delta V_1) + \frac{1}{h_{ib} + 2R_e} \frac{\Delta V_1 + \Delta V_2}{2}$$

(b) Supporre che  $h_{ib} \ll R_e$ . Si noti che  $\Delta I_{E1}$  e  $\Delta I_{E2}$  e perciò  $\Delta V_{C1}$  e  $\Delta V_{C2}$  dell'amplificatore differenziale dipendono dalla tensione differenza  $\Delta V_1 - \Delta V_2$  e anche dalla tensione di modo comune  $(\Delta V_1 + \Delta V_2)/2$ . Si noti anche che se  $R_e$  tende ad infinito, la corrente dovuta alla tensione di modo comune tende a zero.

**2.11-2** Il CMRR di un amplificatore differenziale vale 10.000 (80 dB). Se il segnale di modo comune è  $V_c = 10$  V, trovare il minimo valore della tensione differenziale  $V_d$  affinché la tensione di uscita dovuta al modo comune non sia superiore all'1% della tensione di uscita dovuta al segnale differenziale.

**2.12-1** Lo slew rate dell'op-amp di Fig. 2.7-1 vale 50 V/ $\mu$ s. Il segnale di ingresso  $V_s$  è una rampa che sale da 0 a 5 V con una velocità molto più elevata dello slew rate, sicché può essere considerata un gradino. Se  $R_f = R = 1$  k $\Omega$ , disegnare (a) la forma d'onda dell'uscita, (b) la tensione  $V_1(t)$ , (c)  $V_i(t)$ . (d) Per quanto tempo l'amplificatore rimane sovraccaricato?

**2.12-2** Applicando un segnale sinusoidale a bassa frequenza ad un ingresso dell'op-amp di Fig. 2.7-1, l'amplificatore risponde linearmente per un'escursione massima dell'uscita da -10 a +10 V. Se  $R = R_f$  e lo slew rate dell'amplificatore è 50 V/ $\mu$ s, qual'è la massima frequenza consentita per la sinusoide di ingresso affinché il segnale di uscita presenti un'escursione da -10 a +10 V senza distorsione?

**2.14-1** In Fig. 2.14-1 T3 funge da generatore di corrente costante. Calcolare mediante il circuito equivalente per piccoli segnali la resistenza vista guardando nel collettore di T3. Assumere  $h_{ie} = 1$  k $\Omega$ ,  $h_{FE} = 50$  e  $1/h_{oe} = 100$  k $\Omega$ .

**2.15-1** Calcolare  $V_{CS}$  di Fig. 2.15-1.

**2.15-2** Si faccia riferimento alla Fig. 2.14-1. Si supponga T5 in saturazione e  $V_{CES}(\text{sat}) = 0,2$  V. (a) Calcolare  $I_{CS}$ , (b) dimostrare che  $V_{B6} \approx 8,1$  V, (c)



calcolare  $I_{C4}$  supponendo  $D2$  OFF, (d) determinare  $V_{B4} - V_{B5}$ , e (e) calcolare  $V_i$ .

**2.15-3** (a) Calcolare il valore di  $V_i$  affinché in Fig. 2.14-1 la tensione di uscita sia  $V_o = 0$  V. Si noti che T5, con questa tensione di uscita, non è saturo.

(b)  $D2$  è interdetto?

**2.15-4** Verificare l'Eq. (2.15-11).

**2.17-1** La Fig. P2.17-1 rappresenta un comparatore rigenerativo (circuitto di Schmitt) in cui si è introdotta la capacità  $C$  per indicare che qualsiasi amplificatore reale presenta una risposta in frequenza limitata. Inizialmente l'interruttore  $S$  è aperto ed il comparatore si trova in uno stato iniziale di equilibrio con  $V_s = V_2 = V_o = 0$ . Si introduca ora nel sistema una piccola perturbazione che lo *costringa* (l'interruttore  $S$  viene chiuso) a portarsi nel nuovo stato  $V_s = 0$ ,  $V_o = \Delta V$ ,  $V_2 = \beta \Delta V$ .

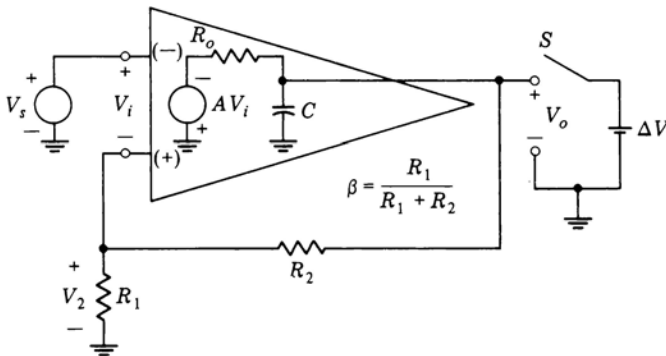


Figura P2.17-1

(a) Calcolare la risposta del sistema quando viene rimossa la perturbazione, cioè quando  $S$  viene riaperto. Dimostrare che il sistema non ritorna nello stato iniziale ma viceversa se ne allontana sempre più rapidamente. Trovare l'espressione di  $V_o$  in funzione del tempo.

(b) Applicare il risultato trovato nel punto (a) alla situazione rappresentata in Fig. 2.17-3. Porre  $V_s = V_{s3}$  e supporre che il sistema sia in equilibrio.  $V_s$  venga portato di colpo al valore  $V_{s3} + \Delta V$ . Descrivere qualitativamente la risposta del circuito. Quale sarà lo stato di equilibrio finale del circuito?

**2.17-2** Servirsi dell'Eq. (2.17-2) e della Fig. 2.17-3 per verificare l'Eq. (2.17-3).

**2.17-3** Il trigger di Schmitt di Fig. 2.17-1 presenta  $A_o = 1000$  e  $R_1 = R_2 = 1 \text{ k}\Omega$ . La tensione di uscita può assumere il livello  $V_H = 5 \text{ V}$  oppure  $V_L = 0 \text{ V}$ .

(a) Disegnare l'andamento di  $V_o$  in funzione di  $V_s$ .

(b) Calcolare l'isteresi.

**2.17-4** Il trigger di Schmitt base di Fig. 2.17-1 è stato modificato come indicato in Fig. P2.17-4 in modo da funzionare come generatore di onda quadra. Supporre che per  $t = 0$ ,  $V_C = 0 \text{ V}$  e  $V_o = 5 \text{ V}$ .

(a) Disegnare l'andamento di  $V_o(t)$  e  $V_C(t)$  in funzione del tempo.

(b) Si noti che  $V_o(t)$  non è un'onda quadra simmetrica. Quanto deve valere  $V_R$  per renderla simmetrica?

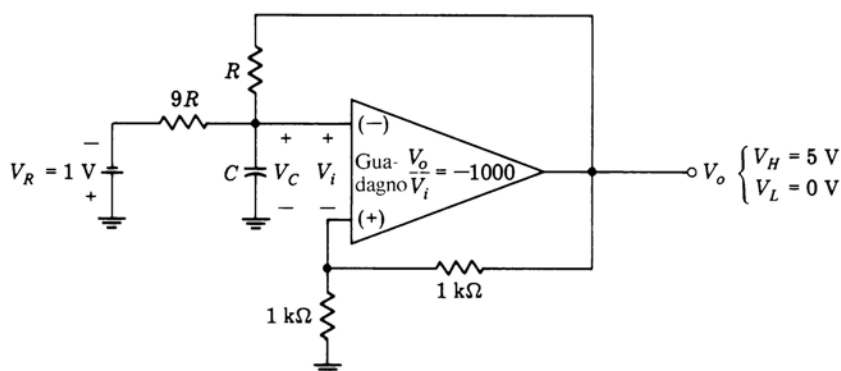


Figura P2.17-4

**2.18-1** Verificare l'Eq. (2.18-2).

**2.18-2** (a) Per il circuito di Fig. 2.18-1 trovare la relazione che lega  $V_R$  al rapporto  $R_1/R_2$  affinché l'ampiezza dell'isteresi sia simmetrica rispetto a  $V_s = 0$ ; cioè, in Fig. 2.17-3,  $|V_{s4}| = |V_{s5}|$ .

(b) Se  $A_o = 1000$  ed  $R_1 = R_2 = 1 \text{ k}\Omega$ , calcolare il valore dell'isteresi per  $V_R$  uguale al valore trovato nel punto (a).

## CAPITOLO 3

**3.3-1** Disegnare un circuito che permetta di accendere una lampada soltanto nel caso in cui tre interruttori,  $S_1$ ,  $S_2$ , e  $S_3$ , sono contemporaneamente chiusi.

**3.3-2** Disegnare un circuito che permetta di accendere una lampada soltanto se un interruttore  $S_1$  è chiuso e un interruttore  $S_2$  è aperto.

**3.4-1** Disegnare un circuito che permetta di accendere una lampada soltanto se un interruttore  $S_1$  o un interruttore  $S_2$  o entrambi sono chiusi.

**3.5-1** Verificare l'Eq. (3.5-5), che afferma che l'operazione  $\text{NAND}$  non è associativa. Usare la tavola di verità e porre  $X = (\overline{AB})C$  e  $Y = A(\overline{BC})$ . Dimostrare che  $\overline{X} \neq \overline{Y}$ .

**3.5-2** Verificare l'Eq. (3.5-9).

**3.6-1** Dimostrare che il circuito ad interruttori di Fig. P3.6-1 può essere impiegato per realizzare l'operazione  $\text{OR ESCLUSIVO}$ . Si associno fra di loro gli interruttori in modo che con due sole variabili logiche indipendenti si possano rappresentare le posizioni degli interruttori.

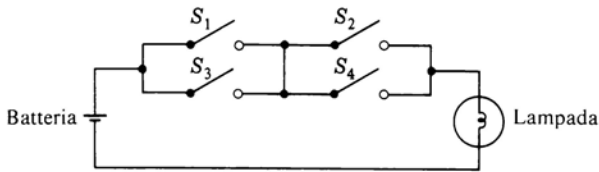


Figura P3.6-1

**3.6-2** Dimostrare che la funzione  $\text{OR ESCLUSIVO}$  può essere realizzata mediante porte  $\text{NAND}$ .

**3.6-3** Dimostrare che nell'Eq. (3.6-3)  $Z$  è vera se il numero delle variabili vere è *dispari* e falsa se il numero delle variabili vere è *pari*.

**3.7-1 (a)** Date due variabili indipendenti  $A$  e  $B$ , indicare mediante tavole di verità tutte le possibili funzioni  $Z = f(A, B)$ .

(b) Dimostrare che due di queste funzioni non sono proprio delle vere funzioni, essendo indipendenti da  $A$  e da  $B$ .

(c) Dimostrare che quattro di queste funzioni sono in effetti funzione di una soltanto delle variabili.

(d) La funzione

$A$	$B$	$Z$
F	F	T
F	T	T
T	F	F
T	T	T

si scrive  $A \supset B$  e si legge « $A$  implica  $B$ ». Qual'è il motivo di questa terminologia? Dimostrare che fra le 16 funzioni si trovano  $\overline{A} \supset \overline{B}$ ,  $\overline{B} \supset \overline{A}$ , e  $B \supset A$ .

**3.8-1** Giovanni andrà al cinema se Maria andrà con lui e se potrà usare l'automobile del padre. Maria però ha deciso di andare al mare se non piove e se la temperatura è superiore a  $20^{\circ}\text{C}$ . Il padre di Giovanni ha deciso a sua volta di usare l'automobile per andare a trovare degli amici se piove o se la temperatura è superiore a  $20^{\circ}\text{C}$ . Quali condizioni devono verificarsi affinché Giovanni possa andare al cinema? Progettare un circuito che risolva il problema, utilizzando porte NOT, AND e OR, interruttori, una batteria ed una lampadina. La lampadina deve accendersi solo se Giovanni può andare al cinema.

**3.8-2** Gli autobus di una linea partono dal capolinea ogni ora a meno che ci siano meno di dieci passeggeri o che il conducente sia in ritardo. Se ci sono meno di 10 passeggeri, l'autobus aspetta 10 minuti o fino a che il numero dei passeggeri arriva a 10. Se l'autobus parte in orario, può viaggiare a 100 km/h. Se invece parte in ritardo o se piove, può viaggiare solo a 50 km/h. A quali condizioni l'autobus può viaggiare a 100 km/h? Costruire un circuito usando porte AND, OR e NOT, interruttori, una batteria ed una spia luminosa. La spia deve accendersi se l'autobus può viaggiare a 100 km/h.

**3.8-3** Sette interruttori comandano una lampadina nel seguente modo: se gli interruttori 1, 3, 5 e 7 sono chiusi e l'interruttore 2 è aperto, oppure se gli interruttori 2, 4 e 6 sono chiusi e l'interruttore 3 è aperto, oppure se tutti e sette gli interruttori sono chiusi, la lampadina è accesa.

Usare porte NOT, AND ed OR per mostrare come devono essere collegati gli interruttori.

**3.8-4** Verificare che la lampada di Fig. 3.8-1 si accende come è specificato nell'Esempio 3.8-1.

**3.8-5** Il circuito di Fig. P3.8-5 impiega un numero di porte sovrabbondante. Trovare un altro circuito che presenti la stessa funzione di trasferimento ma impieghi un minor numero di porte.

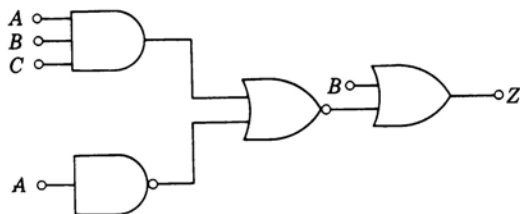


Figura P3.8-5

**3.8-6** Un «economista» propone la seguente tecnica per realizzare guadagni in Borsa:

1 Se i dividendi pagati per le azioni superano quelli pagati per le obbligazioni, comprare azioni.

2 Se i dividendi pagati per le obbligazioni superano quelli pagati per le azioni, comprare obbligazioni a meno che l'aumento del valore delle azioni sia stato pari almeno al 25% annuo negli ultimi cinque anni, nel qual caso si dovranno comprare azioni.

L'economista chiede di realizzargli un dispositivo che gli dica come deve comportarsi. Il circuito richiede tre interruttori (dividendi maggiori per le azioni, dividendi maggiori per le obbligazioni, aumento superiore al 25% annuo) e due lampadine che, accendendosi, segnalino se si deve optare per le azioni oppure per le obbligazioni. Progettare il dispositivo impiegando porte NOR.

**3.10-1** (a) Disegnare un circuito OR ESCLUSIVO usando porte NOR e NAND.

(b) Ripetere, usando solo porte NOR.

**3.10-2** (a) Disegnare un circuito per accendere la lampada dell'Esempio 3.8-1 usando solo porte NAND.

(b) Ripetere, usando solo porte NOR.

**3.11-1** Verificare le Eq. (3.11-6a) e (3.11-6b) sostituendo 0 o 1 a ciascuna delle tre variabili. Notare che ci sono otto combinazioni possibili.

**3.11-2** Usando l'Eq. (3.11-6a), dimostrare che

$$\begin{aligned} X + WY + UVZ &= (X + WY + UV)(X + WY + Z) \\ &= (X + U + W)(X + U + Y)(X + V + W) \\ &\quad (X + V + Y)(X + Z + W)(X + Z + Y) \end{aligned}$$

**3.11-3** Verificare l'Eq. (3.11-9b) (a) mediante semplificazione dell'espressione e (b) mediante sostituzione diretta di 0 o 1 per ciascuna variabile.

**3.11-4** Verificare l'Eq. (3.11-11a).

**3.11-5** Verificare le Eq. (3.11-12a) e (3.11-12b).

**3.12-1** Semplificare le seguenti espressioni:

- (a)  $(A + \bar{B})\bar{A}\bar{B}\bar{C}$
- (b)  $A\bar{B}C + \bar{A}\bar{C}D + \bar{C}A$
- (c)  $AB + \bar{A}C\bar{D}E + \bar{B}C\bar{D}$
- (d)  $\bar{A}\bar{B} + AC + \bar{B}\bar{C}\bar{D} + B\bar{C}E + \bar{B}CF + BC\bar{G}$

**3.12-2** Complementare e semplificare le seguenti espressioni:

- (a)  $\bar{A}B$
- (b)  $(\bar{A} + B)(\bar{C}\bar{D})$
- (c)  $(A + \bar{A}B)(C + \bar{D})$

**3.13-1** Esprimere in binario (a) 13, (b) 5, (c) 18, (d) 30. Ogni numero binario deve avere cinque cifre.

**3.13-2** Esprimere in binario i numeri (a) 0,625, (b) 0,278, (c) 18,454.

**3.14-1** Esprimere in codice Grey i numeri decimali da 0 a 31.

**3.15-1** Ridurre le espressioni seguenti alla somma di prodotti minima:

$$(a) (A + \bar{B} + C)(\bar{A} + \bar{B} + \bar{C})$$

$$(b) (A + B)(\bar{B} + \bar{A})$$

$$(c) AB(C + D)E + (C + D)AC$$

**3.15-2** Scrivere le espressioni dell'Esempio 3.15-1 sotto forma di somma di prodotti canonica.

**3.16-1** Trovare il prodotto di somme canonico per

$$(a) AB + \bar{A}C\bar{D}E + \bar{B}CD$$

$$(b) AB\bar{C}D + B\bar{C}\bar{E} + AD$$

$$(c) \bar{A}\bar{B}\bar{C} + \bar{A}BD + CD$$

**3.16-2** Scrivere le espressioni del Prob. 3.16-1 sotto forma di prodotti di somme minimi.

**3.17-1** Semplificare:

$$(a) f(A, B, C) = \sum m(0, 1, 2, 4)$$

$$(b) f(A, B, C) = \sum m(1, 3, 5, 6, 7)$$

$$(c) f(A, B, C) = \sum m(0, 1, 2, 3, 4, 5, 6)$$

**3.17-2** Semplificare:

$$(a) f(A, B, C) = \prod M(0, 1, 2, 4)$$

$$(b) f(A, B, C) = \prod M(3, 5, 6, 7)$$

**3.17-3** Una funzione è  $f = f(A, B, C, D)$ . Se  $f = \sum m(0, 1, 2, 3)$ , esprimere  $f$  in termini di maxterm.

**3.17-4** Dimostrare che  $\sum m(0, 3, 4, 5)$  e  $\prod M(0, 3, 4, 5)$  sono l'uno il complemento dell'altro, mentre  $\sum m(0, 3, 4, 5) = \prod M(1, 2, 6, 7)$ .

**3.23-1** Minimizzare le seguenti espressioni usando il metodo delle mappe K:

$$(a) \bar{A}\bar{B}C + AD + \bar{D}(B + C) + A\bar{C} + \bar{A}\bar{D}$$

$$(b) \sum m(0, 1, 2, 3, 4, 9, 10, 12, 13, 14, 15)$$

$$(c) \prod M(0, 1, 2, 3, 4)$$

$$(d) \bar{B}\bar{C} + \bar{A}B + \bar{A}\bar{B}\bar{D} + BCD + \bar{A}\bar{B}\bar{C}\bar{D}$$

**3.25-1** Se  $F = C + \bar{A}\bar{B}$ , disegnare  $\bar{F}$  in una mappa K. Dimostrare che  $\bar{F} = \bar{B}\bar{C} + \bar{A}\bar{C}$

**3.25-2** Verificare che la Fig. 3.25-1d rappresenta l'Eq. (3.25-3b).

**3.25-3** Usando il minimo numero di

(a) Porte  $NAND$  a due ingressi

(b) Porte  $NOR$  a due ingressi

(c) Porte  $NAND$  a tre ingressi

(d) Porte  $NOR$  a tre ingressi

realizzare le seguenti funzioni:

$$(1) f = \sum m(0, 1, 2, 3, 8, 9, 10, 11)$$

$$(2) f = \sum m(0, 1, 8, 9, 10)$$

$$(3) f = \prod M(5, 7, 13, 15)$$

$$(4) f = \prod M(1, 3, 9, 10, 11, 14, 15)$$

**3.26-1** Usando il minimo numero di

(a) Porte  $NAND$  a due ingressi

(b) Porte  $NOR$  a due ingressi

(c) Porte  $NAND$  a tre ingressi

(d) Porte  $NOR$  a tre ingressi

realizzare le seguenti funzioni:

$$(1) f(A, B, C, D) = \sum m(0, 1, 4, 5, 9, 11, 14, 15) + \sum d(10, 13)$$

$$(2) f(A, B, C, D) = \sum m(0, 13, 14, 15) + \sum d(1, 2, 3, 9, 10, 11)$$

## CAPITOLO 4

**4.2-1** Disegnare uno schema circuitale che illustri come si debbano collegare le porte DCTL per realizzare le funzioni  $AND$  e  $NOT$ .

**4.2-2** Facendo riferimento alla Fig. 4.2-1, si ponga  $V_{CC} = 3 \text{ V}$  e  $R_c = 1 \text{ k}\Omega$ . Determinare il numero  $N$  di transistori che la porta  $G0$  è in grado di saturare se per saturare un transistor è necessaria una corrente di base di  $0,1 \text{ mA}$ .

**4.2-3** Disegnare la caratteristica di ingresso-uscita della porta DCTL  $G11$  illustrata in Fig. 4.2-1, per i valori di temperatura  $T = -55$  e  $125^\circ\text{C}$ . (Spesso le case costruttrici specificano, insieme alle caratteristiche a temperatura ambiente, anche le caratteristiche relative a queste altre due temperature.)

**4.4-1** Si faccia riferimento alla porta RTL di Fig. 4.1-1. Se  $h_{FE} = 200$  e se i transistori da  $T2$  a  $TN$  sono  $OFF$ , si determini approssimativamente il valore minimo di  $V_1$  necessario per avere una tensione di uscita  $V_o = 0,3 \text{ V}$ . Si supponga  $V_{BE1} = 0,75 \text{ V}$  e ci si avvalga della Fig. 1.10-1 con  $h_{FC} = 0,1$ .

**4.4-2** Si faccia riferimento alla porta RTL di Fig. 4.1-1. Si supponga che i transistori, da  $T2$  a  $TN$ , siano  $OFF$ . Si supponga inoltre che  $T1$  presenti un valore di  $h_{FE}$  compreso nell'intervallo  $50 < h_{FE} < 200$  e un valore di  $h_{FC}$  compreso nell'intervallo  $0,01 \leq h_{FC} \leq 0,1$ . Infine si supponga che  $T1$  sia in saturazione con  $V_{BE1} = 0,75 \text{ V}$ ,  $V_o = 0,2 \text{ V}$  e  $V_{CC} = 3,0 \text{ V}$ . Qual'è il valore di

$V_1$  che, nelle condizioni più sfavorevoli, garantisce che  $T1$  sia in saturazione? Ci si avvalga dell'Eq. 1.10-3.

**4.4-3** Si ripeta il Prob. 4.4-2 con i valori  $R_b = 1,5 \text{ k}\Omega$  ed  $R_c = 3,6 \text{ k}\Omega$ .

**4.4-4** Facendo riferimento alla porta di Fig. 4.1-1 e alla caratteristica di ingresso-uscita di Fig. 4.4-1, supporre che i transistori, da  $T2$  a  $TN$ , siano OFF.

(a) Determinare un'espressione per la pendenza  $\Delta V_o / \Delta V_1$  della caratteristica di ingresso-uscita in funzione di  $I_C$ , quando  $T1$  è nella regione attiva. Supporre che, in zona attiva, la corrente di base sia legata alla tensione base-emettitore dall'equazione del diodo.

(b) Se  $V_{CC} = 3 \text{ V}$  e  $h_{FE} = 100$ , calcolare la pendenza quando  $V_o = 1,6 \text{ V}$ .

**4.5-1** Facendo riferimento alla Fig. 4.5-3, porre  $R_b = 1,5 \text{ k}\Omega$ ,  $R_c = 3,6 \text{ k}\Omega$  e  $V_{CC} = 3 \text{ V}$ . I transistori  $T1$  e  $T2$  sono identici, con parametri  $h_{FE} = 50$  e  $h_{FC} = 0,1$ .

(a) Se  $T2$  è interdetto, determinare  $I_{C1}$  e  $I_{B1}$  in modo che  $V_{CE1} = V_{CE2} = 0,2 \text{ V}$ .

(b) Se  $I_{B1}$  ha il valore determinato al punto (a) e  $T2$  viene portato in saturazione, determinare il valore di  $I_{B2}$  necessario affinché  $V_{CE1}$  scenda a  $0,1 \text{ V}$ . Calcolare il rapporto  $I_{B1}/I_{B2}$ .

**4.5-2** (a) In Fig. 4.5-3,  $R_b = 1,5 \text{ k}\Omega$ ,  $R_c = 3,6 \text{ k}\Omega$  e  $V_{CC} = 3 \text{ V}$ ;  $T1$  e  $T2$  sono identici con  $h_{FE} = 50$  e  $h_{FC} = 0,1$ .  $T2$  è OFF e  $I_{B1}$  è tale da mandare  $T1$  in saturazione con  $V_{CE} = 0,2 \text{ V}$ . Determinare  $I_{B1}$ .

(b) Porre  $I_{B1} = I_{B2}$ . Determinare  $I_{B1} = I_{B2}$  per  $V_{CE} = 0,2 \text{ V}$ .

(c) Ricavare il rapporto dei valori di  $I_{B1}$  trovati in (a) e (b). Commentare il risultato.

**4.6-1** (a) Determinare le caratteristiche di ingresso-uscita di una porta RTL che lavora, con un fan-out di 1, alle temperature  $T = -55, 25$  e  $125 \text{ }^\circ\text{C}$ . Porre  $R_b = 450 \text{ }\Omega$ ,  $R_c = 640 \text{ }\Omega$ ,  $V_{CC} = 3 \text{ V}$ ,  $h_{FE} = 50$  e  $h_{FC} = 0,1$ . Prendere per  $V_{CE}$  (sat) il valore corrispondente a  $\sigma = 0,1$ . Indicare sul grafico la dipendenza dalla temperatura di  $V_{CE}$  (sat).

(b) Per ciascuna delle temperature considerate, determinare i margini di rumore  $\Delta 1$  e  $\Delta 0$ .

**4.6-2** Ripetere la costruzione delle caratteristiche del Prob. 4.6-1 con i valori  $R_b = 1,5 \text{ k}\Omega$  ed  $R_c = 3,6 \text{ k}\Omega$ .

**4.6-3** Ripetere il Prob. 4.6-2 con un fan-out di 5.

**4.6-4** Verificare l'Eq. (4.5-4)

**4.7-1** (a) Disegnare la caratteristica di ingresso-uscita del buffer RTL illustrato in Fig. 4.7-1, supponendo un fan-out  $N = 1$  e per i valori di temperatura  $T = -55, 25$  e  $125 \text{ }^\circ\text{C}$ .

Supporre, come al solito, che il transistore inizi a condurre per  $V_{BE} = 0,65 \text{ V}$ ,



che entri in saturazione per  $V_{BE} = 0,75 \text{ V}$  e che  $V_{CE}(\text{sat}) = 0,2 \text{ V}$ . Prendere  $h_{FE} = 100$ .

(b) Determinare i margini di rumore  $\Delta 0$  e  $\Delta 1$  per ciascuna temperatura.

**4.7-2** Disegnare la caratteristica tensione-corrente di uscita ( $-I_o$  in funzione di  $V_o$ ) relativa al buffer RTL di Fig. 4.7-1 quando  $V_i$  si trova al livello logico 0.

**4.7-3** Facendo riferimento alla Fig. 4.7-2, supporre  $T2$  in saturazione. Sia  $N = 25$  e  $V_{\gamma} = 0,75 \text{ V}$ . Calcolare (a)  $I_o$ , (b) la corrente di collettore  $I_C$ , e (c) la corrente di base  $I_B$ .

**4.7-4** Verificare le equazioni (4.7-1) e (4.7-2).

**4.8-1** I collegamenti dei transistori  $T2$  e  $T3$ , facenti parte della porta OR ESCLUSIVO di Fig. 4.8-1, sono riportati in Fig. P4.8-1.

(a) Se  $V_A = 3 \text{ V}$ , tracciare un grafico qualitativo della tensione di base di  $T3$ , al variare di  $V_B$  da 0 a 3 V.

(b) Se  $V_A = 0 \text{ V}$ , dimostrare che  $T3$  è OFF, indipendentemente dal valore di  $V_B$ .

(c) Ricavare una tavola di verità che dimostri che  $V_o = \overline{V_A \cdot V_B}$ .

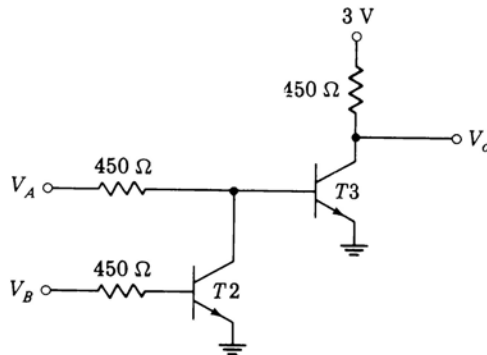


Figura P4.8-1

**4.9-1** Una certa porta RTL ha le seguenti caratteristiche: la massima corrente di ingresso è  $I_{in} = 400 \mu\text{A}$ ; la minima corrente di uscita è  $2 \text{ mA}$ ; la corrente di perdita di ciascun transistore è  $I_x = 100 \mu\text{A}$ ; la porta presenta quattro ingressi. Supponendo che tutte le porte presentino le stesse caratteristiche, qual'è il fan-out della porta?

**4.10-1** (a) Due porte RTL identiche, ciascuna con due ingressi e realizzate sullo stesso chip, vengono collegate in parallelo. Prese singolarmente, le porte

presentano un fattore di carico di ingresso di 1 e un fattore di carico di uscita di 5. Calcolare i fattori di carico di ingresso e uscita delle porte poste in parallelo.

(b) Due porte RTL identiche, ciascuna con due ingressi e realizzate su due chip diversi, vengono collegate in parallelo. Ciascuna porta presenta un fattore di carico di ingresso di 1 e un fattore di carico di uscita di 5. Calcolare i fattori di carico di ingresso e uscita delle porte poste in parallelo.

**4.10-2** Due buffer del tipo di quello indicato in Fig. 4.7-1 vengono collegati in parallelo. L'ingresso del buffer *A* sia nello stato 1 e l'ingresso del buffer *B* sia nello stato 0. Calcolare la corrente che scorre nel transistor *T3* del buffer *A*.

**4.11-1** Una porta RTL presenta, nel caso più sfavorevole, le tensioni riportate nella tabella che segue:

Temp., °C	$V_{OH}$	$V_{IH}$	$V_{IL}$	$V_{OL}$
-55	1.014	1.01	0.718	0.710
25	0.844	0.815	0.565	0.300
125	0.673	0.67	0.325	0.320

Calcolare i margini di rumore  $\Delta 0$  e  $\Delta 1$  nel caso più sfavorevole.

**4.12-1** La tensione di ingresso  $V_1$  del circuito di Fig. P4.12-1 è costituita da un ripido gradino positivo di 3 V. Le porte *G1*, *G2*, *G3* presentano, rispettivamente, ritardi di propagazione di 1,2, 4  $\mu$ s. Disegnare i diagrammi delle forme d'onda nei punti  $V_1$ ,  $V_2$ ,  $V_3$  e  $V_4$  con la scala dei tempi comune.

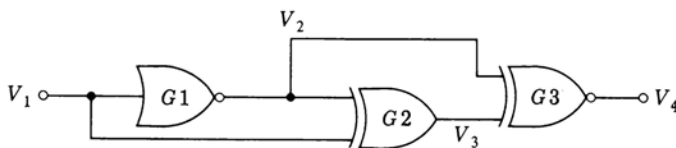


Figura P4.12-1

**4.13-1** Verificare che la Fig. 4.13-1 può essere ridisegnata come è illustrato in Fig. 4.13-2.

**4.13-2** Verificare che la Fig. 4.13-2 può ridursi alla Fig. 4.13-3.

**4.15-1** Ridisegnare la Fig. 4.15-1 evidenziando i transistori *pnp* ed *nnp*. Indicare le otto uscite  $ABC$ ,  $ABC$ , ...,  $\overline{A}\overline{B}\overline{C}$  e i tre ingressi *A*, *B* e *C*.

## CAPITOLO 5

In mancanza di altre indicazioni, supporre  $h_{FE} = 50$  e  $h_{FC} = 0,1$ . Fare riferimento alla Fig. 1.10-1.

**5.1-1** Disegnare la caratteristica di ingresso-uscita della porta DTL illustrata in Fig. 5.1-1. Supporre che, con una corrente di 1,5 mA, la tensione del diodo sia 0,75 V. Disegnare le caratteristiche per i valori di temperatura (a) 25 °C, (b) -55 °C e (c) 125 °C.

**5.1-2** Quando il transistor  $T2$  della Fig. 5.1-1 è interdetto, visto dall'ingresso può essere rappresentato da un condensatore  $C = 5$  pF. Calcolare il tempo richiesto affinché la base del transistor  $T2$  raggiunga la tensione di soglia  $V_\gamma = 0,65$  V se all'istante  $t = 0$  la tensione  $V_i$  sale di colpo da 0 a 5 V. Supporre che i diodi  $D1$  e  $D2$  possano essere rappresentati da batterie da 0,7 V.

**5.2-1** Si faccia riferimento alla Fig. 5.2-1. Si supponga che il grado di saturazione a cui si vuole spingere il transistor  $T2$  sia specificato da un valore del parametro  $\sigma \equiv I_C/h_{FE}I_B$  (vedi Par. 1.10). Dimostrare che il fan-out è dato da

$$N = \sigma h_{FE} \frac{V_{CC} - 3V_\sigma}{V_{CC} - V_\sigma - V_{CE(sat)}} - \frac{R}{R_c} \frac{V_{CC} - V_{CE(sat)}}{V_{CC} - V_{CE(sat)} - V_\sigma}$$

dove  $V_\sigma$  è la tensione ai capi del diodo polarizzato direttamente e la tensione base-emettitore di un transistor in saturazione, e vale, alla temperatura di 25 °C,  $V_\sigma = 0,75$  V. Dimostrare che, per valori di  $V_{CC}$  molto elevati,  $N = \sigma h_{FE} - R/R_c$ .

**5.2-2** Disegnare la caratteristica di ingresso-uscita della porta DTL con carico illustrata in Fig. 5.2-1. Supporre  $N = 10$ ,  $T = 25$  °C. Assumere per le cadute di tensione sul diodo i valori indicati nel Prob. 5.1-1.

**5.3-1** Fare riferimento alla Fig. 5.3-1. (a) Confrontare la potenza dissipata dai transistori  $T1$  e  $T2$  nel caso di  $\rho = 0$  e nel caso di  $\rho = 1$  (cioè  $T1$  sostituito da un diodo). Prendere  $R = 3,75$  k $\Omega$ .

(b) Calcolare il valore della corrente totale che l'alimentazione  $V_{CC}$  deve fornire alla porta DTL integrata quando  $V_i = 0$  V.

(c) Ripetere il punto (b) con  $V_i = 5$  V

**5.4-1** (a) Calcolare il valore della corrente nel diodo  $DA$  di Fig. 5.4-1, quando  $V_i = 0,2$  V; supporre la tensione  $V_{DA} = 0,75$  V.

(b) Calcolare la corrente nel diodo  $DA$  quando  $V_P = 2,05$  V, valore corrispondente a  $T2$  alla soglia di conduzione.

**5.4-2** Quando la tensione di ingresso, nel circuito di Fig. 5.4-1, vale  $V_i = 1,6$  V,  $DA$  è interdetto e, come è indicato in Fig. 5.4-2,  $T2$  è in saturazione. Di-

mostrare che  $T2$  va in saturazione anche prima che  $DA$  si inter dica, eseguendo i calcoli seguenti:

(a) Trovare un valore di  $I_{C2}$  tale che  $V_{C2} = 0,2 \text{ V}$

(b) Trovare  $I_{B2}$  usando la Fig. 1.10-1

(c) Calcolare  $I_D$  che scorre nel diodo  $D2$ .

(d) Calcolare  $V_P$

(e) Calcolare la corrente  $I_{DA}$  e il corrispondente valore di  $V_{DA}$ . Determinare  $V_i$  e notare che  $V_i$  è minore di  $1,6 \text{ V}$ .

**5.4-3** Ripetere i calcoli del Prob. 5.4-2 per le temperature  $T = -55$  e  $T = 125^\circ\text{C}$ .

**5.4-4** In Fig. P5.4-4 è illustrata una versione della porta  $\text{NAND DTL}$  della Western Electric. Per semplicità è indicato un solo ingresso. Si noti che in questo circuito sono impiegati i diodi  $D1$  e  $D2$ ; si noti inoltre che  $\rho = 1/8$ .

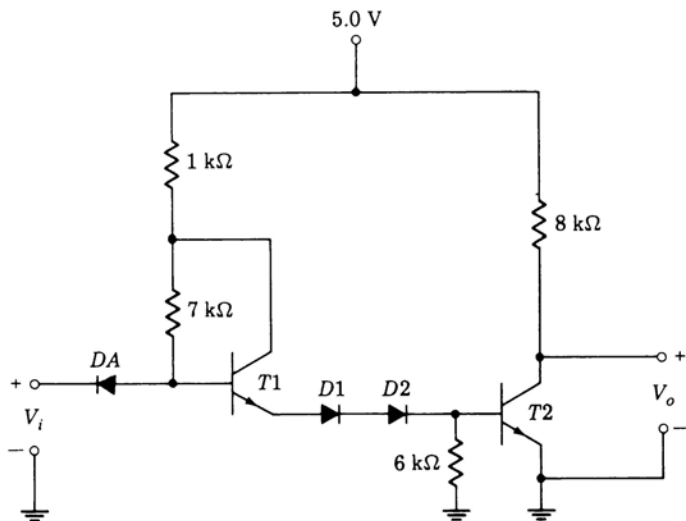


Figura P5.4-4

(a) Disegnare le caratteristiche di ingresso-uscita della porta per  $T = -55$ ,  $25$ ,  $125^\circ\text{C}$ .

(b) Determinare i margini di rumore  $\Delta 0$  e  $\Delta 1$  per i tre valori di temperatura del punto (a).

(c) Determinare una relazione approssimata fra il fan-out  $N$  di questa porta e il parametro  $\rho$ , corrispondente all'Eq. (5.3-7) valida per il circuito di Fig. 5.3-2.

**5.4-5** In Fig. P5.4-5 è illustrato un buffer DTL della Western Electric, in cui  $T5$  funge da pull-up attivo e  $T1$  da diodo di ingresso.



**5.8-2** Quando il transistor  $T2$  di Fig. 5.7-1 è al limite della saturazione,  $V_{CE}(T2) \approx 0,2$  V e  $\sigma = 0,85$ . Calcolare (a)  $I_{B2}$  e (b)  $I_E(T1)$ . (c) Con questo valore di  $I_E(T1)$  si può considerare  $V_{BE}(T1) \approx 0,7$  V. Calcolare  $I_{DA}$ . (d) Con questo valore di  $I_{DA}$  si può considerare  $V_{DA} \approx 0,77$  V. Calcolare  $V_i$ .

**5.8-3** Disegnare la caratteristica di ingresso-uscita della porta HTL illustrata in Fig. 5.7-1 per  $T = -30$  e  $75$  °C.

**5.9-1** In Fig. P5.9-1 è illustrato un buffer HTL. Il buffer è studiato per aumentare la velocità di funzionamento della porta in presenza di un forte carico capacitivo. Discutere qualitativamente il funzionamento del circuito. Attraverso quale percorso si carica la capacità di carico? Attraverso quale percorso si scarica?

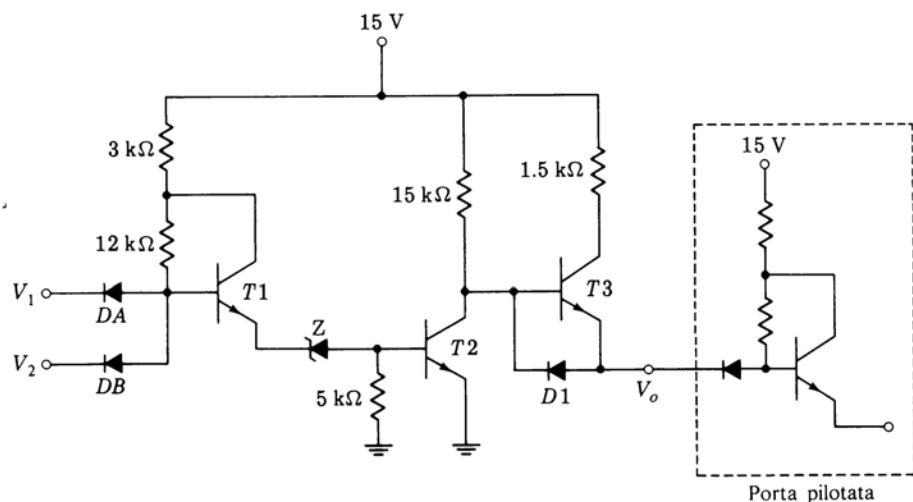


Figura P5.9-1

## CAPITOLO 6

In mancanza di altre indicazioni, assumere in tutti i problemi  $h_{FE} = 50$ ,  $h_{FC} = 0,1$  e far riferimento a Fig. 1.10-1.

**6.3-1** In Fig. 6.3-2, quando le tensioni di ingresso sono all'1 logico,  $T3$  è in saturazione. La carica di base di saturazione  $Q_{BS}$  e la carica di base attiva  $Q_{BA}$  — vedi Fig. 1.20-1d — valgono rispettivamente 100 e 150 pC. Se uno degli ingressi viene portato bruscamente a 0 V, calcolare il tempo necessario al transistor  $T3$  per passare dalla saturazione al limite dell'interdizione.

**6.4-1** In Fig. 6.4-1 supponiamo che  $T2$  e  $T3$  siano saturati simultaneamente. Se  $V_{CE}(\text{sat}) = 0,2$  V e  $V_{BE3} = V_{BE2} = V_D = 0,75$  V, calcolare (a) la corrente in  $R_{c2}$  e (b)  $V_{C4}$  e  $V_{E4}$ .  $T4$  è saturo?

**6.5-1** Riferendosi alla Fig. 6.5-1, tracciare il diagramma di  $V_o$  in funzione di  $V_{B4}$  quando  $V_{B4}$  aumenta da 0 a 1,5 V. Prendere per  $R_{C4}$  i valori 1 e 10 k $\Omega$ ; per gli altri componenti i valori sono quelli indicati. Assumere un fan-out di 1.

**6.5-2** Riferendosi alla Fig. 6.5-1, tracciare il diagramma di  $V_o$  in funzione di  $V_{B4}$  alle temperature di  $-55$  e di  $125$  °C. Assumere un fan-out di 1.

**6.5-3** Supporre che la porta di Fig. 6.5-1 lavori senza carico.

(a) Per quale valore della corrente di base  $I_{B4}$ ,  $T3$  raggiungerà la tensione di soglia?

(b) Per quale valore della corrente di base  $I_{B4}$ ,  $T2$  si interdirà? (Supporre che  $T2$  sia interessato da una corrente molto piccola.)

(c) Trovare  $V_{CE4}$  nella situazione indicata nel punto (b).

**6.5-4** Riferendosi alla Fig. 6.5-1, calcolare e disegnare  $I_{E2}$  in funzione di  $I_{B4}$ . Assumere un fan-out di 1.

**6.8-1** Calcolare e disegnare la caratteristica tensione-corrente d'ingresso della porta TTL di Fig. 6.5-1 per  $T = -55$  e  $125$  °C.

**6.9-1** Calcolare e disegnare la caratteristica tensione-corrente di uscita della porta TTL di Fig. 6.5-1 per  $T = -55$  e  $125$  °C quando (a)  $T3$  è interdetto; (b)  $T3$  è saturo.

**6.10-1** Una porta TTL presenta le seguenti specifiche:  $V_{IL} = 0,8$  V,  $V_{IH} = 1,8$  V,  $V_{OL} = 0,4$  V,  $V_{OH} = 2,4$  V. Calcolare i margini di rumore  $\Delta 0$  e  $\Delta 1$ .

**6.10-2** Le porte TTL di Fig. 6.5-1 lavorano a  $T = 25$  °C e presentano le specifiche date nelle figure da Fig. 6.10-2 a 6.10-4.

(a) Calcolare il fan-out  $N$ , con  $V_o$  che non superi 0,2 V.

(b) Calcolare il fan-out  $N$ , con  $V_o$  che non scenda sotto 3,5 V.

**6.10-3** Una porta TTL è garantita per un assorbimento di corrente di 10 mA senza che la tensione d'uscita superi  $V_{OL} = 0,4$  V e per un'erogazione di 5 mA senza che la tensione d'uscita scenda sotto  $V_{OH} = 2,4$  V. Se  $I_{IH} = 100$   $\mu$ A a 2,4 V e  $I_{IL} = 1$  mA a 0,4 V, calcolare i fan-out allo stato 0 ed allo stato 1.

**6.11-1** Con riferimento alla Fig. 6.5-1.

(a) Calcolare la corrente erogata dall'alimentazione quando  $V_i = 3,5$  V.

(b) Ripetere il punto (a) quando  $V_i = 0,2$  V.

(c) Quanto vale il picco di corrente erogato dall'alimentazione nel breve intervallo in cui  $T2$  e  $T3$  sono contemporaneamente saturi?

**6.12-1** Nel circuito di Fig. 6.12-1 porre tutti gli ingressi allo 0 logico sicché  $T3$  e  $T4$  siano in interdizione. Supporre trascurabile la corrente di base del transistor in regione attiva. Tracciare la caratteristica tensione-corrente d'uscita determinando i valori della corrente  $I_s$  e della tensione d'uscita  $V_o$  come segue:

- (a) Trovare  $I_s$  quando  $V_o = 0$  V.  
 (b) Trovare  $V_o$  quando  $I_s$  arriva proprio a 0 mA. A questo punto  $T2$  è nel punto di soglia, cioè  $V_{BE2} = V_\gamma$ .  
 (c) Trovare  $V_o$  e  $I_s$  quando  $V_C(T6) = 4,7$  V. Si noti che  $T6$  non è saturo.  
 (d) Trovare  $V_o$  e  $I_s$  quando  $I_{C6} = 0$ . Si noti che  $T6$  è saturo.  
 (e) Verificare che  $T2$  non è mai saturo.

**6.12-2** Se la tensione d'uscita della porta TTL di Fig. 6.12-1 deve valere 2,4 V, calcolare la corrente d'uscita disponibile quando  $T3$  è interdetto.

**6.13-1** Supporre che la porta TTL di Fig. 6.5-1 presenti l'uscita a collettore aperto (O.C. = *open-collector*): cioè nel circuito vengano eliminati il transistor  $T2$  e il diodo  $D$ . Collegare ora due di queste porte in connessione AND CABLATO, inserendo un resistore di pull-up passivo  $R_o$  fra i collettori e l'alimentazione di 5 V.

(a) Calcolare la corrente di base alimentata al transistor  $T3$  di una delle due porte quando gli ingressi di questa porta sono alti e gli ingressi dell'altra porta sono bassi.

(b) Se entrambi i transistori d'uscita sono interdetti, calcolare  $R_o$  in modo che nel carico scorrano 4 mA quando  $V_o = 2,4$  V.

(c) Se la porta pilota  $N$  porte, ciascuna delle quali richiede 100  $\mu$ A a 2,4 V, calcolare il fan-out  $N$  se  $I_{OH} = 4$  mA a 2,4 V.

(d) Se un ingresso di una delle due porte ad AND CABLATO è basso mentre gli ingressi dell'altra porta sono tutti alti, l'uscita  $V_o$  sarà bassa. Se  $V_{OL} = 0,4$  V

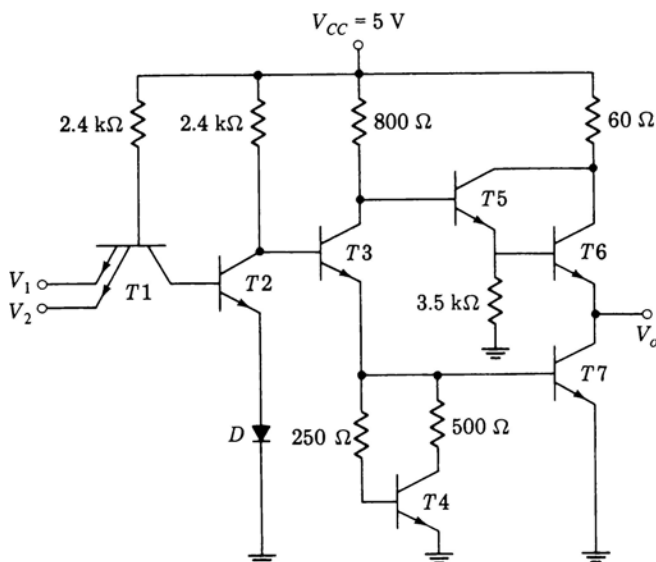


Figura P6.14-1



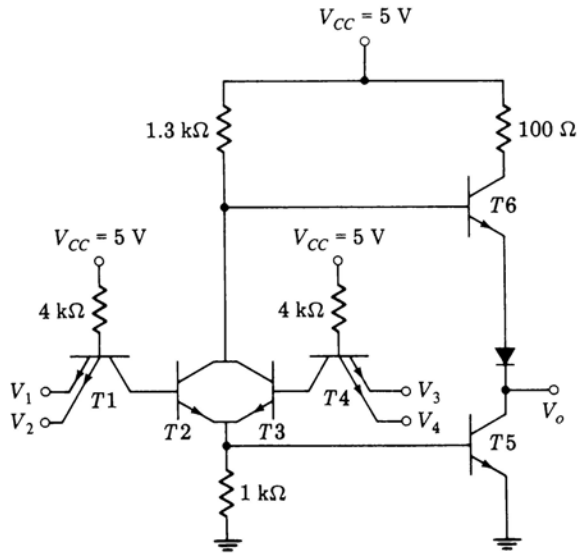


Figura P6.14-2

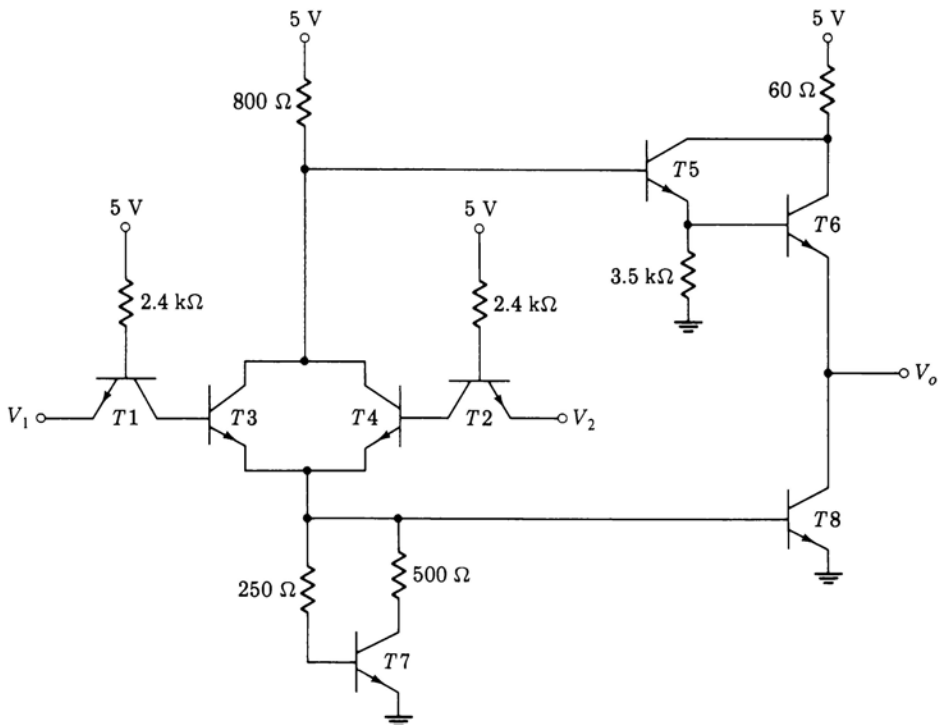


Figura P6.14-3

per  $I_{OL} = 10 \text{ mA}$ , sapendo che la corrente di perdita del transistor  $T3$  della porta  $OFF$  è  $100 \mu\text{A}$  e che ciascuna delle porte pilotate eroga una corrente di  $1 \text{ mA}$ , trovare un  $R_o$  che garantisca un fan-out di 5.

**6.14-1** Tracciare qualitativamente la caratteristica di ingresso-uscita della porta  $AND$  TTL illustrata in Fig. P6.14-1.

**6.14-2** Scrivere un'espressione che dia gli stati logici dell'uscita in funzione degli stati logici degli ingressi  $V_1$ ,  $V_2$ ,  $V_3$  e  $V_4$  della porta di Fig. P6.14-2.

**6.14-3** Tracciare qualitativamente la caratteristica di ingresso-uscita della porta  $NOR$  TTL illustrata in Fig. P6.14-3.

**6.14-4** Tracciare qualitativamente la caratteristica della porta  $OR$  TTL illustrata in Fig. P6.14-4.

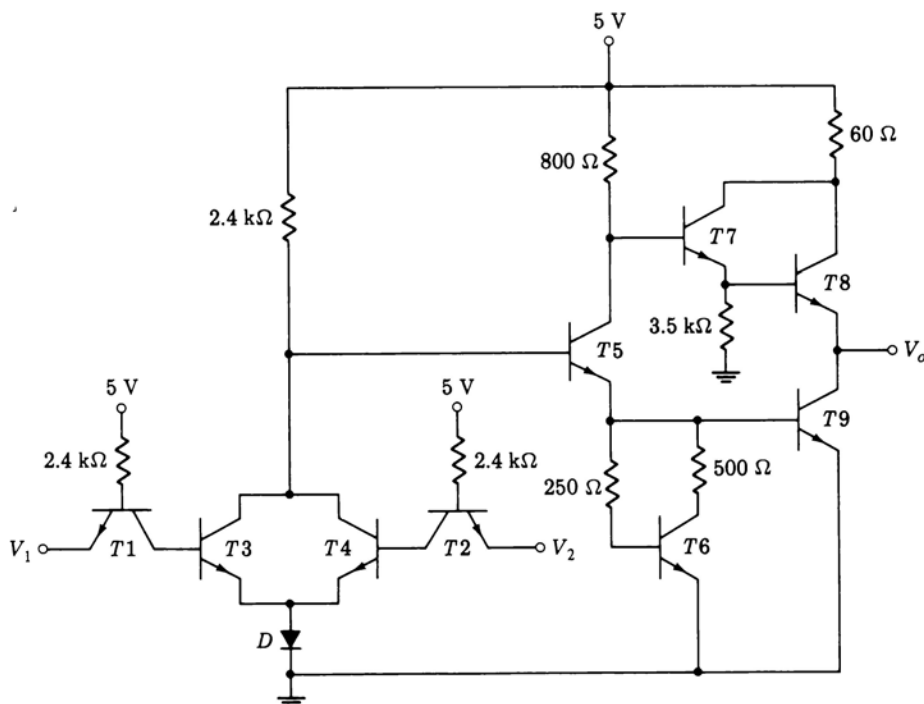


Figura P6.14-4

## CAPITOLO 7

In mancanza di altre indicazioni, supporre  $h_{FE} = 50$  ed  $h_{FC} = 0,1$  in tutti i problemi. Fare riferimento alla Fig. 1.10-1.

**7.2-1** Riferendosi alla Fig. 7.2-1, trovare la tensione di uscita  $V_{o2}$  in funzione di  $V_R$ ,  $V_{EE}$ ,  $R_{c2}$  e  $R_e$  quando (a)  $V_i \gg V_R$  e (b)  $V_i \ll V_R$ .

**7.4-1** Verificare che, come indicato in Fig. 7.4-1, i valori di  $V_{o2}$  ai limiti della regione di transizione sono  $-0,79$  e  $-1,54$  V, corrispondenti ai valori di  $V_i$  pari a  $-1,1$  e  $-1,25$  V.

**7.4-2** Una porta MECL II presenta  $R_{c1} = 150 \Omega$ ,  $R_{c2} = 170 \Omega$  e  $R_e = 650 \Omega$ . Ricavare la funzione di trasferimento ( $V_{o2}$  in funzione di  $V_i$ ) per la porta OR MECL II. La caratteristica differisce dalla Fig. 7.4-1a?

**7.5-1** (a) Disegnare la caratteristica ingresso-uscita NOR della porta MECL II del Prob. 7.4-2.

(b) Determinare i margini di rumore  $\Delta 0$  e  $\Delta 1$  della porta.

**7.6-1** (a) Tracciare la caratteristica di ingresso-uscita della porta OR MECL III illustrata in Fig. P7.6-1. Assumere un fan-out di 1.

(b) Calcolare i margini di rumore  $\Delta 0$  e  $\Delta 1$ .

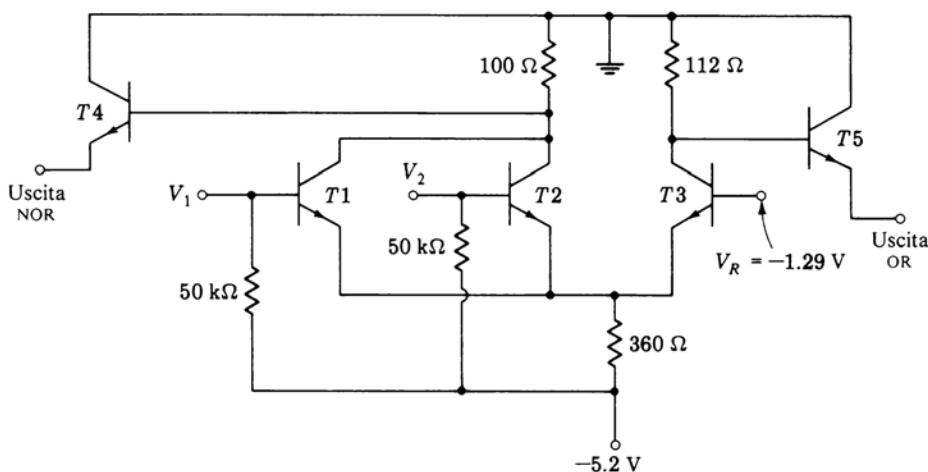


Figura P7.6-1

**7.6-2** Ripetere il Prob. 7.6-1 per la porta NOR MECL III illustrata in Fig. P7.6-1.

**7.7-1** Determinare il fan-out della porta ECL di Fig. 7.7-1, nel caso che il margine di rumore  $\Delta 1$  possa scendere soltanto di  $0,1$  V.

**7.9-1** Considerando che la porta NOR ECL di Fig. 7.2-1 impiega il circuito di polarizzazione di Fig. 7.9-1,

(a) Disegnare la caratteristica ingresso-uscita della porta NOR ECL per  $T = -55$  e  $125$  °C.

(b) Determinare i margini di rumore  $\Delta 0$  e  $\Delta 1$  a ciascuna delle due temperature.

**7.9-2** (a) Disegnare la caratteristica ingresso-uscita della porta OR ECL di Fig. 7.2-1 per  $T = -55$  e  $125$  °C.

(b) Determinare i margini di rumore  $\Delta 0$  e  $\Delta 1$  a ciascuna delle due temperature. Confrontare i risultati con i margini di rumore trovati per  $T = 25$  °C.

**7.9-3** Il circuito di polarizzazione compensato in temperatura per la porta MECL II di Fig. P7.6-1 è illustrato in Fig. P7.9-3. Assumere un fan-out di 5. Calcolare per il circuito di polarizzazione e per la porta OR, in corrispondenza ad una variazione della temperatura  $\Delta T$ , le seguenti variazioni:

(a)  $\Delta V_R$ .

(b)  $\frac{\Delta V_{o2}(1) + \Delta V_{o2}(0)}{2}$ .

(c) Confrontare (a) e (b) a  $T = -55$  e  $125$  °C.

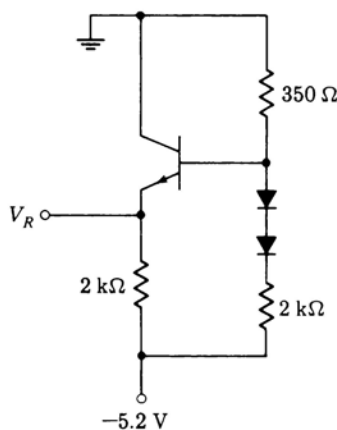


Figura P7.9-3

**7.9-4** Ripetere il Prob. 7.9-3 per la porta NOR ECL del Prob. 7.9-3.

**7.9-5** Supporre che la porta di Fig. 7.2-1 impieghi il circuito di polarizzazione di Fig. 7.9-1. Supporre che  $T = 25$  °C e che  $V_{EE}$  subisca una variazione  $\Delta V_{EE}$ .

(a) Calcolare  $\Delta V_R$  in funzione di  $\Delta V_{EE}$ .

(b) Calcolare  $\frac{\Delta V_{o2}(1) + \Delta V_{o2}(0)}{2}$  in funzione di  $\Delta V_{EE}$

(c) Confrontare (a) e (b) tracciando la curva del rapporto

$$\lambda = \frac{2\Delta V_R}{\Delta V_o(1) + \Delta V_o(2)}$$

in funzione di  $\Delta V_{EE}$  quando  $V_{EE}$  varia da  $-1$  a  $1$  V. Commentare il risultato.

**7.11-1** Nel Par. 7.11 si è osservato che nella ECL un segnale di rumore introdotto in serie con l'alimentazione appare all'uscita maggiormente attenuato quando a massa è collegato il polo positivo dell'alimentazione anziché il polo negativo. Lo scopo di questo problema è quello di dimostrare che questo vantaggio non si ripete nella logica RTL.

Consideriamo le due porte RTL di Fig. P7.11-1a. Sia  $V_{CC} = 4$  V,  $R_b = 1$  k $\Omega$ , e  $R_c = 2$  k $\Omega$ . Se  $V_1 = V_2 = 0$  V,  $T3$  è saturo.

(a) Calcolare di quanto deve variare  $V_{CC}$  affinché  $T3$  sia portato al limite dell'interdizione.

(b) Riferirsi alla Fig. P7.11-1b. Sia  $V_{EE} = 4$  V,  $R_b = 1$  k $\Omega$  e  $R_c = 2$  k $\Omega$ . Se  $V_1 = V_2 = -4$  V,  $T3$  è saturo. Calcolare di quanto deve variare  $V_{EE}$  affinché  $T3$  sia al limite dell'interdizione.

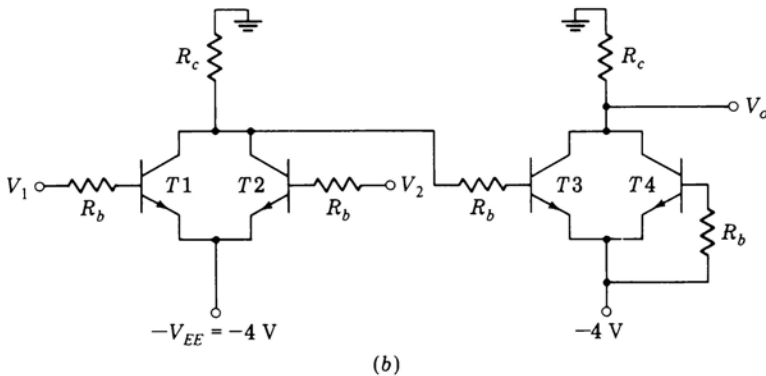
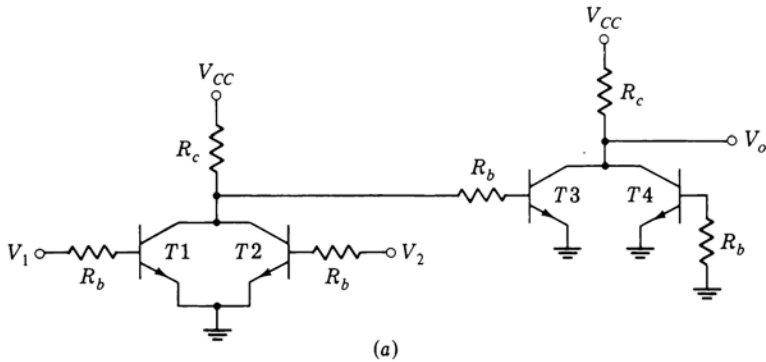


Figura P7.11-1

**7.11-2** Calcolare  $V_o$  e  $V_o'$ , in Fig. 7.11-1b, dovuti a  $V_n$  quando  $T_1$  è OFF e  $T_2$  è ON. Assumere  $R_e = 1,8 \text{ k}\Omega$  e  $V_R = -1,175 \text{ V}$ .

**7.12-1 (a)** Riferirsi alla Fig. 7.12-1. Assumere  $V_2 = 5 \text{ V}$ . Sia  $V_1 = 3,5 \text{ V}$  in corrispondenza al livello logico 1 nella TTL. Calcolare  $V_{B1}$  e  $V_o$ .

(b) Trovare  $V_{B1}$  e  $V_o$  quando  $V_1 = 0,2 \text{ V}$  (0 logico).

**7.12-2** Il traslatore TTL-ECL di Fig. P7.12-2 è impiegato con la MECL II

(a) Dimostrare che logicamente è  $V_{ECL} = V_1 \cdot V_2$ .

(b) Per  $V_2 = 5 \text{ V}$  (1 logico) determinare e disegnare la caratteristica di trasferimento  $V_{ECL}$  in funzione di  $V_1$ .

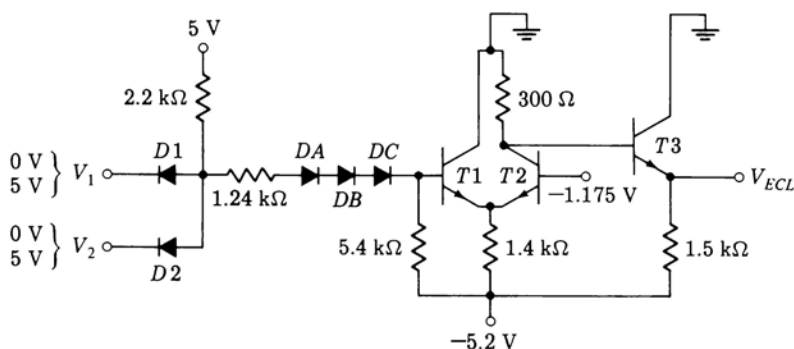


Figura P7.12-2

**7.12-3** Quale operazione logica è realizzata dal circuito di Fig. 7.12-3?

**7.12-4 (a)** Tracciare la caratteristica di ingresso-uscita del traslatore di Fig. 7.12-3. Siano  $T_2$  e  $T_4$  interdetti e  $V_3 = -1,175 \text{ V}$ ; tracciare  $V_o$  in funzione di  $V_1$ .

(b) Quanto valgono i margini di rumore  $\Delta 0$  e  $\Delta 1$ ?

**7.13-1** Riferendosi alla Fig. 7.13-1b, calcolare i livelli di tensione di  $V_o(t)$  se  $V_i(t)$  è un gradino di tensione di  $1 \text{ V}$  di ampiezza,  $R_o = 50 \Omega$ ,  $R_s = 5 \Omega$  ed  $R = 100 \text{ k}\Omega$ .

**7.13-2** Riferendosi alla Fig. 7.13-4, supporre che l'impedenza caratteristica della linea sia  $50 \Omega$ , l'impedenza di uscita dell'amplificatore pilota sia  $5 \Omega$ , e l'impedenza di ingresso dello stadio pilotato si possa approssimare ad un circuito aperto.

(a) Disegnare la tensione di ingresso della porta pilotata se la tensione di uscita a circuito aperto della porta pilota è un impulso di ampiezza  $1 \text{ V}$  e durata  $\tau$  inferiore al tempo di propagazione — da un'estremità all'altra — della linea.

(b) Ripetere il punto (a) per una tensione di ingresso che sia un gradino unitario.

**7.13-3** Verificare le forme d'onda illustrate in Fig. 7.13-5b e c.

## CAPITOLO 8

**8.1-1** Tracciare  $I_{DS}$  in funzione di  $V_{DS}$  dalle Eq. (8.1-2) e (8.1-3), con  $V_{GS}$  come parametro. Assumere  $k = 1 \text{ mA/V}^2$  e  $V_T = 2 \text{ V}$ . Assumere  $V_{GS} = 2, 3, 4 \text{ V}$ .

**8.1-2** (a) Qual'è la tensione drain-source  $V_{DS}$  di un FET ad arricchimento a canale  $n$  se il gate è collegato al drain ed  $I_{DS} \approx 0$ ?

(b) Dimostrare che il FET, indipendentemente dal valore di  $I_{DS}$ , è in saturazione se  $V_{GD} = 0$ .

**8.1-3** L'NMOSFET di Fig. P8.1-3 presenta i parametri  $k = 1 \text{ mA/V}^2$  e  $V_T = 2 \text{ V}$ .

(a) Disegnare  $V_o$  in funzione di  $V_{DD}$  al variare di  $V_{DD}$  da 0 a 20 V.

(b) Ripetere la parte (a) se  $R_L = 100 \Omega$  invece di  $1 \text{ k}\Omega$ .

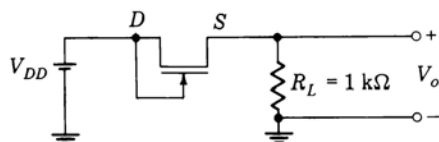


Figura P8.1-3

**8.1-4** Ripetere il Prob. 8.1-3 per un FET NMOS a svuotamento presentante una tensione di soglia  $V_T = -2 \text{ V}$ .

**8.1-5** Un NMOSFET a svuotamento è inserito in un circuito del tipo di quello di Fig. P8.1-3, con il gate collegato però al source anziché al drain. Tracciare  $V_o$  e  $I_{DS}$  in funzione di  $V_{DD}$  al variare di  $V_{DD}$  da 0 a 20 V. Assumere  $V_T = -2 \text{ V}$  e  $k = 1 \text{ mA/V}^2$ .

**8.1-6** Un PMOSFET ed un NMOSFET sono collegati in parallelo come indicato in Fig. P8.1-6.

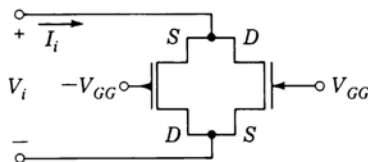


Figura P8.1-6

(a) Tracciare  $V_i$  in funzione di  $I_i$  se i FET sono del tipo ad arricchimento con una tensione di soglia  $V_T = 2$  V e con  $k = 1$  mA/V<sup>2</sup>. Supporre  $V_i$  variabile da  $-20$  a  $20$  V ed assumere  $V_{GG} = 5$  V.

(b) Valutare la resistenza vista dai terminali del circuito.

**8.1-7** I FET NMOS ad arricchimento di Fig. P8.1-7a e b sono identici. I loro circuiti differiscono per il fatto che in (a) il substrato del FET è collegato al source mentre in (b) è collegato a massa. La tensione di soglia è  $V_T = 2 + \sqrt{|V_{BS}|}$ , dove  $V_{BS}$  è la caduta di tensione dal substrato al source. Se  $k = 1$  mA/V<sup>2</sup>,

(a) Disegnare  $V_o$  in funzione di  $V_i$  per i due circuiti (Fig. P8.1-7a e b).

(b) Confrontare le curve ricavate in (a).

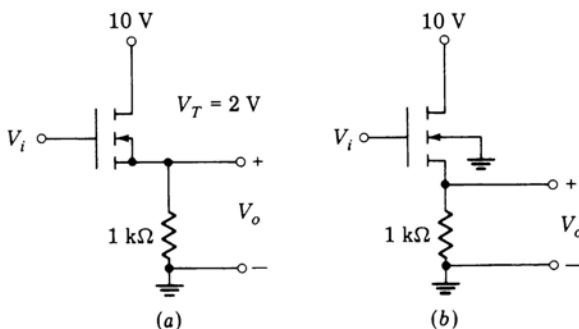


Figura P8.1-7

**8.3-1** Ricavare le equazioni e disegnare la caratteristica ingresso-uscita dell'invertitore di Fig. 8.3-1a. Assumere  $k_1 = 40k_2$ .

**8.3-2** Ripetere il Prob. 8.3-1 per l'invertitore di Fig. 8.3-1b. Dimostrare che il transistor di carico è in saturazione.

**8.5-1** Verificare l'Eq. (8.5-8).

**8.5-2** Verificare l'Eq. (8.5-9).

**8.6-1** Verificare le tavole di verità delle Fig. 8.6-1 e 8.6-2.

**8.6-2** Sostituendo nelle Fig. 8.6-1 e 8.6-2 gli NMOSFET con PMOSFET, che funzioni logiche si otterranno?

**8.6-3** Disporre l'uno sull'altro due transistori BJT come in Fig. P8.6-3.  $V_1$  e  $V_2$  sono o 0 o 5 V. Se la tensione di saturazione dei transistori è 0,2 V, quanti transistori possono essere disposti in pila uno sull'altro? Tener presente che se  $V_o$  deve trovarsi allo 0 logico, la sua tensione deve essere inferiore a 0,65 V.



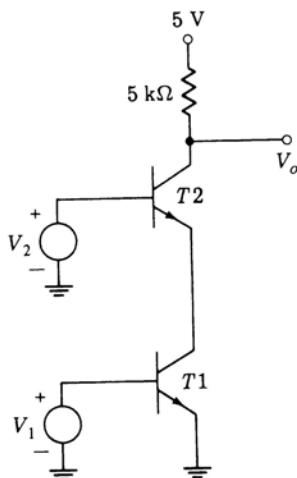


Figura P8.6-3

**8.6-4** Determinare le funzioni logiche che si ottengono con le porte di Fig. 8.6-3a e c sostituendo i PMOSFET con NMOSFET.

**8.7-1** Verificare l'Eq. (8.7-3).

**8.8-1** Verificare l'Eq. (8.8-4).

**8.10-1** Verificare che, per una porta CMOS, i valori del tempo di salita e del tempo di discesa coincidono. Ricavare questi tempi per  $C_L = 5 \text{ pF}$ ,  $k_L = k_D = 1 \text{ mA/V}^2$ ,  $V_T = 2\text{V}$  e  $V_{SS} = 10\text{V}$ . Supporre il gradino di ingresso ideale.

**8.12-1** Progettare un circuito per adattare i livelli logici dei CMOS ai livelli logici richiesti all'ingresso della ECL.

**8.12-2** Ripetere il Prob. 8.12-1 per ECL che pilotino CMOS.

**8.12-3** Verificare le Eq. (8.12-1).

## CAPITOLO 9

**9.1-1** Considerare una configurazione ad accoppiamento incrociato del tipo di quella di Fig. 9.1-1 ma utilizzando porte OR.

(a) Dimostrare che quando i terminali di ingresso dati abilitano le due porte, i due terminali di uscita possono rimanere entrambi indefinitamente allo 0 logico o all'1 logico e che pertanto il circuito costituisce un flip-flop, cioè un dispositivo con due stati stabili.

(b) Dimostrare che, agendo sui terminali dati, è possibile far avvenire una transizione di stato in un senso ma non nell'altro.

(c) Ripetere i punti (a) e (b) con porte AND.

(d) Dimostrare che se le porte sono una AND e l'altra OR, è possibile far avvenire le transizioni nei due sensi.

**9.4-1** Disegnare un flip-flop RS impiegando porte NAND, in cui i terminali di ingresso siano  $\bar{S}$  e  $\bar{R}$  (e non  $S$  e  $R$ ) e che soddisfi la tavola di verità di Fig. 9.4-1c. Quante porte NAND sono necessarie?

**9.4-2** (a) Con riferimento alla Fig. 9.1-1a, supporre che  $R = 0$  e che al terminale  $S$  venga applicato un impulso di larghezza  $\tau$ , sicché  $S = 1$  per un intervallo  $\tau$ . Se il ritardo di propagazione per ogni porta è  $t_{pd}$ , disegnare l'uscita  $Q$  in funzione del tempo se  $Q$  è inizialmente 0 per:

(1)  $\tau > 2t_{pd}$

(2)  $t_{pd} < \tau < 2t_{pd}$

(3)  $\tau < t_{pd}$

(b) Ripetere il punto (a) per le porte NAND di Fig. 9.4-1a.

**9.6-1** Progettare un flip-flop SR con clock utilizzando porte NOR e tale che gli ingressi diretti  $S_d$  e  $R_d$  scavalchino il comando di clock.

**9.7-1** Dimostrare che se due flip-flop master-slave del tipo di Fig. 9.7-2 sono posti in cascata, l'ingresso del primo flip-flop comparirà all'uscita del secondo flip-flop dopo che sono passati due intervalli di clock.

**9.7-2** Se in Fig. 9.7-3  $\bar{S}_d = 1$  e  $\bar{R}_d = 0$ , dimostrare che  $Q = 0$  e  $\bar{Q} = 1$  indipendentemente dallo stato logico degli ingressi  $S$ ,  $R$  e  $C$ .

**9.7-3** Scrivere la tavola di verità del flip-flop di Fig. 9.7-3 nel caso in cui gli ingressi diretti  $\bar{R}_d$  e  $\bar{S}_d$  vengano eliminati dal flip-flop master. Cioè, con  $\bar{R}_d$  e  $\bar{S}_d$  applicati soltanto al flip-flop slave, trovare  $Q$  per tutte le combinazioni di  $\bar{R}_d$  e  $\bar{S}_d$  e per  $C = 1$  e  $0$ . Esaminare tutte le possibilità.

**9.8-1** (a) Riferirsi alla Fig. 9.1-1 ed impiegare porte ECL. Supporre inizialmente che  $R = S = 0$ , sicché  $R = S = -1,58$  V (vedi Fig. 7.4-1). Calcolare a quale tensione devono essere portati l'uno o l'altro dei terminali dati per far avvenire una transizione del flip-flop.

(b) Riferirsi ora a Fig. 9.8-1. Uno degli ingressi dinamici sia derivato dall'uscita di una porta pilota ECL. Supporre che questo ingresso passi dallo 0 logico all'1 logico linearmente in un intervallo  $T$ . La costante di tempo  $rC$  sia di 1 ns. Trascurare i ritardi di propagazione nei flip-flop ed il carico costituito dagli ingressi  $R$  e  $S$ . Qual'è il massimo valore del tempo di salita  $T$  in grado di comandare ancora il flip-flop?

**9.8-2** Il flip-flop di Fig. 9.8-1 impiega porte ECL con livelli logici  $-1,58$  e  $-0,76$  V. Supporre che il flip-flop compia una transizione quando gli ingressi  $R$  o  $S$  passano attraverso la tensione di soglia  $-1,175$  V. I ritardi di propagazione delle porte sono di 1 ns. Gli ingressi  $\bar{R}_D$  o  $\bar{S}_D$  vengono portati

bruscamente dallo 0 logico all'1 logico. Calcolare le costanti di tempo  $\tau C$  minime per garantire che  $R$  o  $S$  rimangano al di sopra della soglia per un tempo sufficiente a provocare la risposta del flip-flop.

**9.8-3** Supporre che in Fig. 9.8-3 vengano impiegate porte  $\text{NAND DTL}$ . Allora  $\bar{S}$  (e  $\bar{R}$ ) devono scendere da 5 V ad una tensione inferiore a 1,3 V, per esempio, per garantire una commutazione all'uscita.  $S_D$  decresca linearmente da 5 V a 0 V in un tempo  $T$ . Sia  $\tau C = 1$  ns. Trovare il massimo valore di  $T$  per cui il flip-flop risponde ancora. Trascurare il ritardo di propagazione delle porte.

**9.9-1** Verificare le tavole di verità date in Fig. 9.9-1b, c, d.

**9.10-1** Riferirsi alla Fig. 9.10-1. I livelli logici sono 0 e 5 V. La costante di tempo per la carica di un condensatore è 100 ns e per la scarica 40 ns.

(a) Sia inizialmente  $S = 1$  e  $C = 0$ . Per  $t = 0$ ,  $C$  sale bruscamente all'1 logico. Per quanto tempo deve rimanere  $C$  all'1 logico affinché  $S'$  salga a 2 V (2 V e oltre è 1 logico)?

(b) Supporre che  $C$  sia stato tenuto al livello logico 1 per un tempo sufficientemente lungo da garantire che  $S$  abbia raggiunto 5 V. Supporre che  $S'$  debba rimanere al di sopra dei 2 V, sicché quando  $C = 1$  l'uscita della porta 2A sia al livello logico 0. Qual'è il massimo ritardo di propagazione della porta che assicura una transizione dell'uscita quando il clock  $\bar{C}$  torna all'1 logico? Supporre che tutte le porte presentino lo stesso tempo di propagazione.

**9.11-1** Riferirsi alla Fig. 9.11-1a. L'ingresso  $A$  vari linearmente da 0 V (0 logico) a 5 V (1 logico) in un tempo  $T_R$ . Il ritardo di propagazione delle porte 1 e 2 sia  $t_{pd}$ , e l'uscita della porta 1 decresca linearmente da 5 a 0 V nel tempo  $T_F$ . Supporre che, per garantire che l'uscita della porta 2 passi all'1 logico, gli ingressi  $A$  e  $C$  debbano superare simultaneamente i 2 V. Ricavare una relazione che leghi l'intervallo  $T_o$ , durante il quale i due ingressi della porta 2 rimangono contemporaneamente sopra i 2 V, ai tempi  $T_F$ ,  $T_R$ , e  $t_{pd}$ .

**9.11-2** Verificare la tavola di verità data in Fig. 9.11-2b.

**9.12-1** Un flip-flop  $JK$  di tipo toggle deve venire realizzato impiegando il flip-flop a comando sul fronte e ad accoppiamento in alternata illustrato in Fig. 9.9-1. Ridisegnare la figura mettendo in evidenza i collegamenti di  $Q$  e  $\bar{Q}$  alle porte di ingresso 1A e 1B.

**9.12-2** Ripetere il problema 9.12-1 impiegando il flip-flop ad immagazzinamento capacitivo di Fig. 9.10-1.

**9.12-3** Ripetere il problema 9.12-1 impiegando il flip-flop a ritardo di propagazione di Fig. 9.11-2.

**9.13-1** Nel circuito di Fig. 9.13-2 sostituire tutte le porte con porte  $\text{NOR}$  e sostituire  $\bar{S}$  e  $\bar{R}$  agli ingressi delle porte 3A e 3B rispettivamente con  $S$  e  $R$ . Dimostrare che il circuito rimane un flip-flop di tipo  $D$  verificando che:

(a) Quando  $C = 0$  o quando  $C = 1$ , eventuali cambiamenti di stato in  $D$  non hanno alcun effetto sull'uscita.

(b) Quando  $D = 0$ , una transizione di  $C$  da 1 a 0 fa sì che  $Q$  passi o rimanga a  $Q = 0$ .

(c) Quando  $D = 1$ , una transizione di  $C$  da 1 a 0 fa sì che  $Q$  passi o rimanga a  $Q = 1$ .

(d) Una transizione di  $C$  da 0 a 1 non provoca cambiamenti nell'uscita.

**9.15-1** Dimostrare che il flip-flop di Fig. 9.15-5 può funzionare da flip-flop master-slave.

**9.17-1** Se, in Fig. 9.17-2,  $S = R = -1,58 \text{ V}$  e  $Q = 1$  mentre  $\bar{Q} = 0$ , calcolare i valori di tensione di  $Q$ ,  $\bar{Q}$ ,  $V_{E1}$ , e  $V_{E2}$ .

**9.17-2** In Fig. P9.17-2 è illustrato un flip-flop ECL ad alta velocità in grado di commutare a 85 MHz. In questo circuito i diodi  $D1$ ,  $D2$ , i loro resistori ed i transistori  $TRA$  e  $TRB$  forniscono la tensione di riferimento  $V_R$  (non disponibile nel flip-flop di Fig. 9.17-2). Calcolare:

(a)  $V_R$

(b) I livelli di tensione in  $Q$  e  $\bar{Q}$  con  $S = R = 0$

(c)  $V_{E1}$  e  $V_{E2}$  per  $S = R = 0$ .

(d)  $V_{E1}$  e  $V_{E2}$  quando  $S = 1$  ( $-0,76 \text{ V}$ ) e  $R = 0$  ( $-1,58 \text{ V}$ )

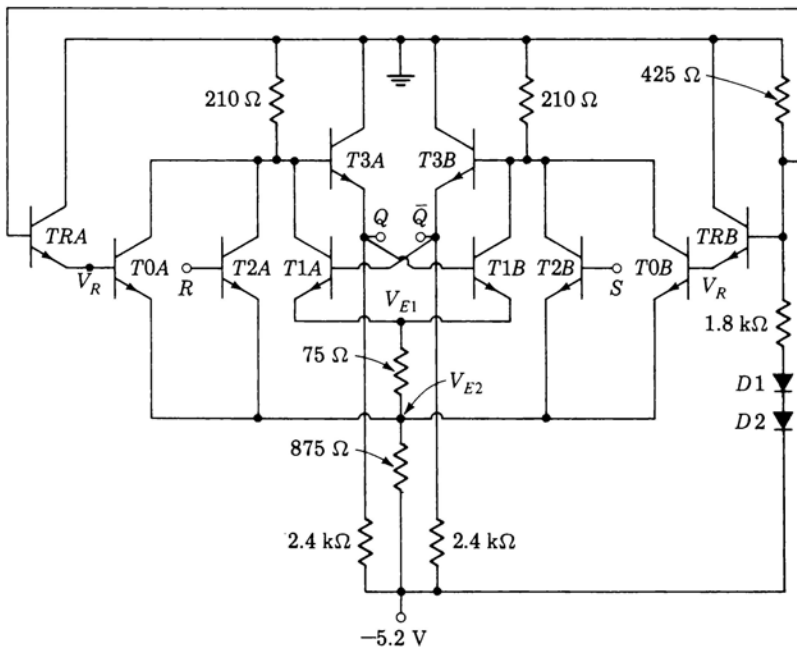


Figura P9.17-2

**9.18-1** Dimostrare che il flip-flop di Fig. 9.18-1 corrisponde alla struttura a porte del flip-flop di Fig. 9.9-1.

**9.18-2** Dimostrare che le tavole di verità date in Fig. 9.18-2 descrivono il funzionamento del flip-flop ECL di Fig. 9.18-1.

**9.18-3** Verificare i livelli di tensione a riposo dati in Fig. 9.18-3 per  $\bar{J} = \bar{K} = 0$ ,  $\bar{Q} = 1$  e  $Q = 0$ .

**9.20-1** Riferendosi alla Fig. 9.20-2, dimostrare che  $T4A$  si trova alla soglia quando la tensione all'emettitore di  $T2B$  è circa 1 V.

**9.20-2** Riferendosi alla Fig. 9.20-2, con  $J = K = \bar{C} = \bar{Q} = 1$ , determinare la tensione di base e la corrente di base di  $T4B$  a riposo, cioè quando la corrente nel condensatore  $C_A$  è zero.

**9.20-3** In Fig. P9.20-3 è illustrato un flip-flop  $JK$  TTL a comando sul fronte di transizione in grado di commutare ad una frequenza di 50MHz. Il circuito non comprende condensatori. Dimostrare che, malgrado ciò, è un flip-flop a comando sul fronte di transizione. Scrivere la tavola di verità relativa.

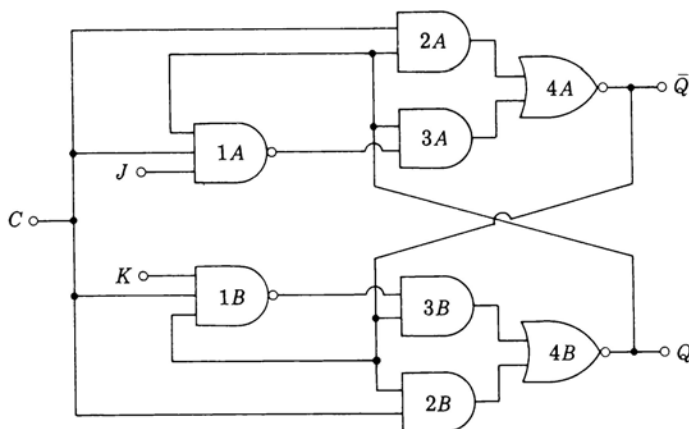


Figura P9.20-3

**9.21-1** Riferendosi alla Fig. 9.21-3, verificare che l'ingresso all'interruttore  $S_1$  è  $Z = Q\bar{K} = J\bar{Q}$ .

**9.21-2** Dimostrare che la configurazione d'ingresso della Fig. 9.21-3, con gli ingressi  $Q$ ,  $J$ , e  $K$  e l'uscita  $Z$ , può essere realizzata come in Fig. P9.21-2.

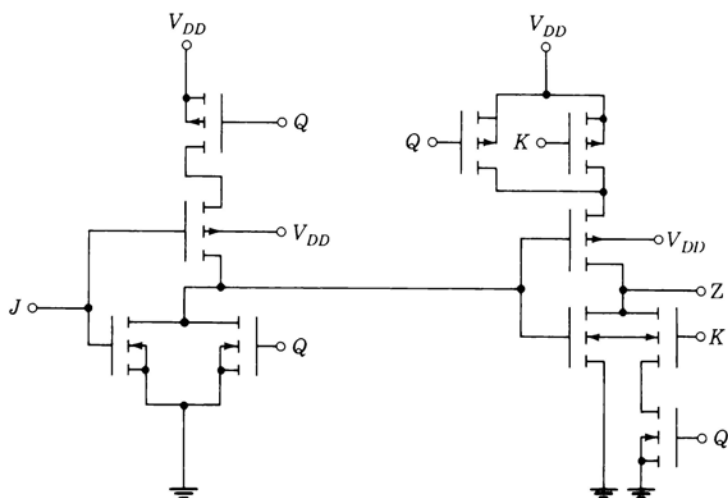


Figura P9.21-2

**9.21-3** Verificare la tavola di verità *JK* di Fig. 9.21-3b.

## CAPITOLO 10

**10.1-1** Considerare il registro a scorrimento a 4-bit di Fig. 10.1-1a. Se all'ingresso  $D_0$  viene applicata in sincronismo con il clock la sequenza **1010110**, disegnare l'andamento dell'uscita di ogni flip-flop. Supporre che inizialmente tutte le uscite siano  $Q = 0$ .

**10.1-2** Considerare il registro a 4-bit di Fig. 10.1-1b. Supporre che inizialmente  $Q_0 = 1$ ,  $Q_1 = 0$ ,  $Q_2 = 1$ ,  $Q_3 = 1$ . Disegnare l'andamento dell'uscita di ogni flip-flop se a  $D_0$  viene applicata, in sincronismo con il clock, la sequenza **101101**.

**10.4-1** La Fig. P10.4-1 illustra un registro a scorrimento a tre stadi di tipo *end-around-carry*. Il sistema è progettato in modo che il segnale di ingresso viene sconnesso dall'ingresso  $D_0$  del registro e l'uscita  $Q_2$  viene connessa a  $D_0$  dopo il terzo impulso di clock. Una nuova informazione può venire inserita nel registro soltanto dopo aver applicato al contatore *FF3* e *FF4* un impulso di *reset diretto*. Dopo tale impulso possono venire inviati al registro 3 nuovi bit.

(a) Dimostrare che se  $Q_3$  e  $Q_4$  sono inizialmente entrambi a **0**, l'uscita della porta *G5* passa ad **1** dopo tre impulsi di clock.

(b) Dimostrare che una volta che l'uscita di *G5* è a **1**, gli impulsi di clock non arrivano più ai flip-flop *JK FF3* e *FF4*.



**10.6-2** Un contatore a propagazione del comando deve lavorare con una frequenza massima di 10 MHz. Se il tempo di propagazione di ogni flip-flop del contatore è di 10 ns ed il tempo di strobe è di 50 ns, quanti stadi può avere il contatore?

**10.6-3** Un contatore a 10-stadi a propagazione del comando è costituito da flip-flop aventi ciascuno un tempo di propagazione di 5 ns. Il tempo di strobe deve essere di 50 ns. Qual'è la massima frequenza di lavoro alla quale il contatore può ancora essere letto in modo corretto?

**10.7-1** Il tempo di propagazione di una porta ECL è di 1 ns, mentre quello di un flip-flop ECL è di 2 ns. Se il tempo di strobe è di 5 ns e si vuole realizzare un contatore a 5 stadi, confrontare la massima frequenza di conteggio di un contatore asincrono con quella di un contatore sincrono con riporto serie.

**10.7-2** Considerare il contatore sincrono parallelo di Fig. 10.7-2. Assumere come relazione fra il tempo di propagazione ed il fan-out dei flip-flop la seguente espressione

$$t_{pd} = t_{pd0} + \lambda F$$

dove  $\lambda$  è una costante di proporzionalità ed  $F$  è il fan-out richiesto. Se si deve progettare un contatore ad  $N$  stadi con un tempo di strobe  $T_s$ , dimostrare che la massima frequenza di clock è

$$f_{\max} = \frac{1}{t_{pd0} + \lambda(N-1) + T_s}$$

In particolare se  $t_{pd0} = 8$  ns,  $\lambda = 1$  ns,  $N = 5$  e  $T_s = 20$  ns, calcolare  $f_{\max}$ .

**10.9-1** Verificare la tavola di verità del flip-flop JK data in Tab. 10.9-2.

**10.9-2** (a) Verificare le mappe K di Fig. 10.9-1.

(b) Dimostrare che le mappe K danno luogo alle Eq. (10.9-1).

(c) Dimostrare che un'altra possibile soluzione è  $J_0 = \bar{Q}_1$ ,  $K_0 = \bar{Q}_1$ ,  $J_1 = Q_0$ ,  $K_1 = \bar{Q}_0$ .

**10.9-3** Due flip-flop fatti lavorare in modo sincrono sono connessi mediante i collegamenti  $J_0 = \bar{Q}_1$ ,  $K_0 = \bar{Q}_1$ ,  $J_1 = Q_0$  e  $K_1 = \bar{Q}_0$ . Disegnare la configurazione del contatore risultante e tabulare la sua sequenza di conteggio. Qual'è il modulo del contatore?

**10.10-1** Verificare le mappe K di Fig. 10.10-1.

**10.10-2** (a) Dimostrare che dalla Fig. 10.10-1 si ha  $J_0 = \bar{Q}_2$ ,  $K_0 = \bar{Q}_2$ ,  $J_1 = Q_0$ ,  $K_1 = Q_0$ ,  $J_2 = Q_0 Q_1$ , e  $K_2 = \bar{Q}_0$ .

(b) Trovare la configurazione del contatore mod-5 risultante.

**10.10-3** (a) Ricavare le mappe K per gli ingressi J e K dei tre flip-flop impie-



gati nel contatore mod-5 descritto dalla tavola di assegnazione degli stati data in Tab. 10.10-2.

(b) Verificare l'Eq. (10.10-2).

**10.10-4** Considerare la seguente tabella di assegnazione degli stati relativa ad un contatore mod-5 e ricavare la configurazione del contatore.

$S$	$Q_2$	$Q_1$	$Q_0$
0	0	0	0
1	0	0	1
2	0	1	1
3	1	1	1
4	1	1	0

**10.11-1** Dimostrare che per qualsiasi stato inutilizzato del contatore di Fig. 10.10-2 non si manifesta alcun *blocco*.

**10.11-2** Progettare un contatore mod-5 usando la tabella degli stati del Prob. 10.10-4. Il progetto deve comprendere un dispositivo circuitale che consenta, se si finisce in uno stato inutilizzato, di riportare il contatore, con l'impulso di clock successivo, nello stato di reset  $Q_2Q_1Q_0 = 000$ .

**10.11-3** Progettare un contatore mod-7. Includere nel progetto un circuito che consenta, se si finisce in uno stato inutilizzato, di riportare con l'impulso successivo il contatore nello stato di reset  $Q_2Q_1Q_0 = 000$ , che è uno degli stati operativi.

**10.12-1** Progettare un contatore decimale ponendo in cascata un contatore mod-5 con un contatore mod-2. Porre il contatore mod-5 all'ingresso ed il contatore mod-2 alla fine della cascata.

(a) Illustrare la logica di decodifica necessaria per questa configurazione.

(b) Quale logica richiede un minor numero di porte, la logica di questo sistema o quella del sistema di Fig. 10.12-1?

**10.12-2** Progettare un contatore mod-6 usando un contatore mod-2 ed uno mod-3. Illustrare la logica di decodifica richiesta.

**10.12-3** Progettare un contatore mod-9 ponendo in cascata due contatori mod-3. Illustrare la logica di decodifica richiesta.

**10.13-1** Progettare un contatore mod-3 mediante la tecnica del Par. 10.13, cioè usando gli ingressi diretti di set e/o di reset.

**10.13-2** Progettare un contatore mod-5 mediante la tecnica del Par. 10.13.

**10.13-3** Progettare un contatore mod-9 mediante la tecnica del Par. 10.13.

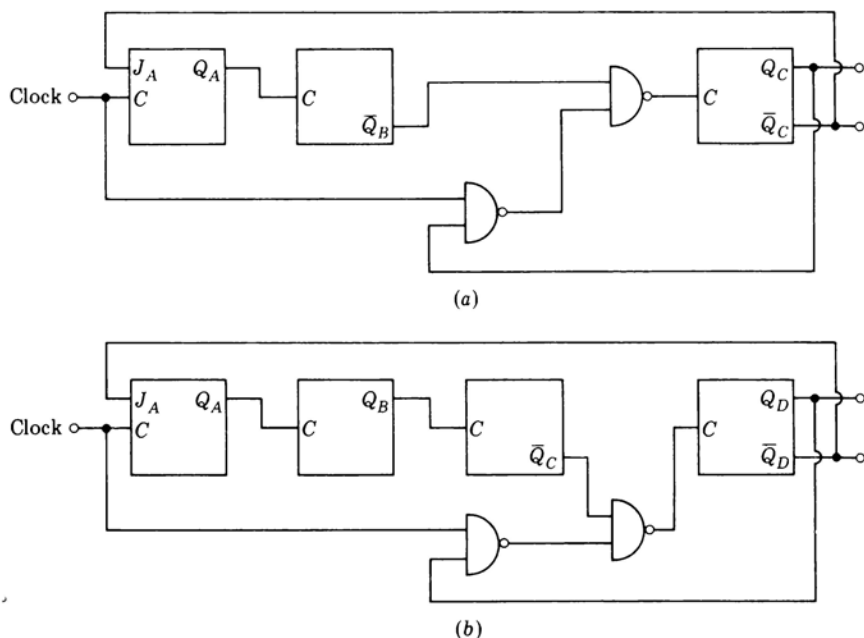


Figura P10.13-4

**10.13-4** Contatori asincroni di modulo qualsivoglia possono essere realizzati applicando ai flip-flop disposti per il conteggio una rete logica opportuna in modo che alcuni stati del contatore vengano saltati. Non esiste alcun procedimento particolare di progetto, si richiede solo un po' di inventiva. Esempi sono dati in Fig. P10.13-4. Tutti i terminali  $J$  e  $K$  non indicati esplicitamente sono tenuti fissi al livello 1.

(a) Verificare che il contatore (a) ha modulo 5 e che il contatore (b) ha modulo 9.

(b) Progettare un contatore mod-7.

**10.13-5** Nel contatore di Fig. P10.13-5 i flip-flop sono del tipo  $\bar{J}\bar{K}$  ECL. L'ingresso di clock viene realizzato riunendo insieme uno degli ingressi  $\bar{J}$  con uno degli ingressi  $\bar{K}$ . I flip-flop rispondono al clock quando questo compie una transizione da 0 a 1. Inoltre, se tutti gli ingressi  $\bar{J}$  e  $\bar{K}$  sono al livello 0, quando uno degli ingressi  $\bar{K}$  compie una transizione da 0 a 1 il flip-flop viene resettato, se già non si trova in stato di reset. Analogamente la transizione di uno degli ingressi  $\bar{J}$  da 0 ad 1 porta il flip-flop nello stato di set (o ve lo lascia). Nel contatore illustrato tutti gli ingressi  $\bar{J}$  e  $\bar{K}$  non indicati sono allo 0 logico.

(a) Verificare che, trascurando il collegamento a  $\bar{J}_0$ , i primi  $N$  flip-flop costituiscono un contatore in avanti modulo  $2^N$ .

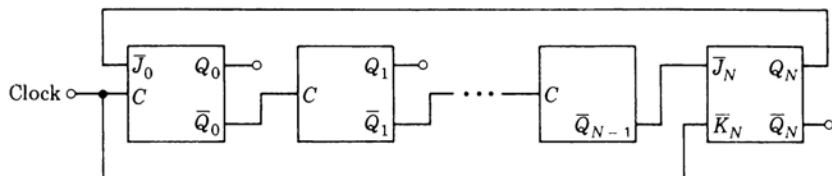


Figura P10.13-5

(b) Dimostrare che, grazie all'aggiunta dell'ultimo flip-flop e della connessione di reazione a  $\bar{J}_0$ , il contatore viene a presentare modulo  $2^N + 1$ .

(c) Usando il principio illustrato ed impiegando soltanto flip-flop (senza porte esterne), realizzare un contatore mod-3 ed un contatore mod-5.

(d) Realizzare un contatore mod-7 [ $7 = 2 \times (2 + 1) + 1$ ], un contatore mod-11 [ $11 = 2 \times (2^2 + 1) + 1$ ] e un contatore mod-25 [ $25 = 8 \times (2 + 1) + 1$ ].

(e) Realizzare un algoritmo che porti ad un contatore di modulo arbitrario.

**10.14-1** Far riferimento al contatore asincrono in avanti a 4 stadi di Fig. 10.6-1. Dimostrare che, se  $C_1$  è connesso a  $\bar{Q}_0$ ,  $C_2$  a  $\bar{Q}_1$ ,  $C_3$  a  $\bar{Q}_2$ , le uscite del contatore  $Q_3Q_2Q_1Q_0$  contano all'indietro. Cioè, se si pone all'inizio  $Q_3Q_2Q_1Q_0 = 0000$ , il conteggio successivo sarà 1111, poi 1110, ecc.

**10.14-2** Far riferimento al contatore asincrono AVANTI-INDIETRO di Fig. 10.14-1. Supponiamo di aver contato in avanti e, dopo il  $k$ -esimo impulso di ingresso, di aver raggiunto il conteggio  $Q_3Q_2Q_1Q_0 = 0101$ . A questo punto la direzione del conteggio viene cambiata: cioè  $M$  diviene  $M = 0$ .

(a) Trovare il valore registrato dal contatore subito dopo che  $M$  è diventato  $M = 0$  e prima che giunga il successivo impulso di conteggio.

(b) Trovare il valore registrato dal contatore dopo il  $(k+1)$ -esimo impulso di ingresso.

**10.14-3** Dimostrare che il contatore AVANTI-INDIETRO di Fig. 10.14-2 può cambiare direzione di conteggio in qualsiasi momento senza errori. Come esempio, supporre che, dopo il  $k$ -esimo conteggio in avanti, il contatore dia  $Q_3Q_2Q_1Q_0 = 0101$ . A questo punto la direzione del conteggio viene invertita ponendo  $M = 0$ .

(a) Trovare il valore registrato subito dopo che  $M$  è passato a  $M = 0$ , ma prima dell'impulso  $(k+1)$ -esimo.

(b) Trovare il valore registrato dopo il  $(k+1)$ -esimo impulso.

**10.15-1** Verificare l'Eq. (10.15-2).

**10.15-2** Progettare un contatore sincrono decimale AVANTI-INDIETRO.

**10.15-3** Progettare un contatore mod-9 AVANTI-INDIETRO. Usare due contatori mod-3 in cascata.

**10.16-1** (a) Verificare la tavola di verità di Fig. 10.16-2b.

(b) Verificare la logica di decodifica fornita per questo contatore decimale.

**10.16-2** Supporre che, a causa del rumore, il contatore decimale ad anello di Fig. 10.16-2 si venga a trovare nello stato  $Q_5Q_4Q_3Q_2Q_1 = 00000$ . Determinare gli stati del contatore per i successivi 10 impulsi di ingresso. Dimostrare che si verifica il *blocco*.

**10.16-3** Far riferimento alla Fig. 10.16-3. L'aggiunta della porta AND rende  $J_1 = \overline{Q_4}\overline{Q_5}$ .

(a) Partendo con  $Q_5Q_4Q_3Q_2Q_1 = 00000$ , dimostrare che si verificano gli stati dati nella tavola di verità di Fig. 10.16-2b.

(b) Se, a causa del rumore, il contatore si viene a trovare nello stato  $Q_5Q_4Q_3Q_2Q_1 = 10101$ , dimostrare che esso alla fine tornerà in uno stato operativo.

(c) Per il contatore di Fig. 10.16-3 ci sono 22 stati inutilizzati. Dimostrare, facendo i vari casi, che si ritorna sempre in uno stato operativo.

Per esempio, se  $Q_5Q_4Q_3Q_2Q_1 = 01000$ , lo stato successivo sarà  $Q_5Q_4Q_3Q_2Q_1 = 10000$ .

**10.17-1** (a) Progettare un generatore di sequenza di lunghezza massima per una sequenza di lunghezza  $S = 31$ .

(b) Dimostrare che la funzione di correlazione relativa all'uscita di un qualsiasi flip-flop, ad esempio  $Q_1(k)$ , è

$$R_{Q_1(i)} = \sum_{k=1}^{31} Q_1(k)Q_1(k+i) = \begin{cases} 31 & i = 0 \\ -1 & i \neq 0 \end{cases}$$

Per ottenere questo risultato, si rappresenti il livello logico 1 con 1 V ed il livello logico 0 con -1 V.

**10.17-2** Progettare un generatore di sequenza per generare la sequenza **101101110110** su  $Q_1$ .

(a) Quale sequenza compare su  $D_1$ ?

(b) Quale sequenza compare su  $Q_2$ ?

(c) Quanti flip-flop sono necessari per determinare univocamente  $D_1$  in funzione di  $Q_1, Q_2, \dots$ ?

(d) Determinare l'espressione logica di  $D_1 = f(Q_1, Q_2, \dots)$ .

**10.17-3** Progettare un generatore di sequenza per avere una lunghezza  $L = 10$ . Tale generatore può venire impiegato come contatore decimale. Illustrare la logica di decodifica necessaria quando il generatore è impiegato come contatore. Si noti che un contatore può essere sempre ricavato da un appropriato generatore di sequenza. Non è necessario che tale generatore sia un generatore di sequenza di lunghezza massima.

## CAPITOLO 11

**11.3-1** Il sommatore seriale di Fig. 11.3-1 ha memorizzato nel registro addendo e nel registro augendo, entrambi a 5 bit, rispettivamente i numeri **01101** e **00111**. Disegnare i diagrammi di temporizzazione relativi al funzionamento del sommatore per sei cicli di clock. Si inizi col disegnare il segnale di clock e, mantenendo la stessa scala dei tempi, si disegnino le forme d'onda dell'uscita del sommatore completo e dell'uscita del flip-flop di tipo *D* indicando i bit registrati nel registro somma.

**11.4-1** (a) Addizionare i numeri  $A = 01101$  e  $B = 00111$  mediante il sommatore parallelo di Fig. 11.4-1. Determinare la somma  $S = C_{n-1}S_{n-1}S_{n-2} \dots S_0$ .

(b) Se il tempo di propagazione di ciascun sommatore completo ad 1 bit è  $\tau$ , calcolare il ritardo fra l'istante in cui i numeri da addizionare vengono presentati al sommatore e l'istante in cui all'uscita è disponibile la somma completa.

**11.5-1** I numeri **0010**, **0011**, **0101** sono presentati sequenzialmente in sincronismo con un segnale di clock, all'accumulatore di Fig. 11.5-1. Specificare lo stato dei tre registri per ogni intervallo di clock.

**11.5-2** Verificare l'Eq. (11.5-2).

**11.5-3** Il numero  $X_2(0)X_1(0)X_0(0) = 011$  è stato memorizzato nel registro di Fig. 11.5-2 durante lo 0-esimo ciclo di clock. Successivamente viene presentato agli ingressi il numero  $X_2(1)X_1(1)X_0(1) = 101$ , che deve venire sommato al numero precedente durante il primo ciclo di clock. Dimostrare che la somma completa  $S = S_3S_2S_1S_0$  non compare se non dopo che tutti i riporti si sono propagati attraverso l'accumulatore.

**11.6-1** Progettare un circuito combinatorio (con sole porte logiche, senza flip-flop) che accetti due numeri di 2 bit e dia in uscita la loro somma. Supporre che siano disponibili sia i bit che i loro complementi. Si noti che in questo circuito non si ha propagazione del riporto.

**11.6-2** Ripetere il Prob. 11.6-1 per tre numeri di 2 bit.

**11.6-3** Verificare l'Eq. (11.6-1).

**11.6-4** Riferirsi alla Fig. 11.6-1. Se il ritardo di propagazione per ogni sommatore completo è  $T_A$  e per le porte da  $G_1$  a  $G_4$ , per  $G_0$  e per  $G_A$  è  $T_G$ , calcolare il massimo ritardo di propagazione fra  $C_{in}$  e  $C_{out}$ .

**11.6-5** Riferirsi alla Fig. 11.6-2b. Ripetere il Prob. 11.6-4 e trovare il ritardo massimo fra  $C_0$  e  $C_8$ .

**11.6-6** In un sommatore a 24 bit si impieghi un circuito di by-pass per ogni 4 bit da sommare, come in Fig. 11.6-2. Calcolare il tempo di ritardo del som-

matore nel caso più sfavorevole. Supporre che il ritardo in ciascun by-pass sia uguale al ritardo in ciascun sommatore completo ad 1 bit.

**11.7-1** Ripetere il Prob. 11.6-1 per la sottrazione.

**11.7-2** Ripetere il Prob. 11.6-2 per la sottrazione.

**11.8-1** Si devono registrare dei numeri in un registro ad otto posizioni. I numeri negativi devono venire rappresentati in complemento a due.

(a) Indicare la situazione nel registro quando i numeri da registrare sono, in rappresentazione decimale, 14, -120, 67, -1.

(b) Ripetere il punto (a) nel caso che i numeri negativi debbano essere rappresentati in complemento ad uno.

**11.9-1** Sottrarre il numero  $B = 0011$  da  $A = 1010$  usando il registro circolare mod-16 di Fig. 11.9-1d. Perché il risultato è errato?

(b) Ripetere usando la rappresentazione in complemento a due; servirsi della Fig. 11.9-1c.

**11.9-2** Sottrarre il numero  $B = 0111$  da  $A = 1010$  usando la rappresentazione in complemento a uno: (a) trovare il complemento a uno  $B_1$  di  $B$ ; (b) dimostrare che la differenza  $D = A - B = A + B_1 + 1$ .

**11.10-1** (a) Progettare un circuito per convertire un numero di 4 bit espresso in complemento a uno in un numero a 4 bit espresso in complemento a due.

(b) Progettare un circuito per convertire un numero di 4 bit espresso in complemento a due in un numero a 4 bit espresso in complemento a uno.

**11.11-1** Usando una rappresentazione in complemento a uno con 4 bit più un bit di segno, sommare

(a) 10 e 5

(b) 10 e -5

(c) -10 e 5

(d) -10 e -5.

**11.13-1** Modificare il sommatore illustrato in Fig. 11.5-1 in modo da poter sommare una sequenza di numeri positivi e negativi espressi in complemento a uno.

**11.13-2** Dimostrare che quando si somma una sequenza di numeri positivi e negativi il risultato è corretto se il risultato finale è contenuto nella capacità del sommatore, anche se si è verificato un overflow durante l'esecuzione della somma.

(a) Sommare i numeri 6, 4, e -7 usando registri a 4 bit e la rappresentazione in complemento a uno. Ripetere usando la rappresentazione in complemento a due.

(b) Riferirsi al registro circolare di Fig. 11.9-1c ove ciascun numero è rap-

presentato in complemento a due. Dimostrare che  $6 + 4 - 7 = +3 = 0011$ , come deve essere.

(c) Ripetere il punto (b) usando la rappresentazione in complemento a uno (Fig. 11.9-1d).

**11.14-1** Dimostrare che se si verifica un overflow nella somma di due numeri positivi, il bit di segno della somma sarà 1. Ripetere per la somma di due numeri negativi, dimostrando che il bit di segno della somma sarà 0.

**11.14-2** Progettare e disegnare il circuito di saturazione per un sommatore che impiega la rappresentazione in complemento a uno.

**11.14-3** (a) Progettare un circuito che, ricevendo in ingresso  $X$  in complemento a uno, fornisca in uscita  $|X|$ .

(b) Ripetere il punto (a) nel caso in cui  $X$  sia in complemento a due.

**11.15-1** Se  $Y = 2X$  e  $X$  e  $Y$  sono espressi con 4 bit, compilare una tabella con  $X$ ,  $Y$  e l'errore  $E$  causato dall'overflow quando  $X$  varia da 1000 a 0111. Supporre  $X$  in rappresentazione in complemento a due.

**11.15-2** L'errore che può verificarsi nella moltiplicazione di una variabile per una costante può essere ridotto usando un sistema a saturazione. Sia  $Y = 4X$ , dove  $X$  e  $Y$  sono espressi mediante 4 bit più un bit di segno.  $X$  e  $Y$  possono essere positivi o negativi e sono espressi in complemento a due. Progettare un sistema con un ingresso  $X$  ed un'uscita  $Y$  che soddisfi le relazioni

$$Y = \begin{cases} 15 & X \geq 4 \\ 4X & |X| \leq 3 \\ -15 & X \leq -4 \end{cases}$$

con  $X$  compreso fra  $-15$  e  $15$ .

**11.15-3** Un numero  $X$  è memorizzato in complemento a due in un registro a 5 bit. Si ottiene  $Y = X/4$  facendo scorrere  $X$  verso destra di due posizioni; l'errore dovuto alla perdita dei due bit meno significativi può essere maggiore della metà del valore del bit meno significativo rimasto nel registro. Ad esempio se  $X = 01111 = 15$ , allora  $Y = 00011 = 3$  mentre il risultato corretto è  $15/4 = 3,75$ . Arrotondando, il risultato corretto sarebbe  $4 = 00100$ .

Progettare un sistema logico che arrotondi  $Y$  al valore intero più vicino.

**11.15-4** Ripetere il Prob. 11.15-2 con rappresentazione in complemento ad uno.

**11.15-5** Ripetere il Prob. 11.15-3 con rappresentazione in complemento ad uno.

**11.15-6** Verificare lo schema di Fig. 11.15-2a e b.

**11.15-7** Verificare lo schema di Fig. 11.15-2c e d.

**11.15-8** Progettare un sistema che, ricevendo in ingresso  $X$ , fornisca in usci-

ta  $Y = 2X + 3$ .  $X$  e  $Y$  sono rappresentati in complemento a due ed impiegano 7 bit più il bit di segno. Deve essere previsto un circuito di saturazione. (Vedi Prob. 11.15-2.)

**11.15-9** Ripetere il Prob. 11.15-8 con rappresentazione in complemento a uno.

**11.15-10** In un sistema sincrono, sia  $X(k)$  il valore di ingresso durante il  $k$ -esimo ciclo di clock. L'uscita  $Y(k)$  è data dall'equazione

$$Y(k) = X(k) + \frac{1}{2}Y(k-1)$$

$X$  e  $Y$  sono entrambi espressi in complemento a due mediante 4 bit più il bit di segno. Deve essere previsto un circuito di saturazione e si trascurino gli errori derivanti dal troncamento dei bit dovuto allo scalamento. (Questo sistema è un filtro digitale ricorsivo del primo ordine.)

**11.15-11** Progettare un sistema in cui l'ingresso  $X$  sia legato all'uscita  $Y$  dalla relazione

$$Y = \frac{3}{4}X$$

in cui  $X$  e  $Y$  sono costituiti da 4 bit più il bit di segno.

**11.17-1** Progettare un divisore che operi secondo sottrazioni successive; usare la rappresentazione in complemento a due.

## CAPITOLO 12

**12.2-1** I registri illustrati nelle Fig. 12.2-1 e 12.2-2 sono *registri sincroni*, cioè il trasferimento dei bit nei registri avviene in sincronismo con il clock. Può essere però importante poter saltare rapidamente da una parola ad un'altra distante  $N$  locazioni dalla prima. Il registro di Fig. P12.2-1 è in grado di effettuare spostamenti di 1, 2, o 3 bit in modo asincrono. Il numero dei bit da spostare viene determinato mediante i livelli logici degli ingressi  $S_1$  e  $S_2$ . (Formando altri ingressi,  $S_3$ , ecc., il numero dei bit da spostare può essere aumentato.) Il tempo occorrente per spostare  $N$  bit non dipende in questo caso dal clock ma dal tempo di propagazione delle porte e l'intero spostamento avviene in un intervallo di clock. Le uscite delle porte sono collegate direttamente insieme mediante connessioni OR-CABLATO.

(a) Spiegare il funzionamento del circuito.

(b) Espandere il sistema per permettere lo spostamento asincrono di un numero di bit fino a 7.

(c) Determinare il tempo di propagazione richiesto per lo spostamento di 7 bit, se il tempo di propagazione per porta è di 2ns.

(d) Riprogettare il sistema usando solo porte NOR.

**12.3-1** La corrente di dispersione di  $T1$  in Fig. 12.3-1 può essere considerata



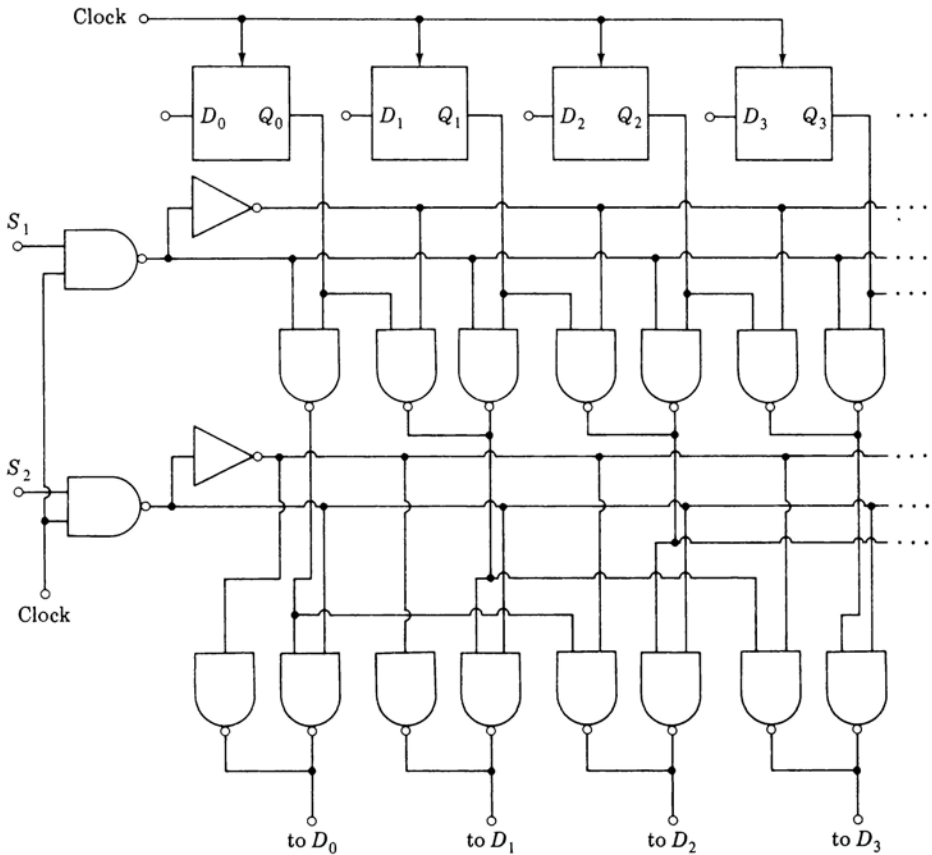


Figura P12.2-1

di circa 10 nA. Se la capacità è di 5 pF, quanto impiega la tensione sul gate di  $T_2$  a scendere da 5 a 3 V?

**12.3-2** Nello stadio di registro a scorrimento di Fig. 12.3-2 la corrente di dispersione di un transistor  $\text{OFF}$  vale 10 nA. Ogni capacità è di 5 pF. I transistori di carico  $T_3$  e  $T_6$  sono equivalenti a resistori di 5 k $\Omega$ , mentre i transistori pilota ed i transistori interruttori presentano in conduzione una resistenza di circa 100  $\Omega$ .  $V_{DD} = 5$  V.

(a) Se  $T_4$  è tenuto  $\text{ON}$  per un tempo sufficiente a caricare  $C_2$  da 0 a 4 V, calcolare il tempo minimo per cui  $\Phi_2$  deve rimanere alto.

(b) A causa delle perdite, la tensione su  $C_2$  alla fine calerà a 0 V. Se, dopo che  $C_2$  ha raggiunto 4 V,  $\Phi_2$  va allo stato 0, dopo quanto tempo  $\Phi_2$  deve tornare allo stato 1 per essere sicuri che la tensione su  $C_2$  non scenda sotto 3 V?

(c) Usando i risultati dei punti (a) e (b), determinare la minima frequenza del clock.

**12.3-3** In Fig. 12.3-4, quando l'ingresso è allo 0 logico,  $C_3$  si carica a  $V_{DD}$ . Quando  $T_4$  diviene ON,  $C_2$  viene caricato da  $C_3$ .

(a) Se  $V_{DD} = 5$  V e si vuole che  $C_2$  si carichi a 4 V, quanto deve valere il rapporto  $C_3/C_2$ ?

(b) Se la resistenza di  $T_4$  è  $100\ \Omega$ , calcolare il tempo necessario perchè  $C_2$  raggiunga il 90% del suo valore asintotico, se  $C_2 = 1$  pF.

(c) Verificare che la condizione  $C_3 \gg C_2$  non è richiesta quando l'ingresso è ad 1 logico.

**12.4-1** Descrivere il funzionamento del registro a scorrimento di Fig. 12.4-1 quando l'ingresso è allo 0 logico.

**12.7-1** Progettare un registro con scorrimento sia a destra che a sinistra impiegando lo stadio illustrato in Fig. 12.7-1. Disegnare tutti i circuiti.

**12.7-2** Modificare lo stadio di registro a scorrimento di Fig. 12.7-1 in modo da trasformarlo in un registro a scorrimento con ingresso parallelo-asincrono e uscita serie-sincrona.

**12.8-1** Se si vuole che il registro di Fig. 12.8-1 funzioni correttamente, dimostrare che il clock  $\Phi_2$  deve tornare allo stato logico 1 prima di  $\Phi_3$ .

**12.9-1** Progettare un codificatore, usando porte NAND, che soddisfi la tavola di verità di Fig. 12.9-1a.

**12.9-2** Un codificatore deve fornire  $N$  uscite.

(a) Quante porte OR sono richieste?

(b) Quanti bit d'ingresso può trattare al massimo il codificatore?

**12.9-3** Progettare il decodificatore di Fig. 12.9-2b usando solo (a) porte NAND e (b) porte NOR.

**12.10-1** Ripetere il Prob. 12.9-1 usando (a) porte NOR e (b) porte a diodi.

**12.12-1** Si impieghino ROM e sommatore per moltiplicare due numeri di 4 bit. L'uscita del moltiplicatore deve essere un numero di 4 bit formato dai 4 bit più significativi. Progettare il moltiplicatore.

**12.12-2** Riferendosi alla Fig. 12.12-1, dimostrare che la disposizione delle uscite di riporto del sommatore è quella corretta per avere un risultato esatto.

**12.12-3** (a) Progettare un sistema di ROM che dia un'uscita  $Y = \sin \vartheta$ , dove  $\vartheta$  è l'ingresso. Si vari  $\vartheta$  da  $0^\circ$  a  $90^\circ$  a passi di  $0,1^\circ$ . Servirsi dell'Eq. (12.12-3), ponendo  $I = 0^\circ, 1^\circ, \dots, 90^\circ$  e facendo assumere ad  $F$  tutti i valori compresi fra  $-0,5^\circ$  e  $+0,5^\circ$  a passi di decimo di grado. Assumere anche  $\sin F = F$  e  $\cos F = 1$ . L'uscita  $Y$  venga approssimata al centesimo. Specificare le dimensioni della ROM.

(b) Se il sistema impiega una sola ROM con ingresso  $\Phi$  ed uscita  $Y$ , specificare le dimensioni della ROM.

**12.12-4** Progettare una ROM che accetti in ingresso le cifre da 0 a 9 in codice BCD e generi delle uscite adatte a pilotare un visualizzatore a sette segmenti a LED.

**12.13-1** (a) Disegnare una RAM a quattro celle aggiungendo tre celle alla RAM di Fig. 12.13-1.

(b) Per indirizzare una cella di una RAM a quattro celle è necessario un indirizzo d'ingresso a 2 bit. Progettare il circuito di decodifica.

**12.14-1** (a) Disegnare una RAM a quattro celle usando la cella a MOS di Fig. 12.15-1a e la configurazione di Fig. 12.15-1b; disegnare i singoli transistori.

(b) Per indirizzare una delle quattro celle è necessario un indirizzo a 2 bit  $A_1, A_2$ . Progettare il decodificatore.

**12.15-1** Ripetere il Prob. 12.14-1 usando la cella ed i circuiti ausiliari di Fig. 12.15-2. Disegnare i singoli transistori.

**12.15-2** Ripetere il Prob. 12.14-1 usando la cella ed i circuiti ausiliari di Fig. 12.15-4.

**12.16-1** La cella di memoria di Fig. 12.15-4 viene usata in una RAM a 4096 bit organizzata come in Fig. 12.16-2.

(a) Di quanti bit devono essere gli indirizzi  $X$  e  $Y$ ?

(b) Se il tempo di rinfresco di una singola cella è di 400 ns, quanto tempo occorre per rinfrescare l'intera memoria?

**12.17-1** Un chip di RAM contiene 256 parole di 1 bit. Seguendo lo schema di Fig. 12.17-3, disegnare un sistema di memoria di 1024 parole ad 8 bit. Disegnare la logica di decodifica per gli ingressi di selezione del chip.

**12.17-2** Un chip di RAM contiene 64 parole di 4 bit. Seguendo lo schema di Fig. 12.17-3 disegnare un sistema di memoria di 256 parole a 8 bit. Disegnare la logica di decodifica per gli ingressi di selezione del chip.

## CAPITOLO 13

**13.2-1** In Fig. 13.2-3  $M(t) = 5 \text{ V}$ ,  $R_a = 100 \Omega$ ,  $R_L = 1 \text{ M}\Omega$  e  $C = 0,01 \mu\text{F}$ . Supporre l'interruttore ideale.

(a) Se il condensatore è inizialmente scarico, calcolare il tempo necessario affinché  $V_o$  raggiunga il 99% di  $M(t)$  dopo che l'interruttore si è chiuso.

(b) Dopo che l'interruttore è stato aperto, la tensione sul condensatore diminuisce. Calcolare il tempo richiesto da  $V_o$  per diminuire dell'1%.

**13.2-2** Quando l'interruttore  $S$  è aperto, il circuito di Fig. 13.2-4 è sostanzialmente un integratore.

(a) Se  $I(t) = I_0$  per un tempo  $T$ , discutere il rapporto  $T/R_a C$  affinché la tensione  $V_c(t)$  sul condensatore approssimi l'integrale di  $I(t)$ .

(b) Se  $I_0 = 10$  mA,  $R_a = 1$  M $\Omega$  e  $C = 0,1$   $\mu$ F, calcolare  $V_c(t)$  per  $t = T = 1$  ms, con l'interruttore  $S$  aperto.

(c) All'istante  $T$  l'interruttore  $S$  viene chiuso. Calcolare il tempo richiesto da  $V_c$  per calare all'1% del suo valore massimo. Assumere  $R_s = 100$   $\Omega$  e supporre l'interruttore ideale.

**13.2-3** La tensione d'ingresso  $V_s$  di Fig. 13.2-7 è una tensione continua di 50 mV. L'amplificatore in alternata lascia passare tutti i segnali di frequenza superiore ad 1 kHz amplificandoli di 10 volte ed attenua completamente i segnali di frequenza inferiore ad 1 kHz. La frequenza di commutazione è 2 kHz.

(a) Disegnare  $V_i(t)$

(b) Disegnare  $V_o(t)$  con la stessa scala dei tempi usata nel punto (a).

(c) Disegnare  $V_f(t)$  con la stessa scala dei tempi di (a). Supporre che  $S_2$  si chiuda in sincronismo con  $S_1$ .

(d) Ripetere il punto (c) supponendo che quando  $S_1$  è aperto  $S_2$  sia chiuso e viceversa.

**13.2-4** I componenti del filtro di Fig. 13.2-8 sono  $R = 1$  k $\Omega$ ,  $R_1 = 1$  k $\Omega$ ,  $R_2 = 2$  k $\Omega$ ,  $C_1 = 0,01$   $\mu$ F e  $C_2 = 0,02$   $\mu$ F. Se  $V_i$  è un impulso che vale 0 per  $t < 0$ , 1 V per  $0 < t < 10$   $\mu$ s e 0 per  $t > 10$   $\mu$ s, tracciare  $V_o$  in funzione del tempo. Supporre che per  $t = 0$  l'interruttore  $S_1$  si chiuda, per  $t = 5$   $\mu$ s anche  $S_2$  si chiuda, per  $t = 10$   $\mu$ s anche  $S_3$  venga chiuso e per  $t = 15$   $\mu$ s tutti e quattro gli interruttori siano chiusi.

**13.3-1** In Fig. 13.3-1a il diodo  $D$  può venire rappresentato con una batteria di 0,7 V in serie ad un diodo ideale. Quando  $V_c = V_1$  il diodo lascia passare il segnale di ingresso  $V_a(t)$ .

(a) Ricavare un'espressione che legghi il valore più negativo di  $V_o(t)$ , senza che il diodo si interdica, ad  $R_a$ ,  $R_1$ ,  $R_2$  ed  $R_c$ .

(b) Assumere  $V_1 = +5$  V,  $R_a + R_1 = 100$   $\Omega$ ,  $R_c = 1$  k $\Omega$  ed  $R_L = 1$  k $\Omega$ . L'ingresso  $V_a(t) = 5 \sin \omega t$ . Tracciare l'andamento dell'uscita  $V_o(t)$ .

**13.3-2** In Fig. 13.3-1a il diodo  $D$  può essere rappresentato con una batteria di 0,7 V in serie con un diodo ideale. Quando  $V_c = -V_2$ , il diodo è interdetto e  $V_o(t)$  è uguale a 0 V indipendentemente da  $V_a(t)$ . Ricavare un'espressione per il massimo valore di  $V_a(t)$  che garantisca ancora l'interdizione di  $D$ . Esprimere la funzione mediante  $V_2$ ,  $R_a$ ,  $R_1$ ,  $R_2$  e  $R_c$ .

**13.3-3** Ripetere il Prob. 13.3-1 per la porta di Fig. 13.3-1e.

**13.3-4** Ripetere il Prob. 13.3-2 per la porta di Fig. 13.3-1e.

**13.3-5** Nella porta a due diodi di Fig. 13.3-2 i diodi  $D1$  e  $D2$  possono essere rappresentati ciascuno con una batteria di 0,7 V in serie con un diodo ideale.

(a) Se  $V_c = V_1$  e  $V_a = V_A \sin \omega t$ , calcolare il più elevato valore di  $V_A$  che la porta è in grado di trasmettere senza che i due diodi vengano interdetti.

(b) Se  $V_c = V_1$  e  $V_A < V_A(\max)$ , calcolare il guadagno  $V_o/V_A$ .

(c) Verificare che finchè i diodi conducono, la tensione del punto comune ai due resistori  $R_1$  coincide con quella del punto comune ai due diodi.

(d) Se  $V_a = 1$  V,  $V_c = V_1 = 5$  V,  $R_a = 0$ ,  $R_c = 1$  k $\Omega$ ,  $R_1 = 1$  k $\Omega$  e  $R_L = 1$  k $\Omega$ , determinare le correnti nei diodi  $D1$  e  $D2$ . Poichè le correnti sono diverse, le tensioni sui diodi saranno necessariamente diverse e il loro valore non sarà 0,7 V. Ci si deve aspettare che con diodi reali  $V_{D1} > V_{D2}$ . Calcolare  $V_{D1} - V_{D2}$ . Che relazione sussiste fra quest'ultimo risultato e la risposta al punto (c)?

**13.3-6** Nella porta a due diodi di Fig. 13.3-2,  $V_c$  deve essere uguale a  $-V_2$  per aprire la porta e interdire la trasmissione. Rappresentando ciascuno dei due diodi  $D1$  e  $D2$  con una batteria di 0,7 V, trovare il massimo valore di  $V_A$ , dove  $V_a(t) = V_A \sin \omega t$ , per cui la porta rimane ancora aperta, cioè per cui i due diodi rimangono ancora interdetti.

**13.3-7** Ripetere il punto (b) del Prob. 13.3-5 supponendo i diodi  $D1$  e  $D2$  ideali e verificare l'Eq. (13.3-1).

**13.3-8** Ripetere il Prob. 13.3-6 supponendo i diodi  $D1$  e  $D2$  ideali e verificare l'Eq. (13.3-2).

**13.3-9** L'equazione (13.3-4) si applica alla porta a quattro diodi di Fig. 13.3-4, assumendo i diodi ideali.

(a) Verificare l'Eq. (13.3-4).

(b) Ricavare un'espressione per  $V_1$  quando i diodi sono rappresentati da una batteria di 0,7 V in serie ad un diodo ideale.

**13.3-10** La porta a quattro diodi di Fig. 13.3-3 è usata per trasmettere una tensione  $V_a$ , dove  $|V_a| \leq 5$  V. Supporre  $R_a = 0$  ed i diodi ideali.  $R_L = 1$  k $\Omega$ . Sono disponibili le tensioni  $\pm 5$  e  $\pm 10$  V. È possibile, naturalmente, commutare  $V_c$  da una all'altra di queste tensioni. Progettare la porta a quattro diodi specificando  $R_1$ ,  $R_c$ ,  $V_1$ ,  $V_2$  e  $V_r$ .

**13.3-11** Supporre che nella porta a quattro diodi di Fig. 13.3-4 i diodi  $D1$  e  $D3$  possano essere rappresentati da una batteria di 0,7 V in serie ad un diodo ideale mentre i diodi  $D2$  e  $D4$  possano essere rappresentati da una batteria di 0,75 V in serie con un diodo ideale. Supponendo  $R_a = 0$ , ricavare un'espressione per  $V_1$  in funzione di  $V_a(\max)$ ,  $R_c$  ed  $R_L$ .

**13.3-12** (a) Ricavare un'espressione per la tensione di riferimento  $V_r$  in funzione di  $V_a(\max)$ ,  $R_a$ ,  $R_c$  ed  $R_L$  nella porta a sei diodi di Fig. 13.3-5.

Supporre che ciascun diodo possa essere rappresentato da una batteria di 0,7 V in serie con un diodo ideale.

(b) Se  $V_a = 5$  V,  $V_r = 10$  V,  $R_c = 1$  k $\Omega$ ,  $R_L = 1$  k $\Omega$  ed  $R_a = 0$ , calcolare le correnti nel diodo  $D1$  e nel diodo  $D3$ .

(c) Servendosi del risultato del punto (b) e considerando il fatto che le tensioni sui diodi in realtà differiscono fra di loro poichè le correnti sono diverse, calcolare  $V_o$ . Confrontare questo risultato con quello ottenuto trascurando le differenze fra le tensioni sui diodi.

**13.3-13** Ricavare un'espressione che dia il valore di  $V_a$  richiesto per portare i diodi  $D1$  e  $D3$  di Fig. 13.3-9b proprio al punto di interdizione. Supporre che i diodi possano essere rappresentati da una batteria di 0,7 V in serie con un diodo ideale. L'espressione deve essere data in funzione di  $I_c$ ,  $R_a$ ,  $R_L$ .

**13.3-14** Supporre che nella porta ad alta velocità di Fig. 13.3-11a il carico capacitivo sia sostituito da un resistore di 2 k $\Omega$ . Se  $V_a = 5$  V,  $I_0 = 10$  mA,  $T_c = 20$  ns ed  $N = 6$ , trovare il minimo valore di  $L_m$  che garantisca che tutti i diodi del ponte rimangano ON. Rappresentare ciascun diodo con una batteria di 0,7 V in serie con un diodo ideale.

**13.7-1** Se in Fig. 13.7-1  $T1$  viene sostituito da un NMOSFET ad arricchimento con tensione di soglia  $V_T = 2$  V, trovare:

(a) I livelli di  $V_c$  necessari per aprire e chiudere  $T1$ . Supporre  $V_a = 0$  V.

(b) Il valore più positivo ed il valore più negativo di  $V_a$  affinché l'interruttore funzioni ancora correttamente; in questo calcolo assumere un margine di sicurezza uguale a zero.

**13.7-2** Lo schema serie di Fig. P13.7-2 differisce dallo schema di Fig. 13.7-1 per lo scambio di posizione fra  $T1$  ed  $R'_1$ . Se  $|V_a(t)| \leq 5$  V, trovare i valori di  $V_c$  per far commutare  $T1$ .

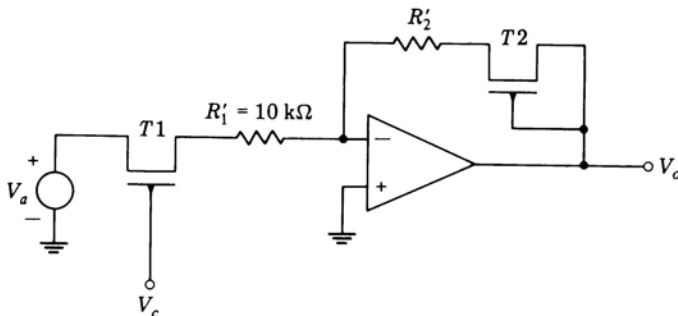


Figura P13.7-2

**13.8-1** Servirsi del circuito di Fig. 13.8-2b per dimostrare che, se  $C_d V_g / V'_g = C'_g$ , l'errore di offset è nullo.

**13.8-2** Gli op-amp di Fig. 13.8-3 presentano una tensione di offset di ingresso di 1 mV; cioè, quando lavorano senza reazione, la loro tensione di uscita è 0 V quando la tensione di ingresso è 1 mV. Se  $V_a = 0$  V e  $T1$  è ON, calcolare  $V_o$ .

**13.8-3** Gli op-amp di Fig. 13.8-4 presentano le stesse caratteristiche degli op-amp descritti nel Prob. 13.8-2. Che tensione  $V_a$  deve essere applicata per rendere  $V_o = 0$  V?

**13.10-1** Riferirsi alla Fig. 13.10-1. Il FET presenta una tensione di soglia di 2 V e  $k_n = 400 \mu\text{A}/\text{V}^2$ . Sia  $V_c = 7$  V e  $V_a$  vari da  $-5$  a  $5$  V.

(a) Tracciare l'andamento della resistenza dell'NMOSFET in funzione di  $V_a$ . (Fare riferimento al Par. 8.1.)

(b) Assumere  $R_L = 1 \text{ k}\Omega$  e trascurare  $C_L$ ; disegnare  $V_o$  in funzione di  $V_a$  nel campo  $|V_a| \leq 5$  V.

**13.10-2** Riferirsi alla Fig. 13.10-2. I FET presentano una tensione di soglia di 2 V e  $k_n = k_p = 400 \mu\text{A}/\text{V}^2$ . Sia  $V_c = 5$  V e  $V_a$  vari da  $-5$  a  $5$  V.

(a) Disegnare l'andamento della resistenza della porta CMOS in funzione di  $V_a$ .

(b) Assumere  $R_L = 1 \text{ k}\Omega$  e trascurare  $C_L$ ; disegnare  $V_o$  in funzione di  $V_a$  nel campo  $|V_a| \leq 5$  V. (Fare riferimento al Par. 8.1.)

**13.11-1** Progettare un circuito che accetti in ingresso due tensioni continue indipendenti e simultanee. Il circuito presenti due uscite  $A$  e  $B$ ; la maggiore delle due tensioni di ingresso venga inviata ad  $A$  e la minore a  $B$ .

**13.11-2** Dimostrare che la Fig. 13.11-2 può essere realizzata con un unico comparatore. Disegnare il circuito richiesto.

## CAPITOLO 14

**14.2-1** Verificare il teorema del campionamento procedendo come segue:

1 Sia  $S(t)$  un segnale di campionamento costituito da una sequenza regolare di impulsi di ampiezza unitaria, di durata  $\Delta t$  piccola a piacere e separati da intervalli  $T_s$ . Scrivere la serie di Fourier per questo treno di impulsi periodici.

2 Sia  $M(t)$  una forma d'onda arbitraria. Scrivere il prodotto  $S(t)M(t)$ , che rappresenta il segnale  $M(t)$  campionato ad intervalli  $T_s$ . Supporre che il segnale  $M(t)$  presenti uno spettro di frequenze che si estenda da 0 a  $f_M$  Hz. Determinare la larghezza dello spettro di ciascun termine del prodotto  $S(t)M(t)$ .

3 Dimostrare che, se  $1/T_s = f_s > 2f_M$ , gli spettri di frequenza relativi a ciascun termine di  $S(t)M(t)$  non si sovrappongono. Si noti, allora, che

uno dei termini di  $S(t)M(t)$  è  $[M(t) \Delta t]/T_s$  e pertanto  $M(t)$  può essere ricostruito.

**14.3-1** Il sistema di moltiplicazione a divisione di tempo illustrato in Fig. 14.3-1 è usato per moltiplicare i quattro segnali  $M_1(t) = \cos \omega_0 t$ ,  $M_2(t) = 0,5 \cos \omega_0 t$ ,  $M_3(t) = 2 \cos 2 \omega_0 t$  e  $M_4(t) = \cos 4 \omega_0 t$ .

(a) Qual'è la minima frequenza di campionamento consentita per ciascun segnale?

(b) Adattare il sistema a commutatore rotante di Fig. 14.3-1 in modo che ciascuno dei quattro segnali possa essere campionato correttamente. Qual'è la velocità di rotazione del braccio del commutatore?

**14.4-1** La quantizzazione di un segnale campionato introduce un errore. Se il gradino fra i livelli di quantizzazione è  $S$ , l'errore risulta compreso fra  $-S/2$  e  $S/2$  e qualsiasi errore compreso in questo intervallo è ugualmente probabile. L'errore quadratico medio di quantizzazione è definito come il valor medio del quadrato dell'errore. Dimostrare che l'errore quadratico medio di quantizzazione è  $S^2/12$ .

**14.4-2** La larghezza di banda per la trasmissione di segnali vocali in una linea telefonica è di 3000 Hz. Occorre moltiplicare un certo numero di conversazioni telefoniche su di un unico canale di trasmissione mediante moltiplicazione a divisione di tempo a PCM. In un certo sistema si è trovato che per avere una ricezione affidabile è necessario che i bit siano intervallati di almeno 1  $\mu$ s. Se i segnali vengono quantizzati in 16 livelli, calcolare il numero dei segnali vocali che possono venire trasmessi.

**14.5-1** Verificare l'Eq. (14.5-2).

**14.5-2** (a) Un convertitore D/A accetta 12 bit di ingresso, cioè ha una risoluzione di 12 bit, e fornisce una tensione di uscita massima di 10 V. Si supponga che l'errore dell'uscita, a causa della deriva dei valori dei componenti, ecc., sia pari a  $\Delta V$ . Qual'è il massimo  $\Delta V$  che consente all'LSB di essere ancora significativo?

(b) Ripetere per un convertitore a 16 bit.

**14.5-3** In un convertitore D/A a resistori pesati a 10 bit, del tipo di quello di Fig. 14.5-1,  $R_L = 0$  (l'uscita analogica è la corrente  $I_L$ ). L'errore dell'uscita, dovuto alla tolleranza dei resistori, non deve superare la metà della variazione dell'uscita corrispondente alla variazione in ingresso dell'LSB.

(a) Supponendo che soltanto il resistore  $R_{N-1}$  corrispondente all'MSB non sia preciso, qual'è la massima tolleranza di  $R_{N-1}$  ammessa?

(b) Supponendo che soltanto il resistore  $R_0$  corrispondente all'LSB non sia preciso, qual'è la massima tolleranza di  $R_0$  ammessa?

**14.5-4** Un convertitore D/A a 6 bit invia la sua corrente di uscita alla massa virtuale di un op-amp, come in Fig. 14.5-3. I livelli delle tensioni di ingresso



sono  $V_i(1) = 10 \text{ V}$  e  $V_i(0) = 0 \text{ V}$ . Il resistore  $R_0$  corrispondente all'LSB vale  $320 \text{ k}\Omega$  ed il resistore di reazione  $R_f$  vale  $10 \text{ k}\Omega$ . Qual'è la tensione  $V_o$  corrispondente all'ingresso **110101**?

**14.6-1** Verificare che l'uscita  $V_o$  del convertitore D/A di Fig. 14.6-2b è data dall'Eq. (14.6-2).

**14.6-2** Considerare un convertitore D/A a scala  $R - 2R$  del tipo di quello di Fig. 14.6-1a con  $N$  bit di ingresso. Supporre che tutti i resistori valgano esattamente  $R$  o  $2R$ , eccetto il resistore  $2R$  dell'MSB, il cui valore sia invece  $2R(1 + \delta)$ . Scrivere un'espressione per  $V_o$  corrispondente all'Eq. (14.6-2) e adatta a questo caso. Se  $N = 10$ , qual'è il massimo valore ammesso per  $\delta$  affinché l'LSB sia ancora significativo?

**14.6-3** Riferirsi alla Fig. 14.6-3.

(a) Verificare che per avere un convertitore a 8 bit adatto ad un codice di ingresso binario naturale occorre che  $r = 8R$ .

(b) Verificare che per avere un convertitore a due cifre decimali espresse in BCD, occorre che  $r = 4,8 R$ .

**14.7-1** Riferirsi alla Fig. 14.7-3. Verificare che, quando l'ingresso è a  $0 \text{ V}$ , entrambi i transistori  $T1$  e  $T2$  sono saturi.

**14.7-2** In Fig. 14.7-3 le tensioni di ingresso, partendo dall'alto, valgono  $3, 0, 3$ , e  $0 \text{ V}$ . Quanto vale l'uscita analogica  $V_a$  corrispondente?

**14.8-1** Riferirsi alla Fig. 14.8-1.

(a) Verificare che la resistenza vista da ciascun morsetto della rete a scala vale  $2R/3$ .

(b) Assumendo  $R = 1 \text{ k}\Omega$ ,  $R_f = 2R$ , ed  $I = 10 \text{ mA}$ , scrivere un'espressione della tensione di uscita  $V_o$  in funzione dei livelli logici associati ai commutatori; porre  $S = 1$  quando il commutatore è connesso alla rete.

**14.8-2** In Fig. 14.8-2,  $R = 100 \Omega$  e l'op-amp (non indicato) ha un resistore di reazione pari a  $2R$ . Trovare  $R_e$  in modo che la tensione di uscita di fondo scala dell'op-amp sia  $1 \text{ V}$ .

**14.8-3** Riferirsi alla Fig. 14.8-2. Verificare che quando uno dei transistori di un commutatore (ad esempio  $TOA$  o  $T0B$ ) è OFF, la sua tensione base-emettitore è  $+0,35 \text{ V}$ .

**14.9-1** Verificare l'Eq. (14.9-1) relativa al circuito a scala invertita di Fig. 14.9-1.

**14.9-2** In Fig 14.9-2 i valori del circuito di polarizzazione siano quelli di Fig. 14.8-2, cioè  $V_Z = 6,2 \text{ V}$  e  $-V_R = -8,1 \text{ V}$ , sicché  $V_B = -1,15 \text{ V}$ . Sia  $R = 1 \text{ k}\Omega$ .

(a) Calcolare le correnti  $I_{C0}$ ,  $I_{C1}$ ,  $I_{C2}$  e  $I_{C3}$  quando tutti i transistori  $B$  sono OFF.

(b) Supponiamo che  $V_0$  aumenti fino a portare  $70A$  al punto di interdizione. Calcolare la conseguente variazione delle correnti di collettore.

**14.10-1** Quattro linee presentano le espressioni binarie dei numeri 7, 6, ..., 0, -1, ..., -7, -8 in formato complemento a due. Progettare un convertitore D/A che accetti questi ingressi e fornisca una tensione di uscita variabile da 7 a -8 V.

**14.10-2** (a) Riferirsi alla Fig. 14.10-2. Verificare che il funzionamento del circuito rimane inalterato se si elimina il commutatore di offset, se il commutatore  $S_2$  è sostituito da un commutatore  $\overline{S}_2$  e se il suo resistore  $R/4$  è sostituito da un resistore  $R/3$ .

(b) Adattare il circuito di Fig. 14.10-2 a quattro ingressi. Disegnare due circuiti, uno con il commutatore di offset e l'altro senza.

**14.12-1** Riferirsi alla Fig. 14.12-1. Verificare che la struttura a porte (decodificatore) che segue il registro a flip-flop fornisce in uscita parole a tre bit secondo quanto richiesto in Fig. 14.12-2.

**14.12-2** Un convertitore A/D a comparatori deve fornire in uscita una rappresentazione a tre bit in complemento a due.

(a) Trascurare il numero negativo in più disponibile nella rappresentazione in complemento a due e disporre di due tensioni  $V_0$  e  $-V_0$ . Disegnare la colonna di resistori adatta a fornire le tensioni di riferimento per i comparatori.

(b) Ripetere il punto (a) tenendo conto del numero negativo in più.

**14.12-3** Progettare il decodificatore per un convertitore A/D a comparatori a 3 bit in complemento a due. Considerare separatamente (a) il caso in cui si trascuri il numero negativo in più e (b) il caso in cui se ne tenga conto.

**14.12-4** Progettare un convertitore A/D a comparatori che fornisca in uscita una rappresentazione in complemento a uno. Progettare la colonna dei resistori per fornire le tensioni di riferimento ai comparatori e progettare il decodificatore di uscita.

**14.13-1** Riferirsi al convertitore ad approssimazioni successive di Fig. 14.13-2. Supporre che il valore campionato di ingresso corrisponda all'uscita digitale 001. Disegnare l'andamento del clock e, con la stessa scala dei tempi, gli andamenti delle uscite da  $Q_A$  a  $Q_E$ , gli andamenti di  $Q_3$ ,  $Q_2$ ,  $Q_1$  e l'andamento dell'uscita  $C_o$  del comparatore.

**14.13-2** Il convertitore ad approssimazioni successive a tre bit di Fig. 14.13-2 deve essere impiegato con valori di ingresso da 0 a 10 V. Quanto dovrà valere l'offset per garantire che l'errore di quantizzazione massimo sia lo stesso in ciascuna fascia di quantizzazione?

**14.14-1** (a) Disegnare lo schema a blocchi di un convertitore A/D a conteggio a 2 bit.

(b) Il convertitore deve essere impiegato per valori di ingresso da 0 a 10 V. Progettare il convertitore D/A con il suo offset in modo che l'errore di quantizzazione massimo sia lo stesso in ciascuna fascia di quantizzazione.

(c) Disegnare le forme d'onda come in Fig. 14.14-2 per ingressi analogici di 4 e 9 V.

**14.14-2** La frequenza di campionamento su di un segnale analogico presentato all'ingresso di un convertitore A/D a conteggio è 5 kHz. I flip-flop del convertitore presentano una frequenza di commutazione massima di 2 MHz. Qual'è la massima risoluzione possibile del convertitore?

**14.14-3** Un segnale sinusoidale a 10 kHz, di ampiezza pari a 10 V, viene presentato ad un servo-convertitore con risoluzione di 8 bit. Se l'errore di conversione deve essere contenuto in  $\pm 1$  LSB, qual'è la minima frequenza di clock accettabile?

**14.15-1** La descrizione del convertitore di Fig. 14.15-1 e la forma d'onda di Fig. 14.15-1b presuppongono che, quando il commutatore  $S_2$  viene chiuso,  $V_o = 0$  V e che il comparatore commuti fra i livelli logici esattamente quando  $V_o$  passa per lo zero. Queste condizioni difficilmente sono verificate nella pratica. Dimostrare che la necessità di soddisfare queste condizioni può essere superata mediante un opportuno valore dell'ingresso di riferimento del comparatore e che ciò non infirma la precisione del convertitore.

**14.15-2** (a) Nel convertitore a doppia rampa di Fig. 14.15-1 la frequenza del clock è 100 kHz e il convertitore ha una risoluzione di 10 bit. Qual'è la massima frequenza con cui possono venire convertiti i valori campionati?

(b) Progettare la logica che, consentendo un tempo sufficiente per la conversione, effettui tutte le operazioni di lettura e successivamente azzeri il convertitore così da predisporlo per la conversione successiva.

**14.17-1** Nel circuito di Fig. 14.17-1,  $-V_r = -10$  V,  $R = 10$  k $\Omega$  e  $C = 0,01$   $\mu$ F. Trascurare  $T_d$  e tracciare un diagramma della frequenza in funzione dell'ingresso analogico  $V_a$  per valori di  $V_a$  compresi fra 0 e 10 V.

**14.21-1** (a) Nel modulatore delta di Fig. 14.21-1,  $M(t)$  è un'onda sinusoidale  $M(t) = 0,1 \sin(2\pi \times 10^3) t$ . La frequenza di clock è  $2 \times 10^4$  Hz e l'ampiezza del gradino è  $S = 20$  mV. Disegnare  $M(t)$ ,  $\hat{M}(t)$  e  $E(t)$ . Supporre che per  $t = 0$ ,  $M(t) - \hat{M}(t) = S$ .

(b) Ripetere per  $S = 4$  mV e 60 mV. Si noti che l'ampiezza  $S = 20$  mV fornisce il segnale approssimato  $\hat{M}(t)$  «migliore». Si può dimostrare che l'ampiezza ottimale è  $S_{ott} \approx 4A/(f_s/f_m)$ , dove  $A$  è l'ampiezza dell'onda sinusoidale,  $f_s$  è la frequenza del clock, ed  $f_m$  è la frequenza dell'onda sinusoidale. Perché questa affermazione è corretta?

**14.21-2** (a) Ripetere il punto (a) del Prob. 14.21-1 con una frequenza di clock di 10 kHz ed  $S = 40$  mV.

(b) Quale modulatore delta, quest'ultimo con  $S = 40$  mV ed  $f_s = 10$  kHz oppure quello del punto (a) del Prob. 14.21-1 con  $f_s = 20$  kHz ed  $S = 20$  mV, fornisce il miglior segnale approssimato? Nota: si può rigorosamente dimostrare che, una volta scelta l'ampiezza ottimale del gradino, la frequenza di campionamento più elevata fornisce il miglior segnale approssimato.

**14.21-3** (a) In un modulatore delta sia  $M(t) = M_0 \sin 2\pi f_0 t$ , e l'ampiezza del gradino sia  $S > 2M_0$ . Dimostrare che il segnale  $\hat{M}(t)$  non è più in grado di rispondere alle variazioni di  $M(t)$  (errore di eccesso d'ampiezza del gradino).

(b) L'ampiezza del gradino è  $S$  e la frequenza di campionamento  $f_s$ . Dimostrare che se si vuole evitare un sovraccarico di pendenza, la massima ampiezza consentita della sinusoide è  $M_0 = S f_s / 2\pi f_0$ .

(c) Dimostrare che se si vogliono evitare sia il sovraccarico di pendenza che l'eccesso d'ampiezza del gradino si deve avere  $f_s > 3f_0$ .

**14.22-1** In un modulatore delta adattativo caratterizzato dall'Eq. (14.22-3), supporre che  $M(t)$  rimanga costante all'interno del gradino  $S_0$ . Dimostrare che in questo caso  $\hat{M}(t)$  oscilla intorno ad  $M(t)$  con una frequenza pari alla metà di quella che si avrebbe in un modulatore delta lineare.

**14.22-2** Un segnale  $M(t)$  applicato al modulatore adattativo [Eq. (14.22-3)] sale linearmente da 0 a 9,7 V in un tempo pari a  $10 T_s$ , rimane a 9,7 V per  $20 T_s$  e quindi scende a 0 V in  $5 T_s$ . La minima ampiezza del gradino è  $S_0 = 0,5$  V.  $\hat{M}(t)$  sia uguale a 0 per  $t = 0$ ; disegnare  $M(t)$  ed  $\hat{M}(t)$  sullo stesso diagramma per l'intervallo da  $t = 0$  a  $t = 35 T_s$ .

## CAPITOLO 15

**15.1-1** Si consideri il circuito costituito dalla serie di un resistore  $R$  con un condensatore  $C$ . Se il valore iniziale della tensione ai capi del condensatore è  $V_i$  ed il valore a cui la tensione tende asintoticamente è  $V_f$ :

(a) Dimostrare che la tensione  $V_C$  ai capi del condensatore è

$$V_C(t) = V_f - (V_f - V_i) e^{-t/\tau}$$

dove  $\tau = RC$ .

(b) Trovare un'espressione per  $V_R(t)$ , cioè per la tensione ai capi del resistore.

(c) Dimostrare che in un circuito ad una sola costante di tempo la tensione  $V(t)$  fra due terminali qualsiasi può essere espressa in generale nella forma data nel punto (a).

(d) Sia  $V_T$  una tensione compresa fra  $V_i$  e  $V_f$ . Dimostrare che il tempo  $T$  necessario affinché  $V(t)$ , partendo da  $V_i$ , raggiunga  $V_T$  è dato da

$$T = \tau \ln \frac{V_f - V_i}{V_f - V_T}$$

**15.1-2** Nel circuito di Fig. 15.1-2,  $V_{SS} = 12\text{ V}$ ,  $V_T = 7\text{ V}$ ,  $R = 5\text{ k}\Omega$ , e  $R_{ol} = 200\Omega$ .

(a) Disegnare le forme d'onda di  $V_{1o}$ ,  $V_{2i}$  e  $V_{2o}$  ed indicare tutti i livelli di tensione.

(b) Se  $C = 0,001\text{ }\mu\text{F}$ , qual'è la durata dello stato quasi-stabile?

**15.1-3** (a) Assumere che, per una tensione di alimentazione di  $10\text{ V}$ , la caratteristica ingresso-uscita della porta CMOS sia quella illustrata in Fig. P15.1-3a. (Questa caratteristica è più vicina alla curva reale di Fig. 8.4-1 che non la caratteristica di Fig. 15.1-3.) Per  $V_{SS} = 10\text{ V}$ ,  $R = 10\text{ k}\Omega$  ed  $R_{ol} = 500\Omega$  ridisegnare le forme d'onda di Fig. 15.1-4 indicando tutti i livelli di tensione.

(b) Assumere la caratteristica ingresso-uscita di Fig. P15.1-3b. Dimostrare che in questo caso lo stato quasi-stabile termina quando  $V_{1o}$  raggiunge  $3,5\text{ V}$ . (Trascurare l'effetto di carico di  $R$  sulla porta  $G1$ .)

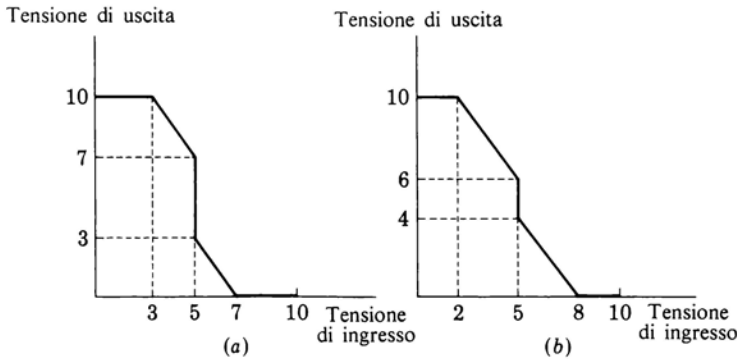


Figura P15.1-3

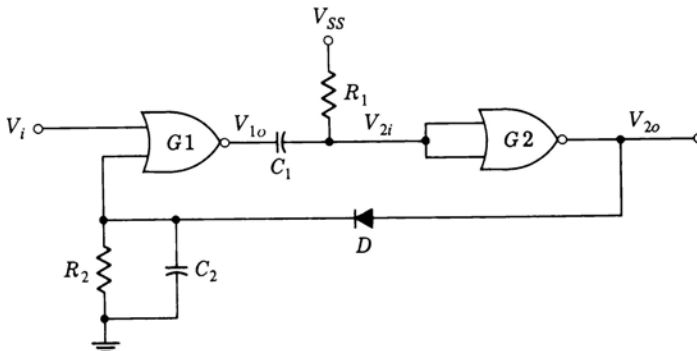


Figura P15.1-4

**15.1-4** Nel circuito monostabile di Fig. P15.1-4 assumere per le porte CMOS la caratteristica ingresso-uscita di Fig. 15.1-3. Supporre anche che una porta, vista dall'uscita, possa essere rappresentata mediante il circuito a due interruttori,  $S$  ed  $S'$ , di Fig. 15.1-5 senza i resistori  $R_{o1}$  ed  $R'$ . Supporre infine il diodo  $D$  ideale con tensione di soglia  $V_\gamma = 0$ .

(a) Con  $V_i$  allo 0 logico, quali sono i livelli delle tensioni  $V_{1o}$ ,  $V_{2i}$ , e  $V_{2o}$ ?

(b) Il circuito sia portato nello stato quasi-stabile da un breve impulso positivo di trigger su  $V_i$ . La tensione di transizione  $V_T$  sia la stessa per le due porte. Disegnare le forme d'onda di  $V_i$ ,  $V_{1o}$ ,  $V_{2i}$ , e  $V_{2o}$  dall'istante di inizio dello stato quasi-stabile fino al ritorno del circuito allo stato stabile.

(c) Supporre  $R_1 C_1 = R_2 C_2 = \tau$ . Calcolare il tempo  $T$  dello stato quasi-stabile in funzione di  $V_{SS}$ ,  $\tau$ , e  $V_T$ .

(d) Tracciare il diagramma di  $T/\tau$  in funzione di  $V_T$ , per  $V_{SS} = 10$  V e  $V_T = 1, 2, 3, \dots, 9$ . Confrontare il diagramma con il corrispondente diagramma del circuito di Fig. 15.1-2.

**15.1-5** In Fig. P15.1-5a è illustrato un multivibratore monostabile a transistori discreti. Le forme d'onda sono indicate in Fig. P15.1-5b a partire dall'istante in cui all'ingresso viene applicato un breve impulso negativo. I valori dei componenti sono tali che i transistori, quando conducono, si trovano in saturazione. Quando  $T2$  torna ON, per  $t = T$ , la sua corrente di base è così elevata da far sì che la sua tensione base-emettitore supera il valore  $V_{BE}(\text{sat}) = 0,75$  V. Ciò provoca nella curva di  $V_{B2}$  un picco per  $t = T$  (vedi Fig. P15.1-5b). Per calcolare questo picco supponiamo che in serie alla base di  $T2$  sia disposto un resistore  $r$ . (Questo resistore  $r$  tiene conto della resistenza ohmica della base e della resistenza incrementale di ingresso.)

(a) Descrivere qualitativamente il funzionamento del circuito verificando le forme d'onda della figura.

(b) Assumere  $V_{CC} = 10$  V,  $R_{c1} = 2$  k $\Omega$ ,  $R = R_{b1} = 50$  k $\Omega$ ,  $r = 50$   $\Omega$ ,  $C = 0,01$   $\mu$ F e  $h_{FE} = 50$ . Calcolare i valori di tutti i livelli di tensione che mancano nella figura. Quando vale il salto  $\delta$ ? Calcolare le costanti di tempo dei tratti esponenziali delle forme d'onda.

(c) Calcolare l'intervallo  $T$ .

**15.2-1** Nel multivibratore astabile a CMOS di Fig. 15.2-1 si rappresentino le porte, viste dall'uscita, con il circuito a due interruttori di Fig. 15.1-5, in cui  $R_{o1} = 500$   $\Omega$  ed  $R' = 1000$   $\Omega$ . Tener conto del fatto che la tensione di soglia dei diodi di ingresso vale 0,65 V. Sia  $V_{SS} = 12$  V e si assuma  $R$  molto elevato rispetto ad  $R_{o1}$  ed  $R'$ .

(a) Disegnare le forme d'onda  $V$ ,  $V_{2o}$  e  $V_{1i}$ .

(b) Se  $R = 50$  k $\Omega$ ,  $C = 0,01$   $\mu$ F e  $V_T = 7$  V, calcolare gli intervalli  $T_1$  e  $T_2$ .

**15.2-2** Nel multivibratore astabile a CMOS di Fig. 15.2-1 aggiungere in serie all'ingresso della porta  $G1$  un resistore  $R_s$  di valore elevato. Questo resistore sia così elevato da far sì che la forma d'onda sul nodo comune ad  $R$  e  $C$  non

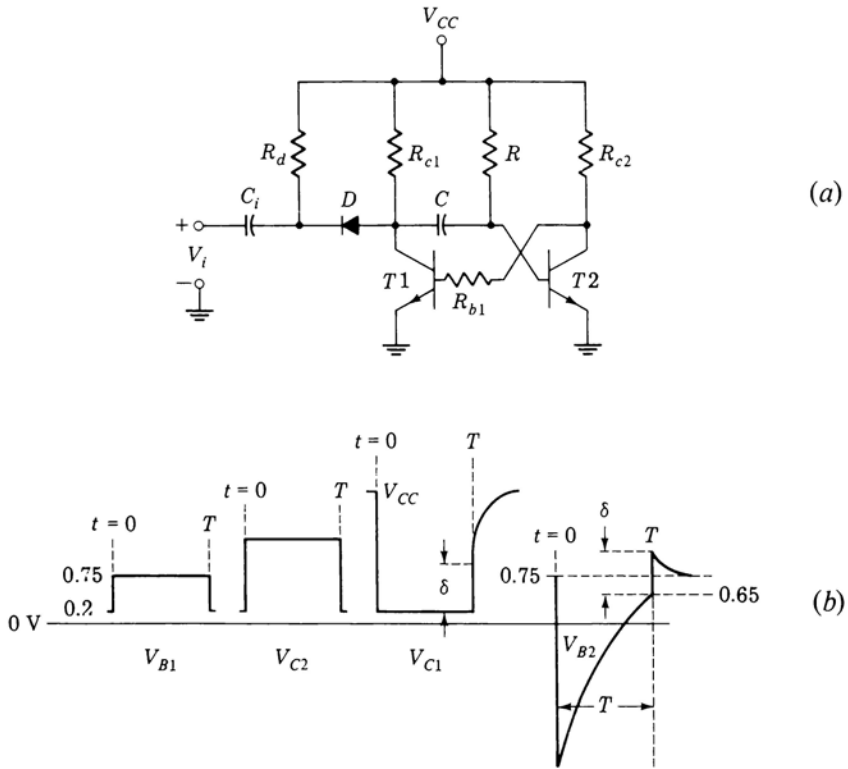


Figura P15.1-5

venga influenzata dai diodi di protezione all'ingresso di G1. Rappresentare le porte mediante il circuito a due interruttori di Fig. 15.1-5, con  $R_{o1} = R' = 0$ .

(a) Disegnare le forme d'onda  $V_{i1}$ ,  $V$ ,  $V_{2o}$  e la forma d'onda al nodo comune ad  $R_s$ ,  $R$  e  $C$ . Indicare i valori delle tensioni in funzione di  $V_{ss}$ ,  $V_T$  e della tensione di soglia  $V_{\gamma D}$  dei diodi di protezione.

(b) Dimostrare che il periodo totale del circuito è

$$T = RC \left( \ln \frac{V_{ss} + V_T}{V_T} + \ln \frac{2V_{ss} - V_T}{V_{ss} - V_T} \right)$$

**15.2-3** Supporre che la tensione di transizione  $V_T$  delle porte usate nel circuito astabile di Fig. 15.2-1 sia compresa fra  $0,3 V_{ss}$  e  $0,7 V_{ss}$ . Usare l'Eq. (15.2-1) per determinare i corrispondenti valori di  $T$ .

**15.2-4 (a)** In Fig. P15.2-4 è illustrato un multivibratore astabile a transistori

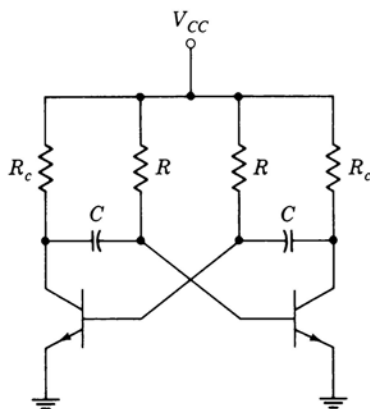


Figura P15.2-4

discreti. Disegnare le forme d'onda delle tensioni di collettore e di base. (Vedi forme d'onda e commenti del Prob. 15.1-5.)

(b) Indicare i livelli di tensione e le costanti di tempo relativi alle forme d'onda del punto (a) per i valori:  $V_{CC} = 12\text{ V}$ ,  $R_c = 3\text{ k}\Omega$ ,  $R = 50\text{ k}\Omega$ ,  $r = 50\text{ }\Omega$  e  $C = 0,01\text{ }\mu\text{F}$ . Calcolare l'intervallo di temporizzazione totale.

**15.2-5** Supporre che in Fig. 15.2-1a le porte  $G1$  e  $G2$  presentino entrambe un tempo di propagazione  $t_{pd}$ . Ridisegnare la Fig. 15.2-1b, c e d, tenendo conto dei tempi di propagazione.

**15.3-1 (a)** Dimostrare che nel circuito di Fig. 15.3-3 la larghezza dell'impulso all'uscita  $Q$  deve essere superiore alla larghezza dell'impulso di trigger.

(b) Dimostrare che nel circuito di Fig. 15.3-4 l'impulso di uscita è indipendente dalla larghezza dell'impulso di trigger.

**15.3-2** Supporre che nel circuito di Fig. 15.3-5a la tensione ai capi del diodo, quando conduce, rimanga fissa a  $0,75\text{ V}$ . Ridisegnare le forme d'onda di Fig. 15.3-1 tenendo conto del diodo. Indicare tutti i livelli di tensione.

**15.3-3** In Fig. 15.3-1 ciascuna porta NOR ha un tempo di propagazione  $t_{pd}$ .

(a) Tracciare la risposta di  $Q$  per un impulso di trigger su  $S$ , quando  $t_{pd} = 0,25\text{ }rC$ .

(b) Esprimere la durata minima  $W$  dell'impulso di trigger in funzione di  $t_{pd}$  e della costante di tempo  $\tau = rC$ .

**15.3-4** Ripetere il Prob. 15.3-3 per il multivibratore monostabile di Fig. 15.3-3.

**15.3-5** Il tempo di propagazione di ciascun flip-flop di Fig. 15.3-4 è  $t_{pd}$ . Esprimere la durata minima  $W$  dell'impulso di trigger in funzione di  $t_{pd}$  e  $\tau = rC$ .



**15.4-1** Nel multivibratore a linea di ritardo di Fig. 15.4-1 il tempo di propagazione di  $GA$  è  $t_{pd}(A) = 5$  ns, il tempo di propagazione di  $GB$  è  $t_{pd}(B) = 8$  ns ed il tempo di ritardo della linea è  $t_D = 20$  ns. Disegnare le forme d'onda nel caso in cui l'ingresso  $V_i$  è: (a) un gradino, (b) un impulso di durata pari a 15 ns, (c) un impulso di durata pari a 10 ns e (d) un impulso di durata pari a 15 ns seguito, dopo 50 ns, da un secondo impulso.

**15.4-2** Ripetere il Prob. 15.4-1 per il circuito di Fig. 15.4-2. Confrontare il duty cycle di questo circuito con quello del circuito di Fig. 15.4-1.

**15.5-1** Riferendosi al multivibratore monostabile TTL di Fig. 15.5-1a:

(a) Calcolare la durata minima dell'impulso di trigger  $P$  in funzione del tempo di propagazione delle porte. Supporre, per semplicità, che le porte abbiano lo stesso tempo di propagazione  $t_{pd}$ .

(b) Calcolare la massima *frequenza di ripetizione degli impulsi* di trigger in funzione di  $t_{pd}$ ,  $\tau_1$  e  $\tau_2$ .

**15.5-2** Riferendosi al picco della forma d'onda di  $V_2$  in Fig. 15.5-1b, fare le seguenti ipotesi. Supporre che i tempi di propagazione delle porte siano molto brevi rispetto alla durata dello stato quasi-stabile, sicché il picco si verifichi quando  $V_2$  raggiunge 0,65 V. Supporre che all'istante in cui si verifica il picco, guardando in  $G2$  si veda una batteria di 0,75 V in serie con un resistore di 25  $\Omega$ . Trascurare la corrente entrante nella porta  $G1$ . Rappresentare  $G4$ , vista dall'uscita, con il solito circuito di pull-up attivo delle porte TTL (come in Fig. 6.4-1). Supporre  $R$  sufficientemente elevata da essere trascurata. Calcolare  $\Delta$  e la costante di tempo  $\tau_2$  con cui il picco si esaurisce.

**15.6-1** (a) Spiegare qualitativamente il funzionamento astabile del circuito di Fig. P15.6-1 in cui i due semiperiodi del ciclo possono essere resi uguali, in cui cioè si può avere un duty cycle del 50%.

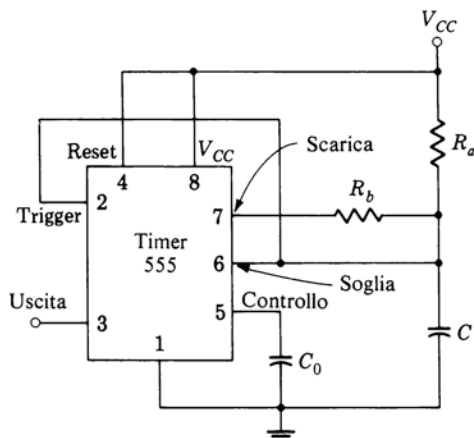


Figura P15.6-1

(b) Verificare che la durata completa del ciclo è  $T = T_1 + T_2$ , dove  $T_1 = 0,69 R_a C$  e  $T_2$  è dato da

$$T_2 = \frac{R_a R_b}{R_a + R_b} C \ln \frac{R_b - 2R_a}{2R_b - R_a}$$

(c) Se  $R_a = 50 \text{ k}\Omega$ , trovare  $R_b$  in modo che  $T_1 = T_2$ .

(d) Verificare, dall'espressione di  $T_2$ , che  $R_b$  non può essere maggiore di  $R_a/2$ . Spiegare la ragione fisica di questa limitazione.

**15.6-2** Il timer di Fig. P15.6-2 viene impiegato per generare ai capi di  $C$  una tensione che vari linearmente col tempo, cioè una rampa lineare. Il transistor  $T$  fornisce una corrente di carica costante al condensatore. La rampa viene fatta partire applicando un breve impulso negativo all'ingresso di trigger. Quando la tensione del condensatore raggiunge un certo livello critico, il condensatore si scarica di colpo.

(a) Supponendo che la durata della rampa sia minore dell'intervallo fra gli impulsi di trigger, disegnare, con la stessa scala dei tempi, gli impulsi di trigger, l'uscita al piedino 3 e la tensione ai capi del condensatore  $C$ .

(b) Supporre che la rampa parta da 0 V e verificare che la sua durata  $T$  è data da

$$T = \frac{\frac{2}{3} V_{CC} R_e (R_1 + R_2) C}{R_1 V_{CC} - V_{EB} (R_1 + R_2)}$$

dove  $V_{BE}$  ( $\approx 0,7 \text{ V}$ ) è la tensione base-emettitore del transistor.

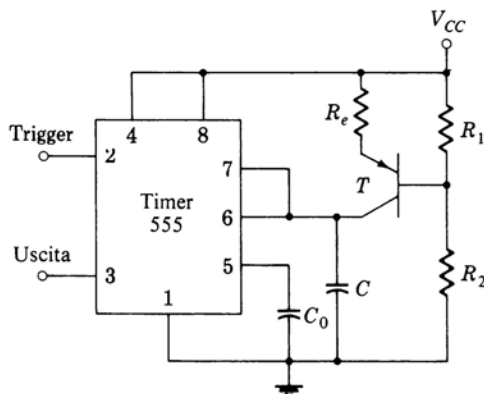


Figura P15.6-2

**15.6-3** Descrivere qualitativamente il funzionamento del timer 555 come divisore di frequenza. Un divisore di frequenza accetta in ingresso un treno di

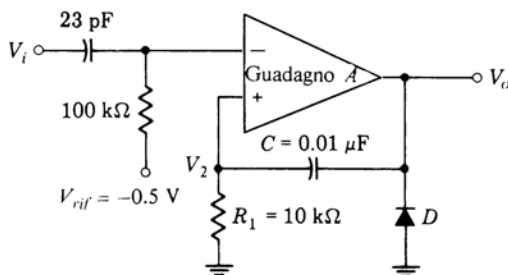


Figura P15.6-4

impulsi di una data frequenza  $f_1$  e fornisce in uscita un treno di impulsi di frequenza  $f_2 = f_1/n$ , dove  $n$  è intero.

**15.6-4** In Fig. P15.6-4 è rappresentato un multivibratore monostabile ad op-amp.

(a) Quale polarità deve avere l'impulso  $V_i$  per far scattare il multivibratore? Qual'è lo scopo della tensione  $V_{rif} = -0,5$  V?

(b) Tracciare l'andamento di  $V_o(t)$  e  $V_2(t)$  dopo l'impulso di trigger. Tener conto del ritardo di propagazione  $t_{pd}$  dell'op-amp. Supporre che l'op-amp presenti un'impedenza di ingresso infinita, un'impedenza di uscita trascurabile ed un guadagno  $A$  da  $-5$  a  $5$  V e un guadagno zero altrove. Supporre che la tensione di fissaggio del diodo  $D$  sia  $0,7$  V.

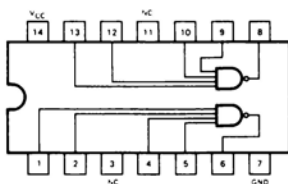
(c) Ricavare un'espressione generale del periodo del multivibratore.



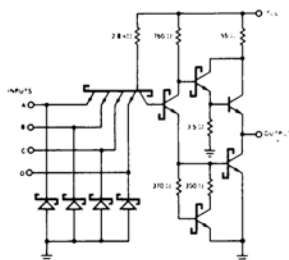
## **ALCUNI ESEMPI DI SPECIFICHE FORNITE DALLE CASE COSTRUTTRICI**

## FAIRCHILD SUPER HIGH SPEED TTL/SSS • 9S20 (54S20/74S20)

## DUAL 4-INPUT NAND GATE

LOGIC AND CONNECTION DIAGRAM  
DIP (TOP VIEW)Positive logic:  $Y = ABCD$ 

NC — No internal connection.

SCHEMATIC DIAGRAM  
(EACH GATE)

Component values shown are typical.

## RECOMMENDED OPERATING CONDITIONS

PARAMETER	9S20XM (54S20XM)			9S20XC (74S20XC)			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage $V_{CC}$	4.5	5.0	5.5	4.75	5.0	5.25	V
Operating Free-Air Temperature Range	-55	25	125	0	25	75	°C
Input Loading for Each Input			1.25			1.25	U.L.

X = package type; F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN.	TYP. (Note 2)	MAX.		
$V_{IH}$	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
$V_{IL}$	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage
$V_{CD}$	Input Clamp Diode Voltage		-0.65	-1.2	V	$V_{CC} = \text{MIN.}$ , $I_{IN} = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage				V	$V_{CC} = \text{MIN.}$ , $I_{OH} = -1.0 \text{ mA}$ , $V_{IN} = 0.8 \text{ V}$
$V_{OL}$	Output LOW Voltage				V	$V_{CC} = \text{MIN.}$ , $I_{OL} = 20 \text{ mA}$ , $V_{IN} = 2.0 \text{ V}$
$I_{IH}$	Input HIGH Current				$\mu\text{A}$	$V_{CC} = \text{MAX.}$ , $V_{IN} = 2.7 \text{ V}$
$I_{IL}$	Input LOW Current				$\text{mA}$	$V_{CC} = \text{MAX.}$ , $V_{IN} = 5.5 \text{ V}$
$I_{OS}$	Output Short Circuit Current (Note 3)	-40	-65	-100	$\text{mA}$	$V_{CC} = \text{MAX.}$ , $V_{OUT} = 0 \text{ V}$
$I_{CCH}$	Supply Current HIGH		5.4	8.0	$\text{mA}$	$V_{CC} = \text{MAX.}$ , $V_{IN} = 0 \text{ V}$
$I_{CCL}$	Supply Current LOW		12.6	18.0	$\text{mA}$	$V_{CC} = \text{MAX.}$ , Inputs Open

AC CHARACTERISTICS:  $T_A = 25^\circ\text{C}$ 

SYMBOL	PARAMETER	MIN.	LIMITS		UNITS	TEST CONDITIONS	TEST FIGURES
			TYP.	MAX.			
$t_{PLH}$	Turn Off Delay Input to Output	2.0	3.0	4.5	ns	$V_{CC} = 5.0 \text{ V}$	A
$t_{PHL}$	Turn On Delay Input to Output	2.0	3.0	5.0	ns	$C_L = 15 \text{ pF}$	

## NOTES:

- For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- Typical limits are at  $V_{CC} = 5.0 \text{ V}$ ,  $+25^\circ\text{C}$ .
- Not more than one output should be shorted at a time.

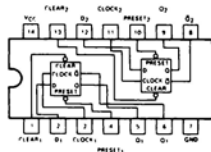
## FAIRCHILD SUPER HIGH SPEED TTL/SSI • 9S74 (54S74/74S74)

## DUAL D-TYPE EDGE TRIGGERED FLIP-FLOP

**DESCRIPTION** — The 9S74 (54S74/74S74) dual edge-triggered flip-flops utilize Schottky TTL circuitry to produce very high speed D-type flip-flops. Each flip-flop has individual clear and preset inputs, and also complementary Q and  $\bar{Q}$  outputs.

Information at input D is transferred to the Q output on the positive-going edge of the clock pulse. Clock triggering occurs at a voltage level of the clock pulse and is not directly related to the transition time of the positive-going pulse. When the clock input is at either the HIGH or LOW level the D input signal has no effect.

These circuits are fully compatible for use with most TTL or DTL circuits. Maximum clock frequency is 100 MHz with a typical power dissipation of 66 mW per flip-flop.

LOGIC AND CONNECTION DIAGRAM  
DIP (TOP VIEW)

Positive logic: LOW input to preset sets Q to HIGH level  
LOW input to clear resets Q to LOW level  
Preset and clear are independent of clock

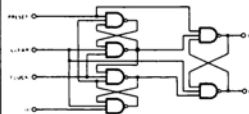
SYNCHRONOUS  
TRUTH TABLE  
(EACH FLIP-FLOP)

$t_n$	$t_{n+1}$
INPUT	OUTPUT
D	Q
L	L
L	H
H	H
H	L

H = HIGH level  
L = LOW level  
D = Data

ASYNCHRONOUS  
TRUTH TABLE  
(EACH FLIP-FLOP)

INPUT	OUTPUT
Preset Clear	Q $\bar{Q}$
L L	H H
L H	H L
H L	L H
H H	No Change

LOGIC DIAGRAM  
(EACH FLIP-FLOP)

## NOTES:

- A.  $t_n$  = bit time before clock pulse  
B.  $t_{n+1}$  = bit time after clock pulse

## RECOMMENDED OPERATING CONDITIONS

PARAMETER	9S74XM (54S74XM)			9S74XC (74S74XC)			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage $V_{CC}$	4.5	5.0	5.5	4.75	5.0	5.25	V
Operating Free-Air Temperature Range	-55	25	125	0	25	75	°C

X = package type, F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN.	TYP. (Note 2)	MAX.		
$V_{IH}$	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
$V_{IL}$	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage
$V_{CD}$	Input Clamp Diode Voltage		-0.65	-1.2	V	$V_{CC} = \text{MIN.}$ , $I_{IN} = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage	XM 2.5 XC 2.7	3.4 3.4		V	$V_{CC} = \text{MIN.}$ , $I_{OH} = -1.0 \text{ mA}$
$V_{OL}$	Output LOW Voltage		0.35	0.5	V	$V_{CC} = \text{MIN.}$ , $I_{OL} = 20 \text{ mA}$
$I_{IH}$	Input HIGH Current at	D Preset or Clock	1.0 2.0	50 100	$\mu\text{A}$	$V_{CC} = \text{MAX.}$ , $V_{IN} = 2.7 \text{ V}$
$I_{IL}$	Input LOW Current at	D Preset or Clock	3.0 -2.8	150 -4.0	$\text{mA}$	$V_{CC} = \text{MAX.}$ , $V_{IN} = 0.5 \text{ V}$
		Clear	-1.4 -4.2	-2.0 -6.0		
$I_{OS}$	Output Short Circuit Current (Note 3)	-40	-65	-100	$\text{mA}$	$V_{CC} = \text{MAX.}$ , $V_{OUT} = 0 \text{ V}$
$I_{CC}$	Supply Current		30	50	$\text{mA}$	$V_{CC} = \text{MAX.}$ (Note 4)

## NOTES:

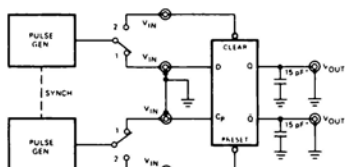
- (1) For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.  
(2) Typical limits are at  $V_{CC} = 5.0 \text{ V}$ ,  $25^\circ\text{C}$ .  
(3) Not more than one output should be shorted at a time.  
(4)  $I_{CC}$  is measured with clock and data inputs grounded and either preset or clear inputs grounded.

## FAIRCHILD SUPER HIGH SPEED TTL/SSI • 9S74 (54S74/74S74)

AC CHARACTERISTICS:  $T_A = 25^\circ\text{C}$ 

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN.	TYP.	MAX.		
$f_{\text{max}}$	Maximum Clock Frequency	75	110		MHz	$V_{\text{CC}} = 5.0\text{ V}$ $C_L = 15\text{ pF}$
$t_{\text{PLH}}$	Turn Off Delay Clear or Preset to Output		4	6	ns	
$t_{\text{PLH}}$	Turn Off Delay Clock to Output		6	9	ns	
$t_{\text{PHL}}$	Turn On Delay Clock to Output		8	11	ns	
$t_{\text{PHL}}$	Turn On Delay Clear or Preset to Output		9	13.5	ns	
		CP = HIGH				
		CP = LOW				

## SWITCHING CHARACTERISTICS



\*Includes all probe and jig capacitance.

## PULSE GENERATOR SETTINGS

## CLOCK

$f \approx 1\text{ MHz}$   
 $t_f = t_r = 2.5\text{ ns}$   
 Amp = 0 to 3 V  
 Duty cycle = 50%

## D

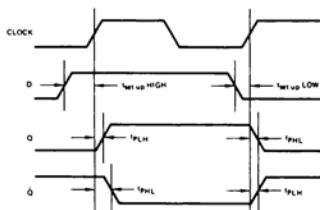
$f \approx 500\text{ kHz}$   
 $t_f = t_r = 2.5\text{ ns}$   
 Amp = 0 to 3 V  
 $t_{\text{set-up}}(\text{HIGH}) = 7\text{ ns}$  (Typ. = 4 ns)  
 $t_{\text{set-up}}(\text{LOW}) = 5\text{ ns}$  (Typ. = 2 ns)  
 Duty cycle = Adjust pulse width to attain  $t_{\text{set-up}}(\text{HIGH})$  and  $t_{\text{set-up}}(\text{LOW})$  relative to clock as shown in waveforms.

## DIRECT SET, CLEAR

$f \approx 1\text{ MHz}$   
 $t_f = t_r = 2.5\text{ ns}$   
 Amp = 0 to 3 V  
 Duty cycle = Adjust pulse width and synch to attain waveforms shown.

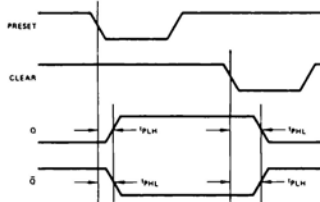
## SWITCHING WAVEFORMS

## CLOCK TO OUTPUT DELAY†



## SWITCH IN POSITION 1

## DIRECT SET, AND CLEAR TO OUTPUT DELAY



## SWITCH IN POSITION 2

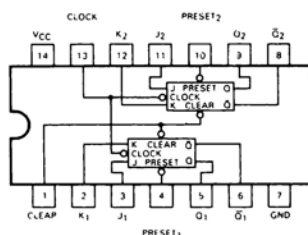
†Direct set and clear inputs connected to  $V_{\text{CC}}$  thru 2 k $\Omega$  resistor during test.



## FAIRCHILD SUPER HIGH SPEED TTL/SSI • 9S114 (54S114/74S114)

## DUAL JK EDGE TRIGGERED FLIP-FLOP

**DESCRIPTION** — The 9S114 (54S114/74S114) offer common clock and common clear inputs and individual J, K, and preset inputs. These monolithic dual flip-flops are designed so that when the clock goes HIGH, the inputs are enabled and data will be accepted. The logic level of the J and K inputs may be allowed to change when the clock pulse is HIGH and the bistable will perform according to the truth table as long as minimum set-up times are observed. Input data is transferred to the outputs on the negative-going edge of the clock pulse.

LOGIC AND CONNECTION DIAGRAM  
DIP (TOP VIEW)

Positive logic: LOW input to preset sets Q to HIGH level.  
LOW input to clear resets Q to LOW level.  
Preset and clear are independent of clock.

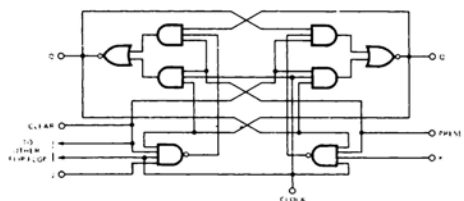
## TRUTH TABLES

$t_n$	$t_{n+1}$	
J	K	Q
L	L	$Q_n$
L	H	L
H	L	H
H	H	$\bar{Q}_n$

Preset	Clear	Q	$\bar{Q}$
L	L	H	H
L	H	H	L
H	L	L	H
H	H	No Charge	No Charge

## NOTES:

- A.  $t_n$  = Bit time before clock pulse.  
B.  $t_{n+1}$  = Bit time after clock pulse.

LOGIC DIAGRAM  
(Each Flip-Flop)

## RECOMMENDED OPERATING CONDITIONS

PARAMETER	9S114XM (54S114XM)			9S114XC (74S114XC)			UNITS
	MIN.	TYP.	MAX.	MIN.	TYP.	MAX.	
Supply Voltage $V_{CC}$	4.5	5.0	5.5	4.75	5.0	5.25	V
Operating Free-Air Temperature Range	-55	25	125	0	25	75	°C

X = package type, F for Flatpak, D for Ceramic Dip, P for Plastic Dip. See Packaging Information Section for packages available on this product.

## FAIRCHILD SUPER HIGH SPEED TTL/SSI • 9S114 (54S114/74S114)

## DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless Otherwise Noted)

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS (Note 1)
		MIN.	TYP. (Note 2)	MAX.		
$V_{IH}$	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage
$V_{IL}$	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage
$V_{CD}$	Input Clamp Diode Voltage		-0.65	-1.2	V	$V_{CC} = \text{MIN.}$ , $I_I = -18 \text{ mA}$
$V_{OH}$	Output HIGH Voltage	XM	2.5	3.4	V	$V_{CC} = \text{MIN.}$ , $I_{OH} = -1.0 \text{ mA}$
		XC	2.7	3.4		
$V_{OL}$	Output LOW Voltage		0.35	0.5	V	$V_{CC} = \text{MIN.}$ , $I_{OL} = 20 \text{ mA}$
$I_{IH}$	Input HIGH Current at	JK	1.0	50	$\mu\text{A}$	$V_{CC} = \text{MAX.}$ , $V_{IN} = 2.7 \text{ V}$
		Clock	4.0	200		
		Preset	2.0	100		
		Clear	4.0	200		
$I_{IL}$	Input LOW Current at	JK	-0.96	-1.6	mA	$V_{CC} = \text{MAX.}$ , $V_{IN} = 0.5 \text{ V}$
		Clock	-5.6	-8.0		
		Preset	-4.9	-7.0		
		Clear	-9.8	-14		
$I_{OS}$	Output Short Circuit Current (Note 3)	-40	-65	-100	mA	$V_{CC} = \text{MAX.}$ , $V_{OUT} = 0 \text{ V}$
$I_{CC}$	Supply Current		30	50	mA	$V_{CC} = \text{MAX.}$ (Note 4)

AC CHARACTERISTICS:  $T_A = 25^\circ\text{C}$ 

SYMBOL	PARAMETER	LIMITS			UNITS	TEST CONDITIONS
		MIN.	TYP.	MAX.		
$f_{\text{max}}$	Maximum Clock Frequency	80	125		MHz	$V_{CC} = 5.0 \text{ V}$ $C_L = 15 \text{ pF}$
$t_{PLH}$	Turn Off Delay Clear or Preset to Output			7.0	ns	
$t_{PHL}$	Turn On Delay Clear or Preset to Output			7.0	ns	
$t_{PLH}$	Turn Off Delay Clock to Output			7.0	ns	
$t_{PHL}$	Turn On Delay Clock to Output			7.0	ns	

## NOTES:

- For conditions shown as MIN. or MAX., use the appropriate value specified under recommended operating conditions for the applicable device type.
- Typical limits are at  $V_{CC} = 5.0 \text{ V}$ ,  $25^\circ\text{C}$ .
- Not more than one output should be shorted at a time.
- $I_{CC}$  is measured with outputs open, clock grounded and J, K, preset and clear at 4.5 V.

**signetics****TRIPLE EXCLUSIVE  
OR/NOR GATE 10107**

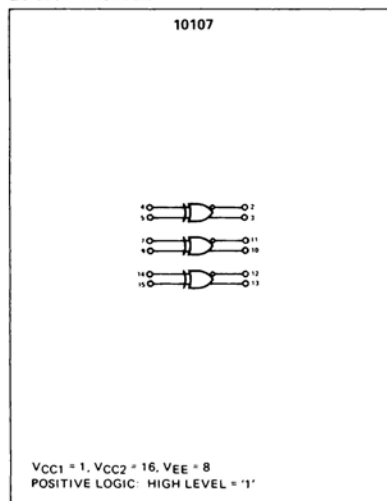
10107B,F: -30 to +85°C

**DIGITAL 10,000 SERIES ECL****DESCRIPTION**

The 10107 is a triple high speed 2-input Exclusive OR/Exclusive NOR gate. The 10107 is optimized for high speed comparator and parity functions, and has an excellent speed power product for this function. All inputs are terminated with a 50 k $\Omega$  resistor to V<sub>EE</sub> which eliminates the need to tie unused inputs low. The high impedance inputs and high output fanout are ideal for a transmission line environment. The 10107 contains a temperature tracking internal bias which insures that the threshold point remains in the center of the transition region over temperature. The 10107 has complementary outputs.

**FEATURES**

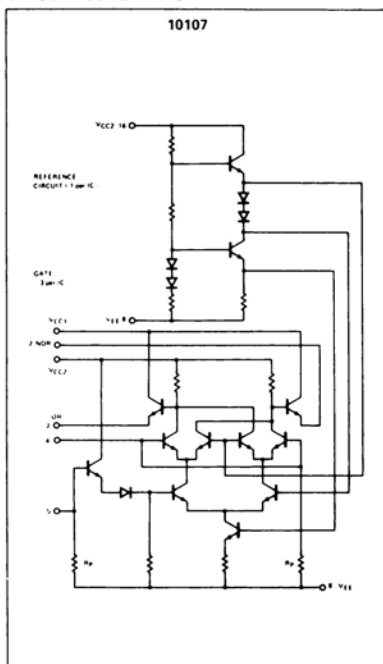
- **FAST PROPAGATION DELAY**  
- 2.0 ns TYP (INPUTS 4, 9, 14)  
- 2.8 ns TYP (INPUTS 5, 7, 15)
- **LOW POWER DISSIPATION** = 115 mW/PACKAGE TYP (NO LOAD)
- **VERY HIGH FANOUT CAPABILITY**  
- CAN DRIVE SIX 50  $\Omega$  LINES
- **HIGH Z INPUTS** - INTERNAL 50 k $\Omega$  PULLDOWNS
- **HIGH IMMUNITY FROM POWER SUPPLY VARIATIONS:** V<sub>EE</sub> = -5.2 V  $\pm$  5% RECOMMENDED
- **COMPLEMENTARY OR/NOR OUTPUTS**
- **OPEN EMITTERS FOR BUSSING AND LOGIC CAPABILITY**

**LOGIC DIAGRAM****TEMPERATURE RANGE**

- -30 to +85°C Operating Ambient

**PACKAGE TYPE**

- B: 16-Pin Silicone DIP
- F: 16-Pin CERDIP

**CIRCUIT SCHEMATIC**

## SIGNETICS TRIPLE EXCLUSIVE OR/NOR GATE ■ 10107

## ELECTRICAL CHARACTERISTICS

(at Listed Voltages and Ambient Temperatures).

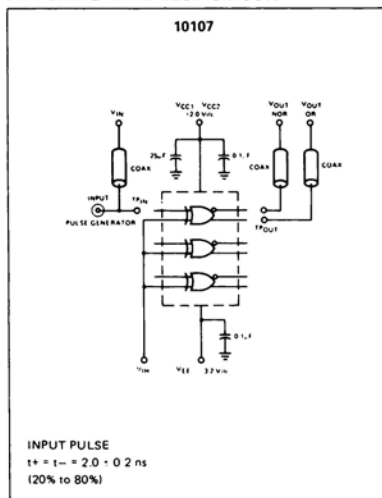
ELECTRICAL CHARACTERISTICS														TEST VOLTAGE VALUES																			
(at Listed Voltages and Ambient Temperatures).														(V <sub>min</sub> )																			
														Temperature										V <sub>CC</sub> max									
														-30°C										-1.80V									
														-25°C										-1.80V									
														-15°C										-1.80V									
														-5°C										-1.80V									
														0°C										-1.80V									
														25°C										-1.80V									
														35°C										-1.80V									
														45°C										-1.80V									
														55°C										-1.80V									
														65°C										-1.80V									
														75°C										-1.80V									
														85°C										-1.80V									
														95°C										-1.80V									
														105°C										-1.80V									
														115°C										-1.80V									
														125°C										-1.80V									
														135°C										-1.80V									
														145°C										-1.80V									
														155°C										-1.80V									
														165°C										-1.80V									
														175°C										-1.80V									
														185°C										-1.80V									
														195°C										-1.80V									
														205°C										-1.80V									
														215°C										-1.80V									
														225°C										-1.80V									
														235°C										-1.80V									
														245°C										-1.80V									
														255°C										-1.80V									
														265°C										-1.80V									
														275°C										-1.80V									
														285°C										-1.80V									
														295°C										-1.80V									
														305°C										-1.80V									
														315°C										-1.80V									
														325°C										-1.80V									
														335°C										-1.80V									
														345°C										-1.80V									
														355°C										-1.80V									
														365°C										-1.80V									
														375°C										-1.80V									
														385°C										-1.80V									
														395°C										-1.80V									
														405°C										-1.80V									
														415°C										-1.80V									
														425°C										-1.80V									
														435°C										-1.80V									
														445°C										-1.80V									
														455°C										-1.80V									
														465°C										-1.80V									
														475°C										-1.80V									
														485°C										-1.80V									
														495°C										-1.80V									
														505°C										-1.80V									
														515°C										-1.80V									
														525°C										-1.80V									
														535°C										-1.80V									
														545°C										-1.80V									
														555°C										-1.80V									
														565°C										-1.80V									
														575°C										-1.80V									
														585°C										-1.80V									
														595°C										-1.80V									
														605°C										-1.80V									
														615°C										-1.80V									
														625°C										-1.80V									
														635°C										-1.80V									
														645°C										-1.80V									
														655°C										-1.80V									
														665°C										-1.80V									
														675°C										-1.80V									
														685°C										-1.80V									
														695°C										-1.80V									
														705°C										-1.80V									
														715°C										-1.80V									
														725°C										-1.80V									
														735°C										-1.80V									
														745°C										-1.80V									
														755°C										-1.80V									
														765°C										-1.80V									
														775°C										-1.80V									
														785°C										-1.80V									
														795°C										-1.80V									
														805°C										-1.80V									
														815°C										-1.80V									
														825°C										-1.80V									
														835°C										-1.80V									
														845°C										-1.80V									
														855°C										-1.80V									
														865°C										-1.80V									
														875°C										-1.80V									
														885°C										-1.80V									
														895°C										-1.80V									
														905°C										-1.80V									
														915°C										-1.80V									
														925°C										-1.80V									
														935°C										-1.80V									
														945°C										-1.80V									
														955°C										-1.80V									
														965°C										-1.80V									
														975°C										-1.80V									
														985°C										-1.80V									
														995°C										-1.80V									
														1005°C										-1.80V									
														1015°C										-1.80V									
														1025°C										-1.80V									
														1035°C										-1.80V									
														1045°C										-1.80V									
														1055°C										-1.80V									
														1065°C										-1.80V									
														1075°C										-1.80V									
														1085°C										-1.80V									
														1095°C										-1.80V									
														1105°C										-1.80V									
														1115°C										-1.80V									
														1125°C										-1.80V									
														1135°C										-1.80V									
														1145°C										-1.80V									
														1155°C										-1.80V									
														1165°C										-1.80V									
														1175°C										-1.80V									
														1185°C										-1.80V									
														1195°C										-1.80V									
														1205°C										-1.80V									
														1215°C										-1.80V									
														1225°C										-1.80V									
														1235°C										-1.80V									
														1245°C										-1.80V									
														1255°C										-1.80V									
														1265°C										-1.80V									
														1275°C										-1.80V									
														1285°C										-1.80V									
														1295°C										-1.80V									
														1305°C										-1.80V									
														1315°C										-1.80V									
														1325°C										-1.80V									
														1335°C										-1.80V									
														1345°C										-1.80V									
														1355°C										-1.80V									
														1365°C										-1.80V									
														1375°C										-1.80V									
														1385°C										-1.80V									
														1395°C										-1.80V									
														1405°C										-1.80V									
														1415°C										-1.80V									
														1425°C										-1.80V									
														1435°C										-1.80V									
														1445°C										-1.80V									
														1455°C										-1.80V									
														1465°C										-1.80V									
														1475°C										-1.80V									
														1485°C										-1.80V									
														1495°C										-1.80V									
														1505°C										-1.80V									
														1515°C										-1.80V									
														1525°C										-1.80V									
														1535°C										-1.80V									
														1545°C										-1.80V									
														1555°C										-1.80V									
														1565°C										-1.80V									
														1575°C										-1.80V									
														1585°C										-1.80V									
														1595°C										-1.80V									
														1605°C										-1.80V									
														1615°C										-1.80V									
														1625°C										-1.80V									
														1635°C										-1.80V									
														1645°C										-1.80V									
														1655°C										-1.80V									
														1665°C										-1.80V									
														1675°C										-1.80V									
														1685°C										-1.80V									
														1695°C										-1.80V									
														1705°C										-1.80V									
														1715°C										-1.80V									
														1725°C										-1.80V									
														1735°C										-1.80V									
														1745°C										-1.80V									
														1755°C										-1.80V									
														1765°C										-1.80V									
														1775°C										-1.80V									
														1785°C										-1.80V									
														1795°C										-1.80V									
														1805°C										-1.80V									
														1815°C										-1.80V									
														1825°C										-1.80V									
														1835°C										-1.80V									
														1845°C										-1.80V									
														1855°C										-1.80V									
														1865°C										-1.80V									
														1875°C										-1.80V									
														1885°C										-1.80V									
														1895°C										-1.80V									
														1905°C										-1.80V									
														1915°C										-1.80V									
														1925°C										-1.80V									
														1935°C										-1.80V									
														1945°C										-1.80V									
														1955°C										-1.80V									
														1965°C										-1.80V									
														1975°C										-1.80V									
														1985°C										-1.80V									
														1995°C										-1.80V									
														2005°C										-1.80V									
														2015°C										-1.80V									
														2025°C										-1.80V									
														2035°C										-1.80V									
														2045°C										-1.80V									
														2055°C										-1.80V									
														2065°C										-1.80V									
														2075°C										-1.80V									
														2085°C										-1.80V									
														2095°C										-1.80V									
														2105°C										-1.80V									
														2115°C										-1.80V									
														2125°C										-1.80V									
														2135°C										-1.80V									
														2145°C										-1.80V									
														2155°C										-1.80V									
														2165°C										-1.80V									
														2175°C										-1.80V									
														2185°C										-1.80V									
														2195°C										-1.80V									
														2205°C										-1.80V									
														2215°C										-1.80V									
														2225°C										-1.80V									
														2235°C										-1.80V									
														2245°C										-1.80V									
														2255°C										-1.80V									
														2265°C										-1.80V									
														2275°C										-1.80V									
														2285°C										-1.80V									
														2295°C										-1.80V									
														2305°C										-1.80V									
														2315°C										-1.80V									
														2325°C										-1.80V									
														2335°C										-1.80V									
														2345°C										-1.80V									
														2355°C										-1.80V									
														2365°C										-1.80V									
														2375°C										-1.80V									
														2385°C										-1.80V									
														2395°C										-1.80V									
														2405°C										-1.80V									
														2415°C										-1.80V									
														2425°C										-1.80V									
														2435°C										-1.80V									
														2445°C										-1.80V									
														2455°C										-1.80V									
														2465°C										-1.80V									
														2475°C										-1.80V									
														2485°C										-1.80V									
														2495°C										-1.80V									
														2505°C										-1.80V									
														2515°C										-1.80V									
														2525°C										-1.80V									
														2535°C										-1.80V									
														2545°C										-1.80V									
														2555°C										-1.80V									
														2565°C										-1.80V									
														2575°C										-1.80V									
														2585°C										-1.80V									
														2595°C										-1.80V									
														2605°C										-1.80V									
														2615°C										-1.80V									
														2625°C										-1.80V									
														2635°C										-1.80V									
														2645°C										-1.80V									
														2655°C										-1.80V									
														2665°C										-1.80V									
														2675°C										-1.80V									
														2685°C										-1.80V									
														2695°C										-1.80V									
														2705°C										-1.80V									
														2715°C										-1.80V									
														2725°C										-1.80V									
														2735°C										-1.80V									
														2745°C										-1.80V									
														2755°C										-1.80V									
														2765°C										-1.80V									
														2775°C										-1.80V									
														2785°C										-1.80V									
														2795°C										-1.80V									
														2805°C										-1.80V									
														2815°C										-1.80V									
														2825°C										-1.80V									
														2835°C										-1.80V									
														2845°C										-1.80V									
														2855°C										-1.80V									
														2865°C										-1.80V									
														2875°C										-1.80V									
														2885°C										-1.80V									
														2895°C										-1.80V									
														2905°C										-1.80V									
														2915°C										-1.80V									
														2925°C										-1.80V									
														2935°C										-1.80V									
														2945°C										-1.80V									
														2955°C										-1.80V									
														2965°C										-1.80V									
														2975°C										-1.80V									
														2985°C										-1.80V									
														2995°C																			

<sup>1</sup> Individually test each input applying V<sub>IH</sub> or V<sub>IL</sub> to input under test.

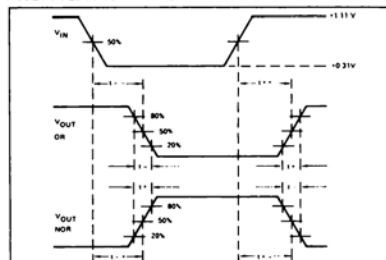
\*\* Any Output

† Unused outputs connected to a 50-ohm resistor to ground.

## SWITCHING TIME TEST CIRCUIT



## PROPAGATION DELAY WAVEFORMS @ 25°C



## NOTES:

- Each ECL 10,000 series device has been designed to meet the DC specifications shown in the test table, after thermal equilibrium has been established. The circuit is in a test socket or mounted on a printed circuit board and transverse air flow greater than 500 linear fpm is maintained. Voltage levels will shift approximately 4 mV with an air flow of 200 linear fpm. Outputs are terminated through a 50-ohm resistor to 2.0 volts.
- For AC tests, all input and output cables to the scope are equal lengths of 50-ohm coaxial cable. Wire length should be < 1/4 inch from TP<sub>IN</sub> to input pin and TP<sub>OUT</sub> to output pin. A 50-ohm termination to ground is located in each scope input. Unused outputs are connected to a 50-ohm resistor to ground.
- Test procedures are shown for only one input or set of input conditions. Other inputs are tested in the same manner.
- All voltage measurements are referenced to the ground terminal. Terminals not specifically referenced are left electrically open.

MM54C30/MM74C30

**absolute maximum ratings** (Note 1)

Voltage at Any Pin	-0.3V to $V_{CC} + 0.3V$
Operating Temperature Range	
MM54C30	-55°C to +125°C
MM74C30	-40°C to +85°C
Storage Temperature Range	-65°C to +150°C
Package Dissipation	500 mW
Operating $V_{CC}$ Range	3.0V to 15V
Absolute Maximum $V_{CC}$	16V
Lead Temperature (Soldering, 10 seconds)	300°C

**dc electrical characteristics**

Min/max limits apply across temperature range, unless otherwise noted.

PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
<b>CMOS TO CMOS</b>					
Logical "1" Input Voltage ( $V_{IN(1)}$ )	$V_{CC} = 5.0V$ $V_{CC} = 10V$	3.5 8.0			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	$V_{CC} = 5.0V$ $V_{CC} = 10V$			1.5 2.0	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ )	$V_{CC} = 5.0V$ , $I_O = -10\mu A$ $V_{CC} = 10V$ , $I_O = -10\mu A$	4.5 9.0			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ )	$V_{CC} = 5.0V$ , $I_O = +10\mu A$ $V_{CC} = 10V$ , $I_O = +10\mu A$			0.5 1.0	V
Logical "1" Input Current ( $I_{IN(1)}$ )	$V_{CC} = 15V$ , $V_{IN} = 15V$		0.005	1.0	$\mu A$
Logical "0" Input Current ( $I_{IN(0)}$ )	$V_{CC} = 15V$ , $V_{IN} = 0V$	-1.0	-0.005		$\mu A$
Supply Current ( $I_{CC}$ )	$V_{CC} = 15V$		0.01	15	$\mu A$
<b>CMOS/LPTTL INTERFACE</b>					
Logical "1" Input Voltage ( $V_{IN(1)}$ )	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$	$V_{CC} - 1.5$ $V_{CC} - 1.5$			V
Logical "0" Input Voltage ( $V_{IN(0)}$ )	54C, $V_{CC} = 4.5V$ 74C, $V_{CC} = 4.75V$			0.8 0.8	V
Logical "1" Output Voltage ( $V_{OUT(1)}$ )	54C, $V_{CC} = 4.5V$ , $I_O = -360\mu A$ 74C, $V_{CC} = 4.75V$ , $I_O = -360\mu A$	2.4 2.4			V
Logical "0" Output Voltage ( $V_{OUT(0)}$ )	54C, $V_{CC} = 4.5V$ , $I_O = 360\mu A$ 74C, $V_{CC} = 4.75V$ , $I_O = 360\mu A$			0.4 0.4	V
<b>OUTPUT DRIVE (See 54C/74C Family Characteristics Data Sheet)</b>					
Output Source Current ( $I_{SOURCE}$ ) (P-Channel)	$V_{CC} = 5.0V$ , $V_{OUT} = 0V$ , $T_A = 25^\circ C$	-1.75	-3.3		mA
Output Source Current ( $I_{SOURCE}$ ) (P-Channel)	$V_{CC} = 10V$ , $V_{OUT} = 0V$ , $T_A = 25^\circ C$	-8.0	15		mA
Output Sink Current ( $I_{SINK}$ ) (N-Channel)	$V_{CC} = 5.0V$ , $V_{OUT} = V_{CC}$ , $T_A = 25^\circ C$	1.75	3.6		mA
Output Sink Current ( $I_{SINK}$ ) (N-Channel)	$V_{CC} = 10V$ , $V_{OUT} = V_{CC}$ , $T_A = 25^\circ C$	8.0	16		mA
<b>ac electrical characteristics</b> $T_A = 25^\circ C$ , $C_L = 50$ pF, unless otherwise specified.					
PARAMETER	CONDITIONS	MIN	TYP	MAX	UNITS
Propagation Delay Time to Logical "1" or "0" ( $t_{pd}$ )	$V_{CC} = 5.0V$ $V_{CC} = 10V$		125 55	180 90	ns
Input Capacitance ( $C_{IN}$ )	(Note 2)		4.0		pF
Power Dissipation Capacitance ( $C_{pd}$ )	(Note 3) Per Gate		26		pF



# INDICE ANALITICO

Accaparramento di corrente nella  
DCTL, 151-153

Addizione (vedi Somma)

Algebra di Boole:

forme canoniche, 118-124

notazione, 107-108

prodotto di somme, 120-121

somma di prodotti, 118-120

teoremi, 110-112

variabili logiche, 103-107

(vedi anche Mappe di Karnaugh; Logica)

ALU, unità aritmetico-logica, 429-431

bypass esterno, 430

Amplificatore differenziale, 67-70

nella ECL, 252

Amplificatori operazionali (vedi Op-amp)

Analogico - digitale (vedi convertitori  
A/D)

AND, 97-99

AND CABLATO, 207-210

Binario (vedi Sistema di numerazione bi-  
nario)

Boltzmann, costante di, 1

Boole (vedi Algebra di Boole)

Buffer:

CMOS, 302

RTL, 166-170

Campionamento e mantenimento (vedi  
Sample-and-hold)

Capacità di transizione in un diodo, 6

CCD, 475-483

circuiti di ingresso e uscita, 481-483

immagazzinamento della carica, 477-  
478

trasferimento della carica, 478-481

CMOS (vedi MOS a simmetria comple-  
mentare)

Circuiti logici (vedi Logica)

CMRR, rapporto di reiezione al modo  
comune, 74-75

Codificatori a ROM, 451

Comparatori, 77-87

caratteristiche, 85-87

caratteristiche di trasferimento, 85

comparatore tipo 710, 78-80

effetti della temperatura, 84-85

livelli di uscita, 80-81

oscillazioni, 86

tempo di risposta, 87

Complemento, 96

Commutatore (vedi Interruttore)

Commutazione (vedi Logica)

Contatori:

ad anello, 381-383

a propagazione del comando, asincro-  
no, 359-363

avanti - indietro, 378-379

blocco, lockout, 372-374-383

combinazioni di contatori di modulo  
diverso, 374-376

decade, 374-378

divisore di frequenza, 363

generatori di sequenza, 383-390

mod-3, 367-369

mod-5, 369-372

riporto parallelo, 366-367

riporto serie, 364-366

sincrono, 363-367

Convertitori A/D, 568-598

a comparatori, 568-574

a conteggio, 579-582

ad approssimazioni successive, 575-  
579

a doppia rampa, 582-584

confronto fra vari tipi, 584-586

esempio di convertitore a 3 bit, 576-  
579

interconnessione con il circuito sample  
- and - hold, 590-592

modulazione Delta, 592-598

servo-convertitore, 582

tensione-frequenza, 586-588

tensione-tempo, 588-589

Convertitori D/A, 545-568  
a resistori pesati, 545-548  
a scala invertita, 559-561  
a scala R-2R, 548-551  
commutatori per, 552-553  
di tipo misto, 550-551  
esempio di convertitore, 553-554  
formati di ingresso e uscita, 561-565  
↳ formato di ingresso BCD, 551  
linearità, 565-566  
pilotato in corrente, 554-559  
risoluzione, 565  
sensibilità termica, 568  
specifiche, 565-568  
tempo di assestamento, 567-568

#### DCTL, 148-153

accapparramento di corrente, 151-153  
caratteristica ingresso-uscita, 150-151

#### Decodificatore a ROM, 452

#### Diffusione, 52

#### Diodo, giunzione, 1-10, 47-51

capacità di transizione, 6  
caratteristica tensione-corrente, 3-4  
corrente di perdita, 5  
diodi integrati, 10  
dipendenza dalla temperatura, 4-6  
ideale, 1-10  
modello del diodo, 3-4  
Schottky, 51-52  
tempo di immagazzinamento, 49-51  
tempo di transizione, 49-51  
tensione di breakdown, 7-10  
tensione di soglia, 3  
velocità di commutazione, 47-49  
Zener, 7-9

#### Dispositivi ad accoppiamento di carica (vedi CCD)

#### Divisione, 427-429

#### DTL, 193-210

AND CABLATO, 207-210  
caratteristica ingresso-uscita, 202-204  
fan-out, 196-202, 204-205  
immunità al rumore, 207  
livelli di tensione, 205-206  
logica a soglia elevata, 210-214  
specifiche dei costruttori, 204-207  
tempo di propagazione, 207

ECL, logica ad accoppiamento di emettitore, 251-281  
alimentazione, 264-266

amplificatore differenziale, 252  
caratteristica ingresso-uscita: NOR, 258-259

OR, 254-258

fan-out, 260-261

interconnessioni di porte, 272-281

linee di trasmissione, 272-281

livelli di tensione, 259-260

margini di rumore, 257-258

OR CABLATO, 266

regione di transizione, 256-257

specifiche dei costruttori, 259-260

traslazione dei livelli, 270-272

uso di un'alimentazione negativa, 267-270

#### Equazioni di Ebers-Moll:

applicazione delle, alla zona di interdizione, 17-18

applicazione delle, alla zona di saturazione, 22-29

espressione analitica, 13-18

modo inverso, 14-17

modo normale, 14-17

Errore di offset nei circuiti di sample-and-hold, 518

#### Fan-out:

DTL, 196-202, 204-205

ECL, 260-261

HTL, 213

RTL, 155-160

TTL, 239-240

#### FET, transistor ad effetto di campo:

breakdown, 32

canale, 29

drain, 29

gate, 29

interdizione, 31-32

JFET, 29-34

pinch-off, 30-31

zona lineare, 31

zona di saturazione, 31

zona di svuotamento, 29

(vedi anche MOS e CMOS)

#### Flip-flop, 306-353

a comando sul fronte di transizione:  
ad accoppiamento in alternata, 321-326

ad immagazzinamento capacitivo, 326-327, 346-349

ritardo di propagazione, 327-328, 338-340

asincrono, 307-311



- CMOS, 349-353
  - commutatore con circuito anti-rimbalzo, 310-311
  - con comando di clock, 311-315, 324-326
  - DTL, 334-338
  - ECL, 321-324, 340-346
  - elemento di memoria, 307-309
  - ingressi dinamici, 321
  - ingressi diretti (asincroni) 314-315, 319-320
  - J-K, 328-331, 338-349, 351-353
  - master-slave, 315-320, 334-338
  - MOS, 349-353
  - RTL, 327-328, 334, 338-340
  - specifiche dei costruttori per i flip-flop a CMOS, 352-353
  - SR, 306-328, 334
  - terminologia, 306-307
  - tipo D, 331-333, 351
  - toggle, 330
  - TTL, 326-327, 346-349
- Generatori di sequenza, 383-390
  - funzione di autocorrelazione, 389
  - sequenze predefinite, 389-390
  - tabella per il progetto logico di sequenze a lunghezza massima, 388
- Generatori di sequenze pseudo-casuali, 387-388
  - tabella per il progetto logico, 388
- Gradino di quantizzazione, passo di, 542
- Grey, codice, 116-118
- HTL, logica a soglia elevata, 210-214
  - caratteristica ingresso-uscita, 212
  - specifiche delle case costruttrici, 212-213
- IIL, logica ad iniezione integrata, 180-191
  - decodificatore, 189-191
  - livelli di tensione e corrente, 191
  - regolazione della velocità, 188-189
  - struttura fisica, 185-188
- Immunità al rumore:
  - CMOS, 300-301
  - DTL, 207
  - ECL, 257-258
  - RTL, 163-165
  - TTL, 239
- Integrazione e scarica, 489-490, 532-533
- Interfacciamento fra TTL e CMOS, 303-305
- Interruttore:
  - con circuito anti-rimbalzo, 310-311
  - FET, 39-42
  - per convertitori A/D, 552-553
  - transistore, 11-13
  - velocità del BJT, 52-57
  - velocità del diodo, 47-49
  - velocità del FET, 57
- Interruttori analogici, 484-534
  - applicazioni, 486-496
  - controllo di parametri, 495-496
  - conversione D/A, 490-492
  - integrazione e scarica, 489-490, 532-533
  - multiplazione, 486-487, 530
  - porte a BJT, 509-512
  - porte a diodi, 496-509
  - porte a CMOS, 526-530
  - porte a FET, 512-513
  - principio di funzionamento, 484-486
  - sample-and-hold, 487-489, 505-509, 517-523
  - stabilizzazione a chopper, 492-495
- Isteresi nel trigger di Schmitt, 90-91
- JFET, transistore ad effetto di campo a giunzione, 29-34
  - linearità della caratteristica, 32
  - tensione di pinch-off, 30
- Karnaugh, (vedi Mappe)
- Linee di trasmissione, 623-631
  - effetto del tempo di salita del segnale, 629-631
  - impedenza caratteristica, 625-626
  - linea a coppia di fili intrecciati, 279-281
  - riflessioni multiple, 627-629
  - riflessione sulle linee, 626-627
  - terminazione a diodi, 279
  - terminazione serie, 277-279
  - uso con porte ECL, 272-281
- Logica:
  - AND, 97-99
  - circuiti logici, 95-145
  - funzioni di due variabili, 96-97
  - funzioni di una variabile, 96
  - funzioni non completamente definite, 144-145
  - mappe di Karnaugh, 124-141
  - minimizzazione di funzioni, 118-121

- NAND, 100-101
- negativa, 96
- NOR, 101-102
- operazioni necessarie e sufficienti, 108-110
- OR, 99-100
- OR ESCLUSIVO, 102-103
- positiva, 96
- rappresentazione di una funzione con minterm e maxterm, 122-124
- sintesi usando porte NAND e NOR, 142-144
- teorema di De Morgan, 100, 102, 112 (vedi anche Algebra di Boole)
- Mappe di Karnaugh, 124-141
  - algoritmo utile per l'uso delle, 135-139
  - funzioni non completamente definite, 144-145
  - per cinque e sei variabili, 133-135
  - per due, tre e quattro variabili, 126-127
  - rappresentazione di funzioni logiche, 124-126
  - semplificazione di funzioni logiche, 127-131
- Maxterm, 121
- Memorie:
  - applicazioni, 455-458
  - cancellabili, 455
  - cella a transistoro bipolare, 458-462
  - cella a transistoro MOS, 462-468
  - CCD, 475-483
  - circuiti di ingresso e uscita, 481-483
  - CMOS, 444-447
  - come moltiplicatore, 455-457
  - come tabella di corrispondenza, 457
  - disposizione in parallelo di più chip, 471-475
  - esempio, 483
  - espansione di chip con parole di 1 bit, 472-475
  - memoria dinamica a quattro transistori, 464-466
  - memoria dinamica a tre transistori, 466-468
  - memoria push-down, 436
  - organizzazione di una RAM, 468-471
  - programmabili, 455
  - RAM, 458-475
  - ROM, 451-458
  - ROM come codificatore, 451
  - sequenziali, 435-451
  - statica a sei transistori, 462-464
  - statica a tre fasi, 449-451
  - tipi di, 432-434
  - uso delle memorie MOS, 437-451
  - uso delle memorie statiche, 447-449
  - volatili, 451
- Minterm, 119
- Modulazione ad impulsi codificati, PCM, 536-541
- Modulazione Delta, 592-598
  - adattativa, 596-598
  - lineare, 592-596
- MOS, MOSFET, transistoro metallo-ossido-semiconduttore, 34-47
  - ad arricchimento, 36, 283
  - a svuotamento, 36, 284
  - canale n, 35
  - canale p, 37
  - caratteristiche di ingresso-uscita, 41-42
  - effetti della temperatura, 286
  - effetto della tensione del substrato, 37-38
  - equazioni analitiche, 283-286
  - flip-flop, 349-353
  - impilamento di porte MOS, 293
  - interdizione, 37
  - interruttore, 39-41
  - invertitore, 286-289
  - pinch-off, 36
  - porte, 292-298
  - resistenza del canale, 40
  - simboli circuitali, 38-39
  - stadi di registri, 437-451
  - tempo di discesa, 296-298
  - tempo di salita, 294-296
  - tensione di soglia, 36, 38, 41, 42
- MOS a simmetria complementare, CMOS, 42-47
  - buffer,
  - breakdown del gate, 46
  - corrente di perdita, 43
  - dissipazione di potenza, 44
  - fabbricazione, 42-43
  - impedenza di gate, 43
  - interfacciamento TTL-CMOS, 303-305
  - invertitore, 289-292
  - porte, 298-305
  - protezione degli ingressi, 46-47, 600
  - connessione annullata,
  - tempo di discesa, 299-300
  - tempo di propagazione, 301
  - tempo di salita, 299-300

specifiche dei costruttori, 300-302  
Moltiplicazione, 425-427  
  errore di overflow, 423  
  errore di quantizzazione, 423  
  scalamento, 422-425  
  usando memorie ROM, 455-457  
Multiplazione, multiplexing, 486-487  
  a divisione di tempo, 539-541  
Multivibratore, 599-622  
  astabile a CMOS, 606-608  
  bistabile (vedi Flip-flop)  
  effetti del comando di trigger sulla  
    temporizzazione, 611-612  
  monostabile a CMOS, 599-606  
  monostabile ECL, 608-614  
  monostabile TTL, 616-619  
  per brevi intervalli di temporizzazione,  
    614-616  
  riduzione del tempo di recupero, 613-  
    614  
  timer integrato 555, 619, 622  
  
NAND, 100-101  
  DTL, 193-210  
  sintesi usando porte NAND, 142-144  
NOR, 101-102  
  ECL, 251-281  
  RTL, 147-180  
  sintesi usando porte NOR, 142-144  
Numeri complementari:  
  complemento a due, 409-410  
  complemento a uno, 410-412  
  numeri con segno, 412-414  
  (vedi anche Somma)  
Numeri negativi, 408-414  
Op-amp, 61-77, 513-515  
  amplificatore non invertente, 71-73  
  caratteristiche, 75-77  
  circuiti interni di un, 67-70  
  CMRR, 74-75  
  compensazione in frequenza, 74  
  corrente di offset, 76  
  guadagno, 64  
  impedenza di ingresso, 63, 72-73  
  impedenza di uscita, 65-66  
  massa virtuale, 63  
  op-amp a guadagno unitario, 73  
  op-amp invertente, 63-66  
  op-amp impiegati in convertitori D/A,  
    547-548, 551, 553-554, 559-561  
  operazioni, 63-65  
  risposta in frequenza, 76-77  
  slew rate, 77

tensione di offset, 76  
  
OR, 99-100  
  ECL, 251-281  
OR CABLATO, 266-267  
OR ESCLUSIVO, 102-103  
  RTL, 171  
  
Porte analogiche (vedi Interruttori analo-  
  gici)  
Porte di trasmissione (vedi Interruttori a-  
  nalogici)  
Porte di trasmissione a CMOS, 445-447,  
  526-530  
Porte di trasmissione a diodi, 496-509  
  disponibili in commercio, 503-505  
  porta a due diodi, 496-499  
  porta a quattro diodi, 499-502  
  porta a sei diodi, 502-503  
  porta ad un diodo, 496  
Pull-up attivo:  
  buffer RTL, 166-170  
  TTL, 219-221  
  
Quantizzazione di segnali, 541-545  
  errore di, 568  
  
RAM (vedi Memorie)  
Registro a scorrimento, 354-359  
  contatore ad anello, 381-383  
  conversione serie-parallelo, 357-358  
  generatori di sequenza, 383-390  
  memorie, 435-436  
  registro a scorrimento a destra e a si-  
    nistra, 358-359  
Registro, stadio di memoria, 437-451  
  a due fasi ratioless, 441-443  
  a quattro fasi ratioless, 443-444  
  bipolare, 458-462  
  CMOS, 444-447  
  MOS, 437-441  
  MOS statico a 3 transistori, 466-468  
  MOS statico a 4 transistori, 464-466  
  MOS statico a 6 transistori, 462-464  
  statico a MOS o CMOS, 447-449  
  statico a tre fasi, 449-451  
Rinfresco di una cella di memoria, 464-  
  468  
RTL, logica resistore-transistore, 153-  
  180  
  buffer, 166-170  
  caratteristica ingresso-uscita, 160-165

compensazione di carica, 179-180  
configurazione di porte in parallelo, 173-175  
fan-out, 155-160  
immunità al rumore, 163-165  
livelli di tensione, 176-177  
OR ESCLUSIVO, 171  
specifiche dei costruttori, 171-173  
tempo di propagazione, 177-180  
tipi di porte NOR, 154  
ROM (vedi Memorie)

Sample - and - hold:  
applicazioni, 487-489  
esempio di un dispositivo ad alta velocità, 505-509  
realizzato con FET e op-amp, 517-523

Saturazione:  
applicazione delle equazioni di Ebers-Moll, 22-29  
transistore, 11-13, 18-29

Scalamiento, 422-425

Schottky:  
diodo, 51-52  
transistore, 55-57  
TTL, 248-249

Sistema di numerazione binario, 114-116  
codice Grey, 116-118

Somma:  
di due numeri binari, 392-394  
di più di due numeri, 400-403  
di una sequenza di numeri con segno, 419  
generatore di riporto simultaneo, 403-407  
in complemento a due, 416  
in complemento a uno, 417-418  
overflow, 420  
saturazione in un sommatore, 419-421  
unità aritmetico-logica, ALU, 429-431

Sommatore:  
ad OR ESCLUSIVO, 392-393  
completo, 394-396  
parallelo, 398-400  
seriale, 396-398  
semisommatore, 392-394

Sottrazione, 407-408  
di una sequenza di numeri, 419  
usando il complemento a due, 416  
usando il complemento a uno, 417-418

Specifiche delle case costruttrici:  
di circuiti sample-and-hold, 533-534  
di convertitori A/D, 589-590  
di convertitori D/A, 565-568  
di flip-flop CMOS, 352-353  
di flip-flop ECL, 346  
di porte CMOS, 300-302  
di porte DTL, 204-207  
di porte ECL, 259-260  
di porte RTL, 171-173  
di porte TTL, 237-242  
di transistori, 28-29

Sovraccarico di pendenza, 595-596  
Stabilizzazione a chopper di un amplificatore, 492-495

Temperatura, effetti della:  
nei comparatori, 84-85  
compensazione nei convertitori D/A, 557  
nei diodi, 4-6  
nei MOSFET, 286  
sensibilità termica di un convertitore D/A, 568

Tempo di accesso in memoria, 434

Tempo di discesa, 55, 57-58

CMOS, 299-300

ECL, 261-263

MOS, 296-298

Tempo di immagazzinamento, 49-51, 55

Tempo di ritardo di propagazione:

CMOS, 301-302

definizione, 58-59

DTL, 207

ECL, 261-263

HTL, 213

RTL, 177-180

TTL, 240-242

Tempo di salita, 55, 57-58

CMOS, 299-300

ECL, 261-263

MOS, 294-296

RTL, 165

Tempo di transizione, 49-51

Temporizzatori, 599-622

timer 555, 619-622

(vedi anche Multivibratori)

Teorema del campionamento, 537-539

Teoremi di De Morgan, 100, 102, 112

Toggle, 330

Transistore:

caratteristiche della configurazione CE, 21

- configurazione CB, 11-12
- corrente di saturazione inversa, 18
- diffusione, 52
- equazioni di Ebers-Moll, 13-17, 22-29
- guadagno di corrente in configurazio-  
ne CE, 16
- inseguitore di emettitore, 26-27
- interdizione, 11, 17-18
- interruttore, 11-13, 18-21
- modo inverso, 24
- modo normale, 24
- specifiche delle case costruttrici, 28-29
- tensione di soglia, 19
- velocità di commutazione, 52-57
- zona attiva, 11, 18-19
- zona di saturazione, 11, 18-29
- Trigger di Schmitt, 87-94
  - esempio, 91-94
  - isteresi, 90
  - tensioni di scatto, 93-94
- Tristate, a tre stati, 474
- TTL, logica transistor-transistor, 215-  
250
  - caratteristiche ingresso - uscita, 221-  
228
  - caratteristiche tensione-corrente di in-  
gresso, 232-234
  - caratteristiche tensione-corrente di u-  
scita, 234-236
  - confronto con la DTL, 217
  - fan-out, 239-240
  - immunità al rumore, 237-239
  - picchi nella corrente di alimentazione,  
242-243
  - porta TTL ad alta velocità, 243-248
  - pull-down attivo, 246-248
  - pull-up attivo, 219-221
  - specifiche delle case costruttrici, 237-  
242
  - tempo di propagazione, 240-242
  - transistore di ingresso, 217-219
  - transistore multi-emettitore, 231-232
  - TTL Schottky, 248-249
- Zener, diodo, 7-10
  - breakdown, 8
  - caratteristica tensione-corrente, 8
  - moltiplicazione a valanga, 8















GRUPPO  
EDITORIALE  
JACKSON

Erbert Taub  
Donald Schilling

# ELETTRONICA INTEGRATA DIGITALE

# 38